



(12)发明专利申请

(10)申请公布号 CN 110609423 A

(43)申请公布日 2019.12.24

(21)申请号 201910830961.8

(22)申请日 2019.09.04

(71)申请人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道9-2号

(72)发明人 陈江川

(74)专利代理机构 深圳翼盛智成知识产权事务所(普通合伙) 44300

代理人 黄威

(51)Int.Cl.

G02F 1/1343(2006.01)

G02F 1/1339(2006.01)

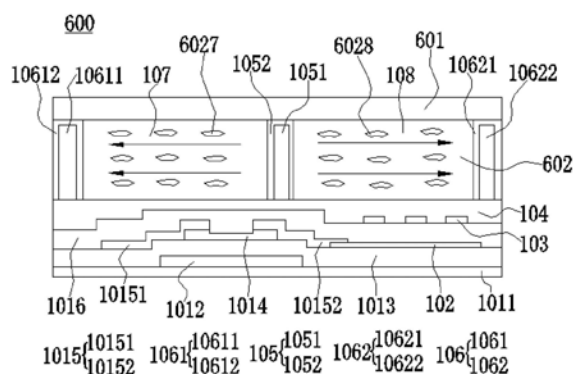
权利要求书2页 说明书7页 附图6页

(54)发明名称

阵列基板、液晶面板

(57)摘要

本发明提供一种阵列基板,所述阵列基板形成子像素,所述子像素包括:基板;像素电极,设于所述基板上方;公共电极,设于所述像素电极上方;相对绝缘设置的第一电极挡墙和第二电极挡墙,设于所述公共电极上方;其中,所述第一电极挡墙与所述像素电极电连接,所述第二电极挡墙与所述公共电极电连接;本发明中一个子像素包括一个或多个显示畴,提高液晶面板屏幕的分辨率,每个显示畴边界缝隙中设置有第一电极挡墙和第二电极挡墙,第一电极挡墙和第二电极挡墙产生水平电场,有效降低了阵列基板中像素电极和公共电极在该显示畴内产生的竖直电场与水平电场的占比,确保了位于该显示畴内的液晶水平排列,从而提高子像素透过率。



1. 一种阵列基板,其特征在于,所述阵列基板形成子像素,所述子像素包括:
基板;
像素电极,设于所述基板上方;
公共电极,设于所述像素电极上方;
相对绝缘设置的第一电极挡墙和第二电极挡墙,设于所述公共电极上方;
其中,所述第一电极挡墙与所述像素电极电连接,所述第二电极挡墙与所述公共电极电连接。
2. 根据权利要求1所述的阵列基板,其特征在于,所述子像素包括第一显示畴,所述第一电极挡墙设于所述第一显示畴靠近所述阵列基板中驱动晶体管的一侧,所述第二电极挡墙设于所述第一显示畴远离所述驱动晶体管的一侧。
3. 根据权利要求1所述的阵列基板,其特征在于,所述子像素包括第二显示畴和第三显示畴,所述第二显示畴和所述第三显示畴同行或者同列设置;
其中,所述第一电极挡墙位于所述第二显示畴和所述第三显示畴之间,所述第二电极挡墙位于第二显示畴和第三显示畴的两侧。
4. 根据权利要求1所述的阵列基板,其特征在于,所述子像素包括第四显示畴、第五显示畴、第六显示畴和第七显示畴;
其中,所述第一电极挡墙和所述第二电极挡墙同行交替设置在所述第四显示畴、所述第五显示畴、所述第六显示畴和所述第七显示畴中。
5. 根据权利要求4所述的阵列基板,其特征在于,所述第四显示畴、所述第五显示畴、所述第六显示畴和所述第七显示畴同行或者同列设置。
6. 根据权利要求4所述的阵列基板,其特征在于,所述第四显示畴和所述第五显示畴同行设置,所述第六显示畴和所述第七显示畴同行设置,所述第四显示畴和所述第六显示畴同列设置;所述第五显示畴和所述第七显示畴同列设置。
7. 根据权利要求1所述的阵列基板,其特征在于,所述子像素包括第八显示畴、第九显示畴、第十显示畴、第十一显示畴、第十二显示畴、第十三显示畴、第十四显示畴和第十五显示畴;
其中,所述第一电极挡墙和所述第二电极挡墙同行交替设置在所述第八显示畴、所述第九显示畴、所述第十显示畴、所述第十一显示畴、所述第十二显示畴、所述第十三显示畴、所述第十四显示畴和所述第十五显示畴中。
8. 根据权利要求7所述的阵列基板,其特征在于,所述第八显示畴、所述第九显示畴、所述第十显示畴、所述第十一显示畴、所述第十二显示畴、所述第十三显示畴、所述第十四显示畴和所述第十五显示畴同行或者同列设置。
9. 根据权利要求7所述的阵列基板,其特征在于,所述第八显示畴、所述第九显示畴、所述第十显示畴、所述第十一显示畴同行设置,所述第十二显示畴、所述第十三显示畴、所述第十四显示畴、所述第十五显示畴同行设置,其中,所述第八显示畴和第十二显示畴同列设置,所述第九显示畴和所述第十三显示畴同列设置,所述第十显示畴和第十四显示畴同列设置,所述第十一显示畴和所述第十五显示畴同列设置。
10. 根据权利要求1所述的阵列基板,其特征在于,相邻所述子像素公用所述第二电极挡墙。

11. 根据权利要求1所述的阵列基板, 其特征在于, 所述第一电极挡墙和所述第二电极挡墙均包括间隔柱, 以及在所述间隔柱表面包裹的导电层。

12. 根据权利要求11所述的阵列基板, 其特征在于, 所述第一电极挡墙和所述第二电极挡墙均为长方体。

13. 一种液晶面板, 其特征在于, 包括:

如权利要求1至12任一权利要求所述的阵列基板;

液晶盒, 位于所述阵列基板表面; 以及

彩膜基板, 位于所述液晶盒上方;

其中, 所述液晶盒设置有多个液晶, 位于所述阵列基板显示畴区域内第一电极挡墙和第二电极挡墙产生的水平电场, 所述液晶在所述水平电场的作用下水平排列。

阵列基板、液晶面板

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板、液晶面板。

背景技术

[0002] 液晶显示装置(Liquid Crystal Display,LCD)具有机身薄、省电、无辐射等众多优点,得到了广泛的应用。

[0003] 边界电场切换技术(Fringe Field Switching,简称FFS)液晶显示面板和平面转换模式(In-Plane Switching,简称IPS)的液晶显示面板是两种主流的液晶显示面板,驱动液晶分子转动的像素电极均位于阵列基板一侧。如图1a所示,FFS和IPS显示模式的液晶显示面板中阵列基板10结构示意图,像素电极14和公共电极13分别设置在钝化层11的两侧,其中像素电极14与漏极12电性接触;如图1b和1c所示,液晶显示面板包括阵列基板10、液晶盒20、以及彩膜基板30,阵列基板10中像素电极14和公共电极13产生水平和竖直电场,导致液晶盒20内液晶发生转动方向,倾斜排列。上述两种显示模式的液晶面板中液晶盒内电场线成弧形分布,存在水平和竖直分布的电场,水平方向电场分量才是对显示有效的分量,竖直电场分量使液晶分子竖起,且竖直电场与水平电场的占比较大,进而导致液晶层双折射作用减弱,导致透过率降低,影响液晶面板的显示品质。

[0004] 因此,需要设计出一种新的结构,以解决现有技术中液晶面板中液晶盒内电场线成弧形分布,存在水平和竖直分布的电场,水平方向电场分量才是对显示有效的分量,竖直电场分量使液晶分子竖起,且竖直电场与水平电场的占比较大,进而导致液晶层双折射作用减弱,导致透过率降低,影响液晶面板的显示品质的技术问题。

发明内容

[0005] 本发明提供一种阵列基板、液晶面板,能够解决现有技术中液晶面板中液晶盒内电场线成弧形分布,存在水平和竖直分布的电场,水平方向电场分量才是对显示有效的分量,竖直电场分量使液晶分子竖起,且竖直电场与水平电场的占比较大,进而导致液晶层双折射作用减弱,导致透过率降低,影响液晶面板的显示品质的技术问题。

[0006] 为解决上述问题,本发明提供的技术方案如下:

[0007] 一种阵列基板,所述阵列基板形成子像素,所述子像素包括:基板;像素电极,设于所述基板上方;公共电极,设于所述像素电极上方;相对绝缘设置的第一电极挡墙和第二电极挡墙,设于所述公共电极上方;其中,所述第一电极挡墙与所述像素电极电连接,所述第二电极挡墙与所述公共电极电连接。

[0008] 根据本发明一优选实施例,所述子像素包括第一显示畴,所述第一电极挡墙设于所述第一显示畴靠近所述阵列基板中驱动晶体管的一侧,所述第二电极挡墙设于所述第一显示畴远离所述驱动晶体管的一侧。

[0009] 根据本发明一优选实施例,所述子像素包括第二显示畴和第三显示畴,所述第二显示畴和所述第三显示畴同行或者同列设置;其中,所述第一电极挡墙位于所述第二显示

畴和所述第三显示畴之间,所述第二电极挡墙位于第二显示畴和第三显示畴的两侧。

[0010] 根据本发明一优选实施例,所述子像素包括第四显示畴、第五显示畴、第六显示畴和第七显示畴;其中,所述第一电极挡墙和所述第二电极挡墙同行交替设置在所述第四显示畴、所述第五显示畴、所述第六显示畴和所述第七显示畴中。

[0011] 根据本发明一优选实施例,所述第四显示畴、所述第五显示畴、所述第六显示畴和所述第七显示畴同行或者同列设置。

[0012] 根据本发明一优选实施例,所述第四显示畴和所述第五显示畴同行设置,所述第六显示畴和所述第七显示畴同行设置,所述第四显示畴和所述第六显示畴同列设置;所述第五显示畴和所述第七显示畴同列设置。

[0013] 根据本发明一优选实施例,所述子像素包括第八显示畴、第九显示畴、第十显示畴、第十一显示畴、第十二显示畴、第十三显示畴、第十四显示畴和第十五显示畴;其中,所述第一电极挡墙和所述第二电极挡墙同行交替设置在所述第八显示畴、所述第九显示畴、所述第十显示畴、所述第十一显示畴、所述第十二显示畴、所述第十三显示畴、所述第十四显示畴和所述第十五显示畴中。

[0014] 根据本发明一优选实施例,所述第八显示畴、所述第九显示畴、所述第十显示畴、所述第十一显示畴、所述第十二显示畴、所述第十三显示畴、所述第十四显示畴和所述第十五显示畴同行或者同列设置。

[0015] 根据本发明一优选实施例,所述第八显示畴、所述第九显示畴、所述第十显示畴、所述第十一显示畴同行设置,所述第十二显示畴、所述第十三显示畴、所述第十四显示畴、所述第十五显示畴同行设置,其中,所述第八显示畴和第十二显示畴同列设置,所述第九显示畴和所述第十三显示畴同列设置,所述第十显示畴和第十四显示畴同列设置,所述第十一显示畴和所述第十五显示畴同列设置。

[0016] 根据本发明一优选实施例,相邻所述子像素公用所述第二电极挡墙。

[0017] 根据本发明一优选实施例,所述第一电极挡墙和所述第二电极挡墙均包括间隔柱,以及在所述间隔柱表面包裹的导电层。

[0018] 根据本发明一优选实施例,所述第一电极挡墙和所述第二电极挡墙均为长方体。

[0019] 一种液晶面板包括:如上述阵列基板;液晶盒,位于所述阵列基板表面;以及彩膜基板,位于所述液晶盒上方;其中,所述液晶盒设置有多液晶,位于所述阵列基板显示畴区域内第一电极挡墙和第二电极挡墙产生的水平电场,所述液晶在所述水平电场的作用下水平排列。

[0020] 本发明的有益效果为:一个子像素包括一个或多个显示畴,提高液晶面板屏幕的分辨率,每个显示畴边界缝隙中设置有第一电极挡墙和第二电极挡墙,不会影响子像素透过率,第一电极挡墙和第二电极挡墙产生水平电场,有效降低了阵列基板中子像素电极和公共电极在该显示畴内产生的竖直电场与水平电场的占比,确保了位于该显示畴内的液晶水平排列,从而提高子像素透过率,相邻子像素分区共用第二电极挡墙,像素电极通过过孔与各显示畴中分支电极相连,从而实现液晶面板的正常显示。

附图说明

[0021] 为了更清楚地说明实施例或现有技术中的技术方案,下面将对实施例或现有技术

描述中所需要使用的附图作简单介绍,显而易见地,下面描述中的附图仅仅是发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

- [0022] 图1a为现有技术中阵列基板结构示意图;
- [0023] 图1b为现有技术中液晶面板的液晶盒中电场分布示意图;
- [0024] 图1c为现有技术中液晶面板的液晶盒中液晶排列示意图;
- [0025] 图2a为本申请实施例提供一种阵列基板结构示意图;
- [0026] 图2b为本申请实施例提供一种阵列基板中1个显示畴结构示意图;
- [0027] 图2c为本申请实施例提供一种阵列基板中2个显示畴结构示意图;
- [0028] 图2d为本申请实施例提供一种阵列基板中4个显示畴一种结构示意图;
- [0029] 图2e为本申请实施例提供一种阵列基板中4个显示畴另一种结构示意图;
- [0030] 图2f为本申请实施例提供一种阵列基板中8个显示畴一种结构示意图;
- [0031] 图2g为本申请实施例提供一种阵列基板中8个显示畴另一种结构示意图;
- [0032] 图3为本申请实施例提供一种阵列基板中1个显示畴中分支电极结构示意图;
- [0033] 图4为本申请实施例提供一种液晶面板结构示意图。

具体实施方式

[0034] 以下各实施例的说明是参考附加的图示,用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语,例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。在图中,结构相似的单元是用以相同标号表示。

[0035] 本发明针对现有技术中液晶面板中液晶盒内电场线成弧形分布,存在水平和竖直分布的电场,水平方向电场分量才是对显示有效的分量,竖直电场分量使液晶分子竖起,且竖直电场与水平电场的占比较大,进而导致液晶层双折射作用减弱,导致透过率降低,影响液晶面板的显示品质的技术问题,本实施例能够解决该缺陷。

[0036] 如图2a所示,本申请实施例提供一种阵列基板100,阵列基板100形成子像素,子像素包括:基板1011;像素电极102,设于基板1011上方;公共电极103,设于像素电极102上方;相对绝缘设置的第一电极挡墙105和第二电极挡墙106,设于公共电极103上方;其中,第一电极挡墙105与像素电极102电连接,第二电极挡墙106与公共电极103电连接。

[0037] 本实施例中像素单元至少包括一个子像素,子像素包括第二显示畴107和第三显示畴108,第二电极挡墙106包括第一子电极挡墙1061和第二子电极挡墙1062,其中,第一电极挡墙105设于第二显示畴107和第三显示畴108之间,靠近阵列基板100中驱动晶体管的一侧,第二电极挡墙106设于第二显示畴107和第三显示畴108两侧,且远离阵列基板100中驱动晶体管的一侧,相邻子像素公用相邻第二电极挡墙106;第一电极挡墙105位于第一子电极挡墙1061和第二子电极挡墙1062之间,第一电极挡墙105和第一子电极挡墙105之间产生水平电场,第一电极挡墙105和第二子电极挡墙1062之间产生水平电场,根据阵列基板100分辨率实际需要,子像素还可以设置为一个或者多个显示畴,第一电极挡墙105和第二电极挡墙106交替设置在一个或者多个显示畴中。

[0038] 具体地,本申请实施例提供一种阵列基板100结构示意图,还包括自下而上层叠设

置的基板1011、栅极1012、栅极绝缘层1013、有源层1014、源/漏极层1015,像素电极102、钝化层1016,公共电极103、保护层104、第一电极挡墙105、以及第二电极挡墙106。

[0039] 基板1011通常为玻璃基板,也可为其他材质的基板,在此不做限制,栅极层1012形成于基板1011上,栅极层1012经物理气相沉积方法形成于基板1011上,再经由一次光刻制程形成栅极图案。栅极层1012的材料可以是金属材料,例如是铜(Cu)、铝(Al)、钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)等。

[0040] 栅极绝缘层1013形成于栅极层1012上,且覆盖栅极层1012和基板1011。栅极绝缘层1013是通过化学气相沉积法形成于栅极层1012上,然后在400℃干燥空气氛围下退火处理得到。栅极绝缘层1013的材料一般为氧化硅(SiO_x)、氮化硅(SiN_x)的夹层结构。

[0041] 有源层1014形成于栅极绝缘层1013上,与栅极层1012绝缘设置。有源层1014通过透过磁控溅镀法(magnetron sputtering)、金属有机化学气相沉积法或脉冲雷射蒸镀法沉积在栅极绝缘层1013上。有源层1014沉积完成后,再进行退火处理,可以在400℃干燥空气氛围下退火处理约0.5小时。退火处理完成后,采用草酸作为刻蚀液的湿法蚀刻工艺或干法蚀刻工艺对有源层1014进行刻蚀,经过蚀刻制程后,整层的金属氧化物薄膜将图案化形成岛状的金属氧化物半导体层。

[0042] 有源层1014两侧设置有源/漏极层1015,源/漏极层1015包括源极10151和漏极10152。源极10151和漏极10152分别与有源层1014相应的位置电性连接。漏极10152所在层与像素电极102为同层,且像素电极102与漏极10152的相邻一端电性接触。

[0043] 钝化层1016形成于源/漏极层1015上,钝化层1016的材质可以为氧化硅(SiO_x)、氮化硅(SiN_x)、或者二者的夹层结构等,像素电极102通过过孔与子像素电极挡墙106电性接触。

[0044] 像素电极102上方形成多个间隔分布的公共电极103,且公共电极103位于钝化层1016的表面,公共电极103与栅极层1012电性接触,公共电极103表面设置有保护层104,且保护层104覆盖钝化层1016。

[0045] 保护层104表面设置有第一电极挡墙105和第二电极挡墙106。第一电极挡墙105和第二电极挡墙106均垂直于保护层104,并向上延伸到预设位置,第一电极挡墙105和第二电极挡墙106均包括间隔柱和位于间隔柱表面的导电层,其中导电层优选同层设置,一体成型。本实施例中第一电极挡墙105包括第一间隔柱1051和第一导电层1052;第二电极挡墙106包括第一子电极挡墙1061和第二子电极挡墙1062,第一子电极挡墙1061包括第二间隔柱10611和第二电极层10612;第二子电极挡墙1062包括第三间隔柱10621和第三电极层10622。为了产生水平电场,第一电极挡墙105和第二电极挡墙106均优选为长方体,平行、间隔、交替设置;任意相邻的两个第一电极挡墙105中间设置有一个第二电极挡墙106,任意相邻的两个第二电极挡墙106中间设置有一个第一电极挡墙105。

[0046] 本实施例中第二电极挡墙106位于子像素中第二显示畴107和第三显示畴108两侧,第二电极挡墙106通过保护层上的过孔与公共电极103电性接触,第一电极挡墙105通过钝化层和保护层上的过孔与像素电极102电性接触,相邻子像素共用第二电极挡墙106,且第二电极挡墙106放置于非开口区,第一电极挡墙105位于像素畴向交界处,因此,第一电极挡墙105和第二电极挡墙106对像素透过率影响较低,第一电极挡墙105和第二电极挡墙106在显示畴中形成水平电场,有效降低了阵列基板中像素电极和公共电极在该显示畴内产生

的竖直电场与水平电场的占比,确保了该显示畴中的液晶水平排列,从而提高子像素透过率,公共电极挡墙为相邻子像素分区共用,像素电极通过过孔与各显示畴中分支电极相连,从而实现阵列基板的正常工作。

[0047] 如图2b所示,本申请实施例提供一种阵列基板中1个显示畴结构示意图,子像素包括第一显示畴201,第一显示畴201的边界缝隙2011设置有第二挡墙106,第一显示畴201的边界缝隙2012设置有第一挡墙105,第一电极挡墙105设于第一显示畴201靠近阵列基板中驱动晶体管的一侧,第二电极挡墙106设于第一显示畴201远离驱动晶体管的一侧,第一挡墙105和第二挡墙106之间产生水平电场。

[0048] 如图2c所示,本申请实施例提供一种阵列基板中2个显示畴结构示意图,子像素包括:第二显示畴107和第三显示畴108,第二显示畴107和第三显示畴108同行设置,其中,第一电极挡墙105设置于第二显示畴107和第三显示畴108之间边界间隙1078上,第二电极挡墙106分别设置于第二显示畴107侧边界间隙1071上和第三显示畴108的侧边界间隙1081上,相邻的第一电极挡墙105和第二电极挡墙106之间产生水平电场,本实施例显示畴排列并不仅仅限于同行,也可以是同列。

[0049] 如图2d所示,本申请实施例提供一种阵列基板中4个显示畴一种结构示意图,子像素包括:第四显示畴202、第五显示畴203、第六显示畴204和第七显示畴205;其中,第四显示畴202、第五显示畴203、第六显示畴204和第七显示畴205同行;其中,第二电极挡墙106设置于边界间隙2021上,第一电极挡墙105设置于边界间隙2023上,第二电极挡墙106设置于边界间隙2034上,第一电极挡墙105设置于边界间隙2045上,第二电极挡墙106设置于边界间隙2051上,相邻的第一电极挡墙105和第二电极挡墙106之间产生水平电场,本实施例显示畴排列并不仅仅限于同行,也可以是同列。

[0050] 如图2e所示,本申请实施例提供一种阵列基板中4个显示畴另一种结构示意图,子像素包括:第四显示畴206、第五显示畴207、第六显示畴208和第七显示畴209;其中,第四显示畴206和第五显示畴207同行设置,第六显示畴208和第七显示畴209同行设置,第四显示畴206和第六显示畴208同列设置;第五显示畴209和第七显示畴209同列设置。

[0051] 其中,第二电极挡墙106设置于边界间隙2061上,第一电极挡墙105设置于边界间隙2067上,第二电极挡墙106设置于边界间隙2071上,第二电极挡墙106设置于边界间隙2081上,第一电极挡墙105设置于边界间隙2089上,第二电极挡墙106设置于边界间隙2091上,相邻的第一电极挡墙105和第二电极挡墙106之间产生水平电场。

[0052] 如图2f所示,本申请实施例提供一种阵列基板中8个显示畴一种结构示意图,子像素包括:第八显示畴301、第九显示畴302、第十显示畴303、第十一显示畴304、第十二显示畴305、第十三显示畴306、第十四显示畴307和第十五显示畴308;其中,第八显示畴301、第九显示畴302、第十显示畴303、第十一显示畴304、第十二显示畴305、第十三显示畴306、第十四显示畴307和第十五显示畴308同行设置。

[0053] 其中,第二电极挡墙106设置于边界间隙3011上,第一电极挡墙105设置于边界间隙3012上,第二电极挡墙106设置于边界间隙3023上,第一电极挡墙105设置于边界间隙3034上,第二电极挡墙106设置于边界间隙3045上,第一电极挡墙105设置于边界间隙3056上,第二电极挡墙105设置于边界间隙3067上,第一电极挡墙106设置于边界间隙3078上,第二电极挡墙105设置于边界间隙3081上,相邻的第一电极挡墙105和第二电极挡墙106之间

产生水平电场,本实施例显示畴排列并不仅仅同行,也可以是同列。

[0054] 如图2g所示,本申请实施例提供一种阵列基板中8个显示畴另一种结构示意图,子像素包括:第八显示畴401、第九显示畴402、第十显示畴403、第十一显示畴404、第十二显示畴405、第十三显示畴406、第十四显示畴407和第十五显示畴408;其中,第八显示畴401、第九显示畴402、第十显示畴403、第十一显示畴404同行设置,第十二显示畴405、第十三显示畴406、第十四显示畴407、第十五显示畴408同行设置,第八显示畴401和第十二显示畴405同列设置,第九显示畴402和第十三显示畴406同列设置,第十显示畴403和第十四显示畴407同列设置,第十一显示畴404和第十五显示畴408同列设置。

[0055] 其中,第二电极挡墙106设置于边界间隙4011上,第一电极挡墙105设置于边界间隙4012上,第二电极挡墙106设置于边界间隙4023上,第一电极挡墙105设置于边界间隙4034上,第二电极挡墙106设置于边界间隙4041上,第二电极挡墙106设置于边界间隙4051上,第一电极挡墙105设置于边界间隙4056上,第二电极挡墙106设置于边界间隙4067上,第一电极挡墙105设置于边界间隙4078上,第二电极挡墙106设置于边界间隙4081上,相邻的第一电极挡墙105和第二电极挡墙106之间产生水平电场。

[0056] 如图3所示,本申请实施例提供一种阵列基板的1个显示畴中分支电极结构示意图,分支电极包括第一主干电极5021、第二主干电极5022、第一连接电极5023和第二连接电极5024。其中,第一主干电极5021和第二主干电极5022重叠设置,第一连接电极5023和第二连接电极5024分别连接相邻的显示畴中分支电极,起到桥梁的作用。第一连接电极5023为环状,包括矩形、四边形、梯形或者不规则的形状中一种或多种;第二连接电极5024包括直线或者曲线中一种或多种;一个或者多个驱动晶体管同步调整该显示畴中多个分支电极的电压值。

[0057] 依据本发明的上述目的,本申请实施例提供一种液晶面板,包括:如上述阵列基板;液晶盒,位于阵列基板表面;以及彩膜基板,位于液晶盒上方;其中,液晶盒设置有多液晶,位于阵列基板显示畴区域内第一电极挡墙和第二电极挡墙产生的水平电场,液晶在水平电场的作用下水平排列。

[0058] 如图4所示,本申请实施例提供一种液晶面板600结构示意图;液晶面板600包括:阵列基板,彩膜基板601,以及位于阵列基板和彩膜基板601之间的液晶盒602;其中,彩膜基板601包括色组层,液晶盒602包括多个液晶,液晶在阵列基板中第一挡墙和第二挡墙产生水平电场作用下水平排列。

[0059] 阵列基板包括自下而上层叠设置的基板1011、栅极1012、栅极绝缘层1013、有源层1014、源/漏极层1015,像素电极102、钝化层1016,公共电极103、保护层104、第一电极挡墙105、以及第二电极挡墙106,其中,第一电极挡墙105和第二电极挡墙106相对绝缘设置,设于公共电极103上方;第一电极挡墙105与像素电极102电连接,第二电极挡墙106与公共电极103电连接,第二电极挡墙106包括第一子电极挡墙1061和第二子电极挡墙1062。

[0060] 液晶盒602包括第一液晶分区和第二液晶分区,第一液晶分区和第二液晶分区分别与第二显示畴107和第三显示畴108区域重叠。第一液晶分区中液晶6027在第一子电极挡墙1061和第一子电极挡墙105产生水平电场作用下呈水平排列,第二液晶分区中液晶6028在第二子电极挡墙1062和第一电极挡墙105产生水平电场作用下呈水平排列,从而提高子像素透过率,确保了液晶面板600的显示品质。

[0061] 本发明中一个子像素包括一个或多个显示畴,提高显示面板屏幕的分辨率,每个显示畴边界缝隙中设置有第一电极挡墙和第二电极挡墙,不会影响子像素透过率,第一电极挡墙和第二电极挡墙产生水平电场,有效降低了阵列基板中子像素电极和公共电极在该显示畴内产生的竖直电场与水平电场的占比,确保了位于该显示畴内的液晶水平排列,从而提高子像素透过率,相邻子像素分区共用第二电极挡墙,像素电极通过过孔与各显示畴中分支电极相连,从而实现液晶面板的正常显示。

[0062] 综上,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

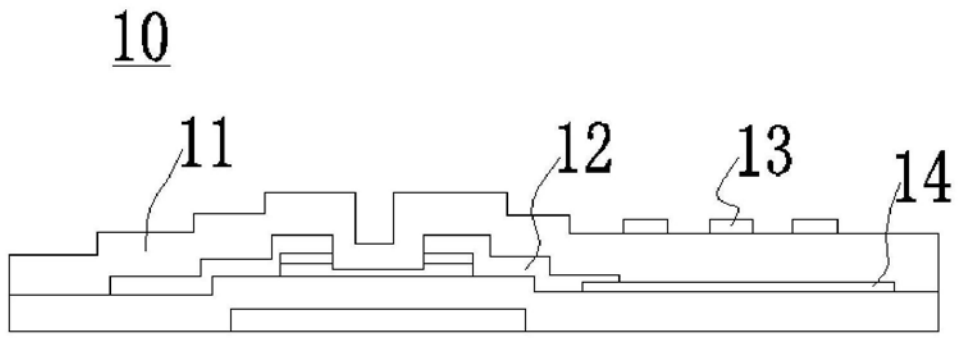


图1a

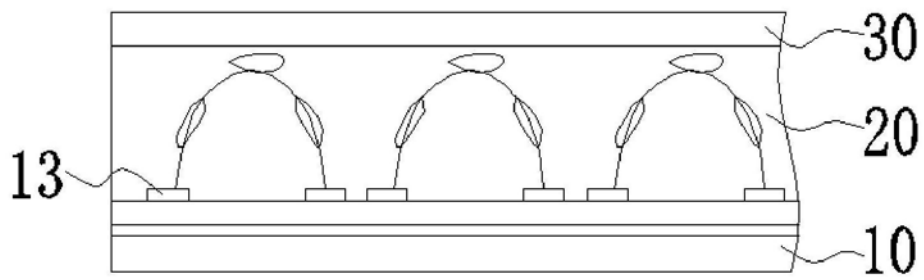


图1b

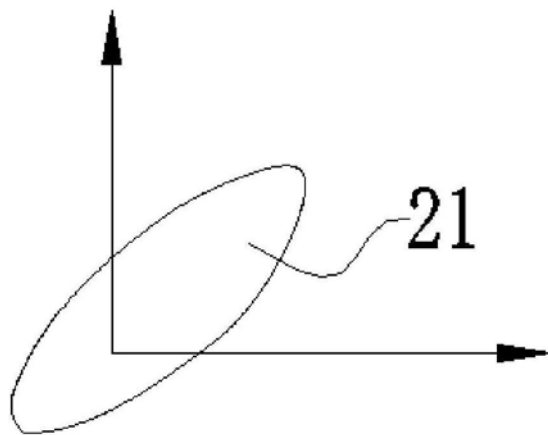


图1c

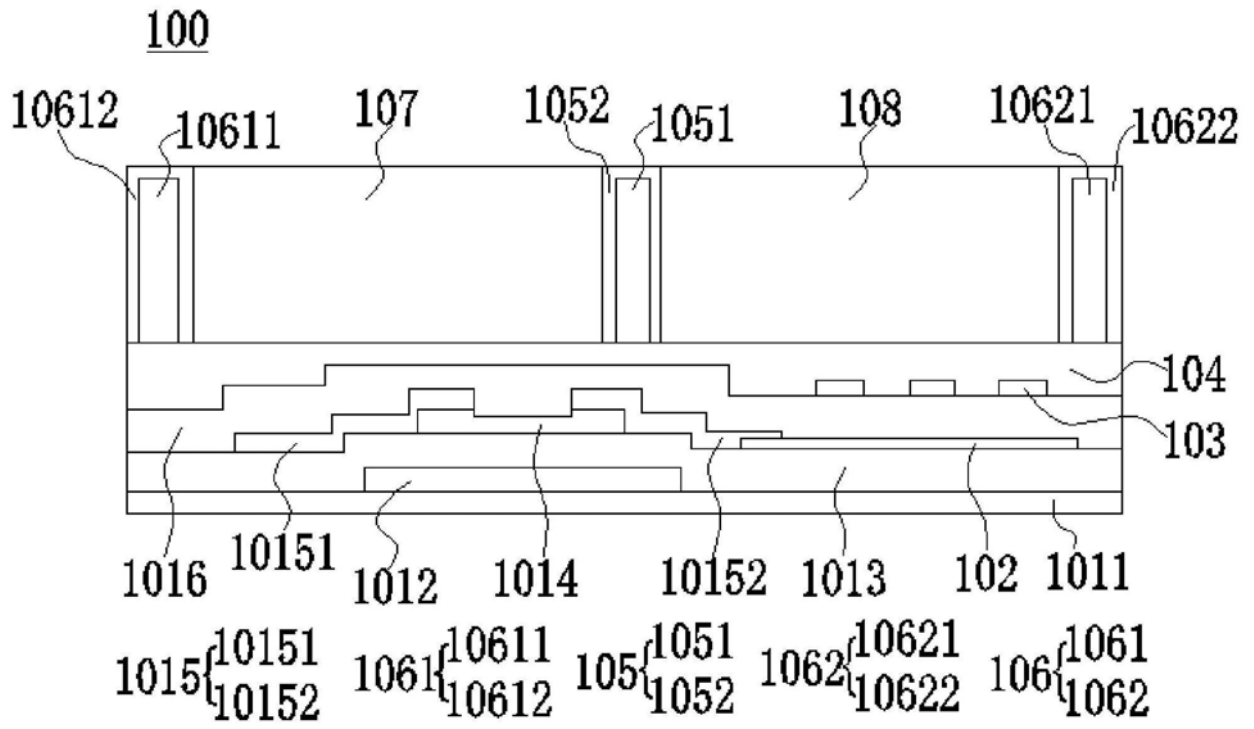


图2a

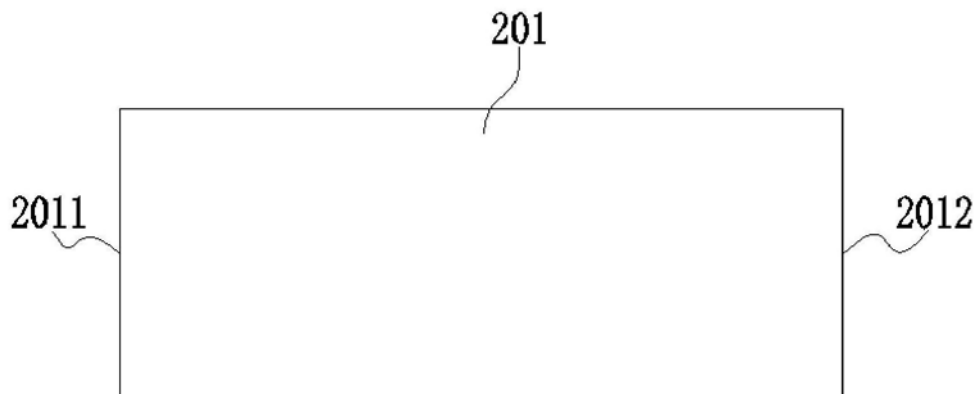


图2b

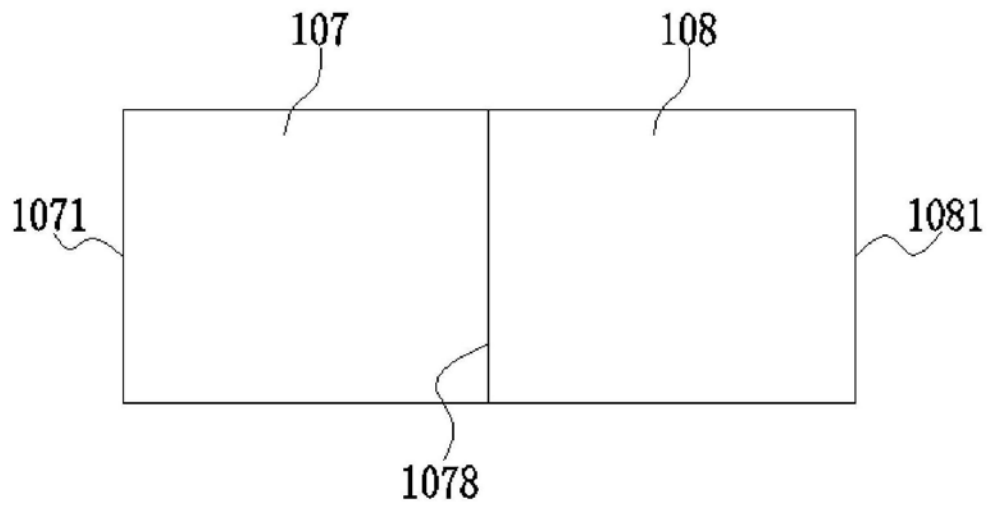


图2c

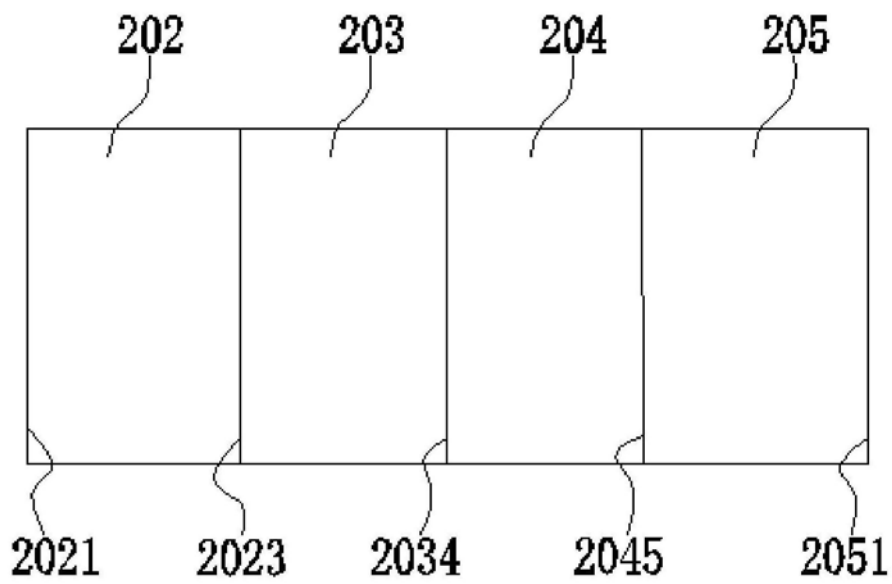


图2d

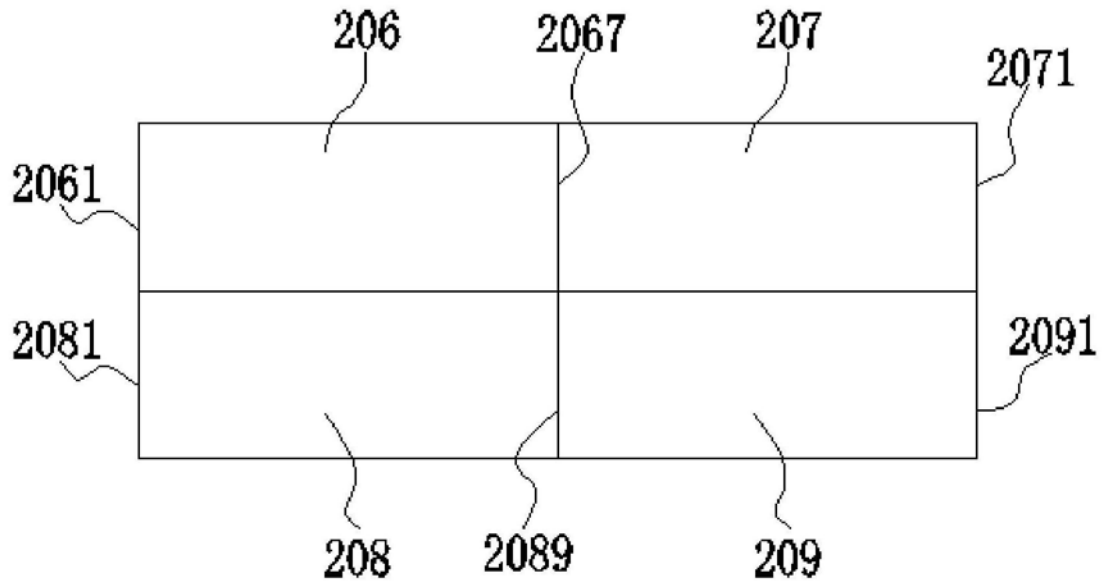


图2e

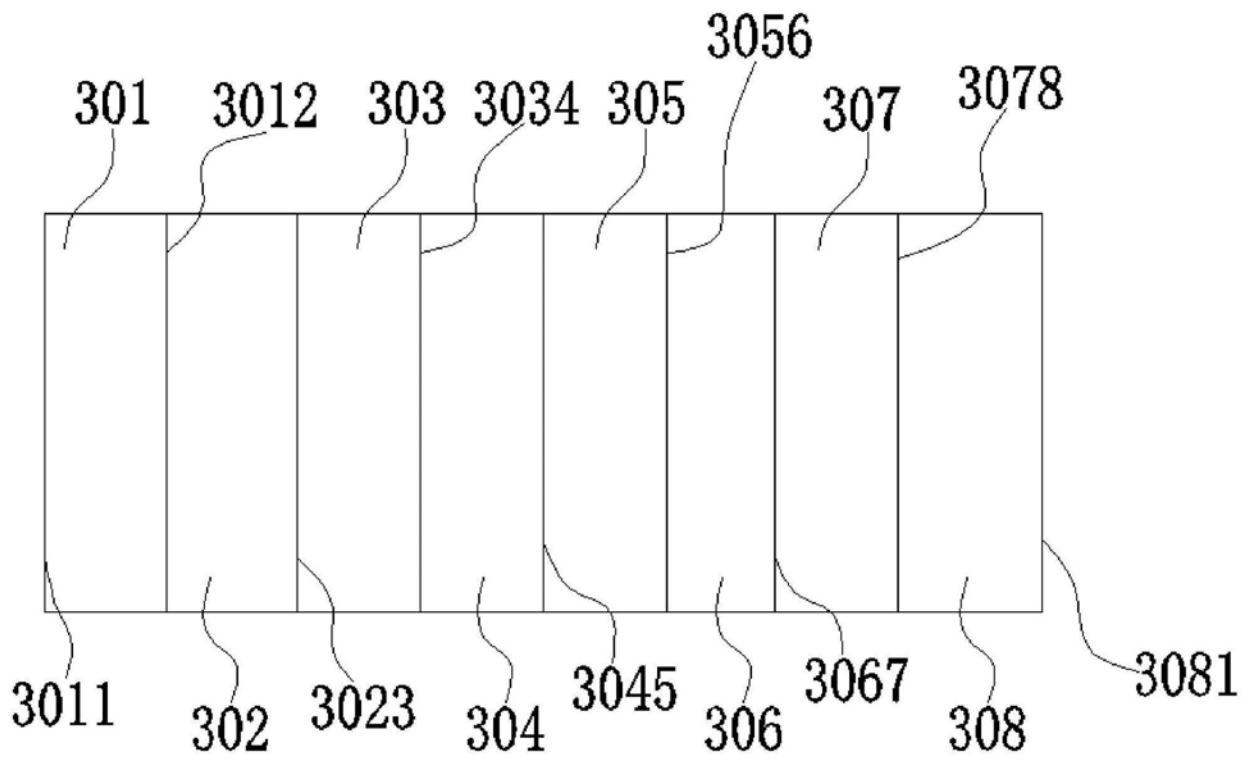


图2f

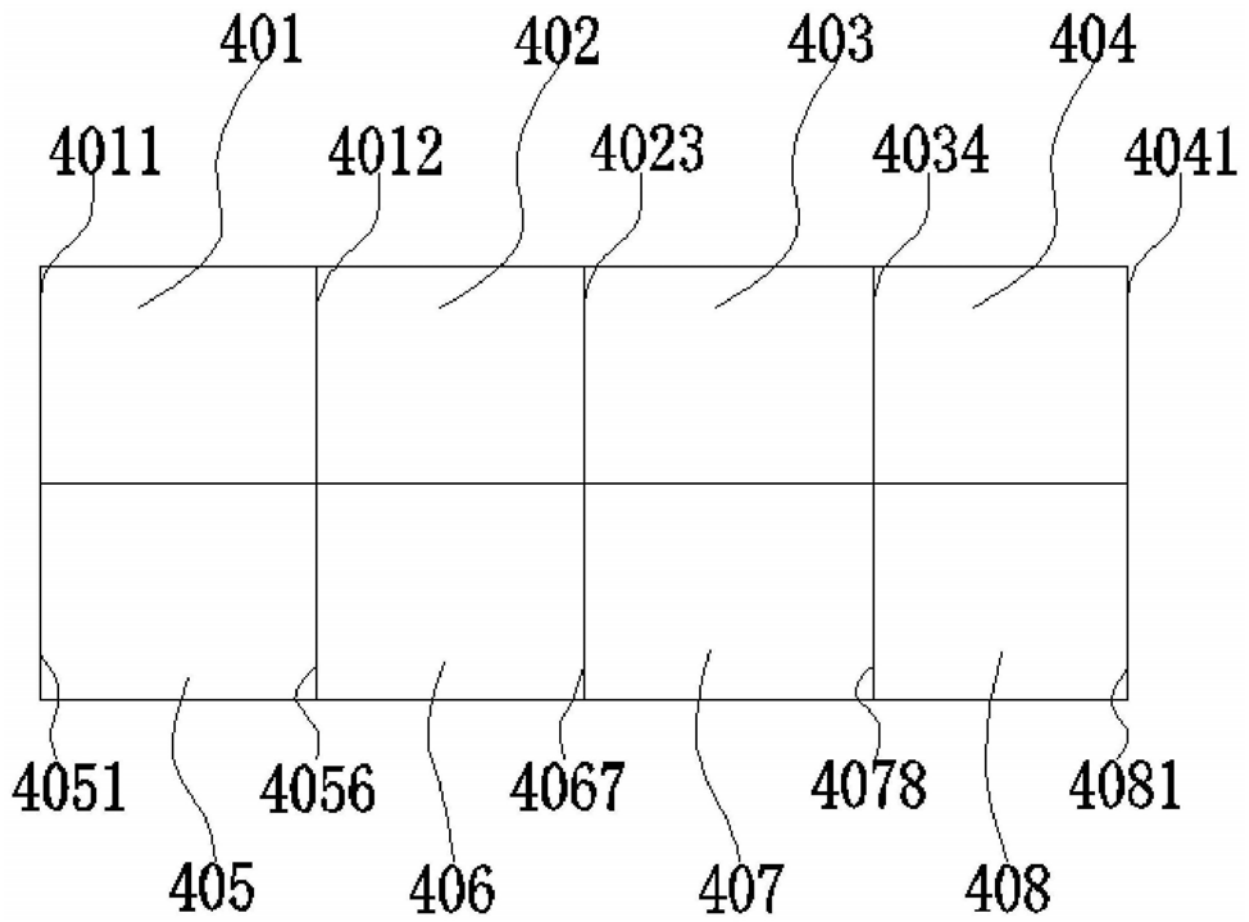


图2g

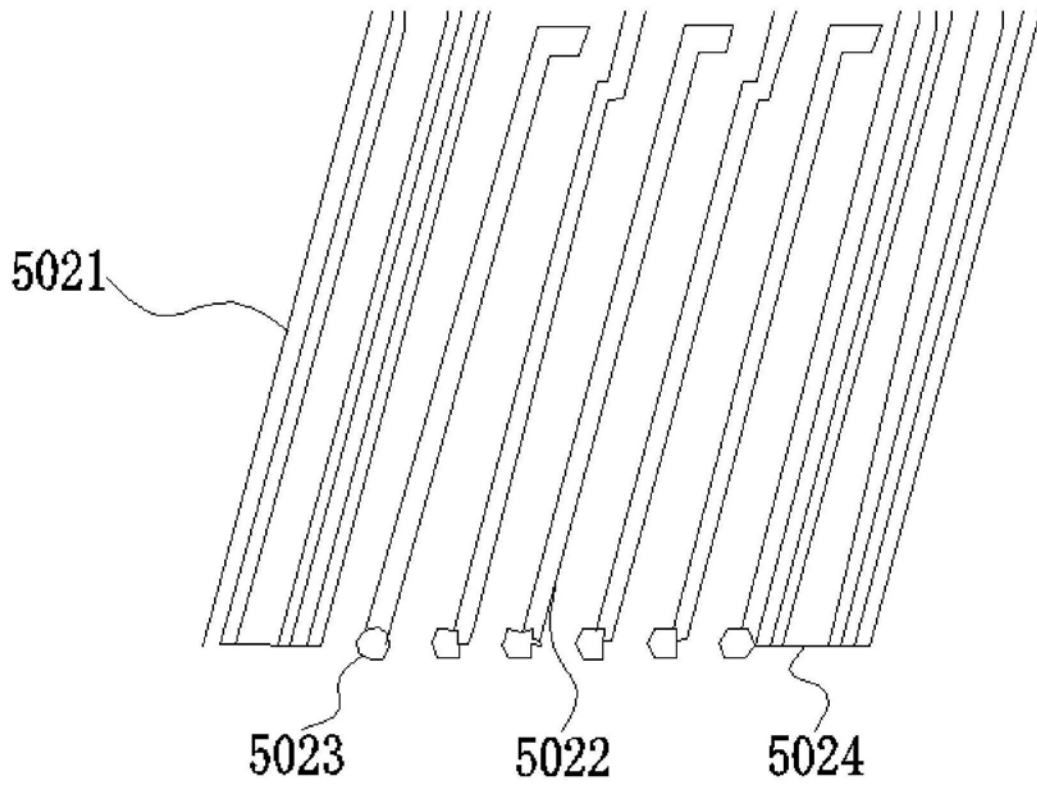


图3

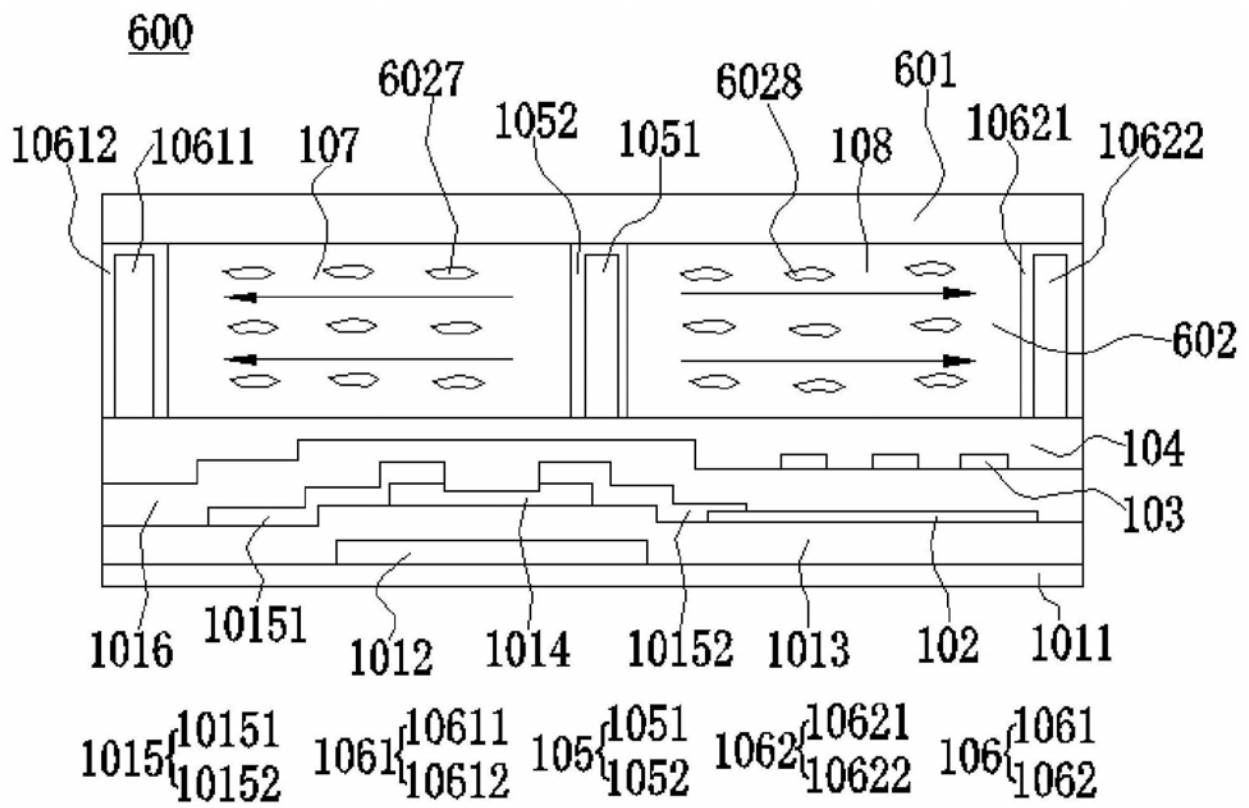


图4

专利名称(译)	阵列基板、液晶面板		
公开(公告)号	CN110609423A	公开(公告)日	2019-12-24
申请号	CN201910830961.8	申请日	2019-09-04
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	陈江川		
发明人	陈江川		
IPC分类号	G02F1/1343 G02F1/1339		
CPC分类号	G02F1/13394 G02F1/134363 G02F2001/134372		
代理人(译)	黄威		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种阵列基板，所述阵列基板形成子像素，所述子像素包括：基板；像素电极，设于所述基板上方；公共电极，设于所述像素电极上方；相对绝缘设置的第一电极挡墙和第二电极挡墙，设于所述公共电极上方；其中，所述第一电极挡墙与所述像素电极电连接，所述第二电极挡墙与所述公共电极电连接；本发明中一个子像素包括一个或多个显示畴，提高液晶面板屏幕的分辨率，每个显示畴边界缝隙中设置有第一电极挡墙和第二电极挡墙，第一电极挡墙和第二电极挡墙产生水平电场，有效降低了阵列基板中像素电极和公共电极在该显示畴内产生的竖直电场与水平电场的占比，确保了位于该显示畴内的液晶水平排列，从而提高子像素透过率。

