



(12)发明专利申请

(10)申请公布号 CN 110060646 A

(43)申请公布日 2019.07.26

(21)申请号 201910378642.8

(22)申请日 2019.05.08

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 合肥京东方光电科技有限公司

(72)发明人 冯思林 吴迪

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 郭润湘

(51)Int.Cl.

G09G 3/36(2006.01)

G11C 16/10(2006.01)

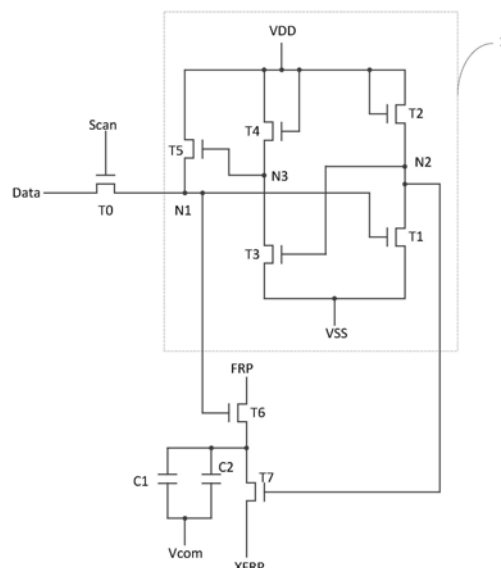
权利要求书2页 说明书8页 附图5页

(54)发明名称

数据锁存电路、像素电路、阵列基板及液晶显示面板

(57)摘要

本发明公开了一种数据锁存电路、像素电路、阵列基板及液晶显示面板，该数据锁存电路包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管，且所述数据锁存电路内所有所述晶体管的掺杂类型相同；所述第一晶体管的沟道宽长比大于所述第二晶体管的沟道宽长比，所述第三晶体管的沟道宽长比大于所述第四晶体管的沟道宽长比。本发明数据锁存电路内的所有晶体管均为同种掺杂类型的晶体管，极大地降低了数据锁存电路的制作工艺的复杂度，同时也节约了生产成本。



1. 一种数据锁存电路,其特征在于,包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管,且所述锁存电路内所有所述晶体管的掺杂类型相同;

所述第一晶体管在第一节点的控制下将第一电压信号端的信号提供给第二节点,其中所述第一节点还分别与数据写入晶体管的第一极和第一驱动晶体管的控制端相连;

所述第二晶体管在第二电压信号端的控制下将所述第二电压信号端的信号提供给第二节点,其中,所述第二节点与第二驱动晶体管的控制端相连;

所述第三晶体管在所述第二节点的控制下将所述第一电压信号端的信号提供给第三节点;

所述第四晶体管在所述第二电压信号端的控制下将所述第二电压信号端的信号提供给所述第三节点;

所述第五晶体管在所述第三节点的电位的控制下将所述第二电压信号端的信号提供给所述第一节点;

其中,所述第一晶体管的沟道宽长比大于所述第二晶体管的沟道宽长比,所述第三晶体管的沟道宽长比大于所述第四晶体管的沟道宽长比。

2. 如权利要求1所述的数据锁存电路,其特征在于,所述第一晶体管的栅极与所述第一节点相连,所述第一晶体管的第一极与所述第一电压信号端相连,所述第一晶体管的第二极与所述第二节点相连。

3. 如权利要求1所述的数据锁存电路,其特征在于,所述第二晶体管的栅极和所述第二晶体管的第一极均与所述第二电压信号端相连,所述第二晶体管的第二极与所述第二节点相连。

4. 如权利要求1所述的数据锁存电路,其特征在于,所述第三晶体管的栅极与所述第二节点相连,所述第三晶体管的第一极与所述第一电压信号端相连,所述第三晶体管的第二极与所述第三节点相连。

5. 如权利要求1所述的数据锁存电路,其特征在于,所述第四晶体管的栅极和所述第四晶体管的第一极均与所述第二电压信号端相连,所述第四晶体管的第二极与所述第三节点相连。

6. 如权利要求1所述的数据锁存电路,其特征在于,所述第五晶体管的栅极与所述第三节点相连,所述第五晶体管的第一极与所述第二电压信号端相连,所述第五晶体管的第二极与所述第一节点相连。

7. 一种像素电路,其特征在于,包括:如权利要求1-6任一项所述的数据锁存电路,以及与所述锁存电路相连的数据写入晶体管、第一驱动晶体管和第二驱动晶体管;

所述数据写入晶体管在扫描信号端的控制下将数据信号端的数据信号提供给第一节点;

所述第一驱动晶体管在所述第一节点的控制下将第一时钟信号端的信号提供给像素电极;

所述第二驱动晶体管在第二节点的控制下将第二时钟信号端的信号提供给所述像素电极。

8. 如权利要求7所述的像素电路,其特征在于,所述数据写入晶体管的栅极与所述扫描信号端相连,所述数据写入晶体管的第一极与所述数据信号端相连,所述数据写入晶体管

的第二极与所述第一节点相连。

9. 如权利要求7所述的像素电路,其特征在于,所述第一驱动晶体管的栅极与所述第一节点相连,所述第一驱动晶体管的第一极与所述第一时钟信号端相连,所述第一驱动晶体管的第二极用于与所述像素电极相连。

10. 如权利要求7所述的像素电路,其特征在于,所述第二驱动晶体管的栅极与所述第二节点相连,所述第二驱动晶体管的第一极与第二时钟信号端相连,所述第二驱动晶体管的第二极用于与所述像素电极相连。

11. 如权利要求7-10任一项所述的像素电路,其特征在于,所有所述晶体管均为N型晶体管,或所有所述晶体管均为P型晶体管。

12. 一种阵列基板,其特征在于,包括如权利要求7-11任一项所述的像素电路,以及与所述像素电路电连接的像素电极。

13. 一种液晶显示面板,其特征在于,包括如权利要求12所述的阵列基板、公共电极和液晶层,所述公共电极与公共电极线相连,所述公共电极与所述像素电极共同驱动所述液晶层中的液晶翻转。

数据锁存电路、像素电路、阵列基板及液晶显示面板

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种数据锁存电路、像素电路、阵列基板及液晶显示面板。

背景技术

[0002] 目前,可穿戴设备由于其尺寸小,一般具有低频低色域的特点,频率低则导致像素每帧保持时间很长,而无论是P型晶体管还是N型晶体管都有存在漏电流,无法长时间保持像素电压稳定。于是市场推出一款采用MIP(memory in pixel)技术的超低功耗型液晶显示面板,即在液晶显示面板的像素电路中加入数据锁存电路,将数据电压锁存在像素电路预设的节点中,并持续刷新像素电压,可长时间维持电压稳定。

[0003] 但是相关技术中数据锁存电路由两个CMOS非门构成,即该数据锁存电路内包括两个P型晶体管和两个N型晶体管,针对半导体薄膜晶体管而言,在有源层进行两种掺杂,极大的增加了制作工艺难度和生产成本。

[0004] 因此,如何简化数据锁存电路的制作工艺是本领域技术人员亟待解决的技术问题。

发明内容

[0005] 本发明提供了一种数据锁存电路、像素电路、阵列基板及液晶显示面板,用以解决相关技术中像素电路中的数据锁存电路制作工艺难度大的问题。

[0006] 第一方面,本发明实施例提供了一种数据锁存电路,包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管,且所述数据锁存电路内所有所述晶体管的掺杂类型相同;

[0007] 所述第一晶体管在第一节点的控制下将第一电压信号端的信号提供给第二节点,其中所述第一节点分别与数据写入晶体管的第一极和第一驱动晶体管的控制端相连;

[0008] 所述第二晶体管在第二电压信号端的控制下将所述第二电压信号端的信号提供给第二节点,其中,所述第二节点与第二驱动晶体管的控制端相连;

[0009] 所述第三晶体管在所述第二节点的控制下将所述第一电压信号端的信号提供给第三节点;

[0010] 所述第四晶体管在所述第二电压信号端的控制下将所述第二电压信号端的信号提供给所述第三节点;

[0011] 所述第五晶体管在所述第三节点的电位的控制下将所述第二电压信号端的信号提供给所述第一节点;

[0012] 其中,所述第一晶体管的沟道宽长比大于所述第二晶体管的沟道宽长比,所述第三晶体管的沟道宽长比大于所述第四晶体管的沟道宽长比。

[0013] 在一种可能的实施方式中,在本发明实施例提供的数据锁存电路中,所述第一晶体管的栅极与所述第一节点相连,所述第一晶体管的第一极与所述第一电压信号端相连,

所述第一晶体管的第二极与所述第二节点相连。

[0014] 在一种可能的实施方式中,在本发明实施例提供的数据锁存电路中,所述第二晶体管的栅极和所述第二晶体管的第一极均与所述第二电压信号端相连,所述第二晶体管的第二极与所述第二节点相连。

[0015] 在一种可能的实施方式中,在本发明实施例提供的数据锁存电路中,所述第三晶体管的栅极与所述第二节点相连,所述第三晶体管的第一极与所述第一电压信号端相连,所述第三晶体管的第二极与所述第三节点相连。

[0016] 在一种可能的实施方式中,在本发明实施例提供的数据锁存电路中,所述第四晶体管的栅极和所述第四晶体管的第一极均与所述第二电压信号端相连,所述第四晶体管的第二极与所述第三节点相连。

[0017] 在一种可能的实施方式中,在本发明实施例提供的数据锁存电路中,所述第五晶体管的栅极与所述第三节点相连,所述第五晶体管的第一极与所述第二电压信号端相连,所述第五晶体管的第二极与所述第一节点相连。

[0018] 第二方面,本发明实施例提供了一种像素电路,包括:第一方面所述的数据锁存电路,以及与所述锁存电路相连的数据写入晶体管、第一驱动晶体管和第二驱动晶体管;

[0019] 所述数据写入晶体管在扫描信号端的控制下将数据信号端的数据信号提供给第一节点;

[0020] 所述第一驱动晶体管在所述第一节点的控制下将第一时钟信号端的信号提供给像素电极;

[0021] 所述第二驱动晶体管在第二节点的控制下将第二时钟信号端的信号提供给所述像素电极。

[0022] 在一种可能的实施方式中,在本发明实施例提供的像素电路中,所述数据写入晶体管的栅极与所述扫描信号端相连,所述数据写入晶体管的第一极与所述数据信号端相连,所述数据写入晶体管的第二极与所述第一节点相连。

[0023] 在一种可能的实施方式中,在本发明实施例提供的像素电路中,所述第一驱动晶体管的栅极与所述第一节点相连,所述第一驱动晶体管的第一极与所述第一时钟信号端相连,所述第一驱动晶体管的第二极用于与所述像素电极相连。

[0024] 在一种可能的实施方式中,在本发明实施例提供的像素电路中,所述第二驱动晶体管的栅极与所述第二节点相连,所述第二驱动晶体管的第一极与所述第二时钟信号端相连,所述第二驱动晶体管的第二极用于与所述像素电极相连。

[0025] 在一种可能的实施方式中,在本发明实施例提供的像素电路中,所有所述晶体管均为N型晶体管,或所有所述晶体管均为P型晶体管。

[0026] 第三方面,本发明实施例还提供了一种阵列基板,包括第一方面任一实施例提供的像素电路,以及与所述像素电路电连接的像素电极。

[0027] 第四方面,本发明实施例还提供了一种液晶显示面板,包括第二方面实施例提供的阵列基板、公共电极和液晶层,所述公共电极与公共电极线相连,所述公共电极与所述像素电极共同驱动所述液晶层中的液晶翻转。

[0028] 本发明有益效果如下:

[0029] 本发明实施例提供了一种数据锁存电路、像素电路、阵列基板及液晶显示面板,该

数据锁存电路包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管，且所述数据锁存电路内所有所述晶体管的掺杂类型相同；所述第一晶体管的沟道宽长比大于所述第二晶体管的沟道宽长比，所述第三晶体管的沟道宽长比大于所述第四晶体管的沟道宽长比。在第一节点的电位的控制下，数据锁存电路向第一驱动晶体管或第二驱动晶体管提供控制信号，以对像素电极上的电压进行刷新。本发明中的数据锁存电路内的所有晶体管均为同种掺杂类型的晶体管，极大地降低了数据锁存电路的制作工艺的困难，同时也节约了生产成本。

附图说明

- [0030] 图1为相关技术中像素电路的结构示意图；
- [0031] 图2为本发明实施例提供的数据锁存电路的结构示意图；
- [0032] 图3为本发明实施例提供的像素电路的结构示意图；
- [0033] 图4为图3中的像素电路对应的时序图；
- [0034] 图5为本发明实施例提供显示装置的结构示意图。

具体实施方式

[0035] 相关技术中的像素电路结构如图1所示，该像素电路包括数据写入晶体管M0，该数据写入晶体管M0在扫描信号端的控制下，将数据信号端Data的数据信号提供给Q节点，当所提供的数据信号为高电位时，M4晶体管导通，将VSS信号端的低电位信号提供给Q'节点，使M5晶体管导通，导通的M5晶体管将VDD信号端的高电位信号提供给Q节点，始终保持Q节点为高电位，进而使M1晶体管导通，导通的M1晶体管将FRP信号端的信号写入C1和C2。当所提供的数据信号为低电位时，M3晶体管导通，将VDD信号端的高电位信号提供给Q'节点，使M6晶体管导通，将VSS信号端的低电位信号提供给Q节点，Q'节点为高电位时M2晶体管导通，将XFRP信号端的信号写入C1和C2。

[0036] 但是，图1所示的像素电路中数据锁存电路（虚线框内结构）中存在P型晶体管（如M3晶体管和M5晶体管）和N型晶体管（如M4晶体管和M6晶体管），在对像素电路进行制作时，需对有源层进行不同的掺杂以保证对应晶体管的功能，极大的增加了制作工艺的困难。

[0037] 针对相关技术中存在的上述问题，本发明实施例提供了一种数据锁存电路、像素电路、阵列基板及液晶显示面板。为了使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明作进一步地详细描述，显然，所描述的实施例仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例，都属于本发明保护的范围。

[0038] 附图中各部件的形状和大小不反应真实比例，目的只是示意说明本发明内容。

[0039] 本发明实施例提供的数据锁存电路，如图2所示，第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4和第五晶体管T5，且数据锁存电路1内所有晶体管的掺杂类型相同；

[0040] 第一晶体管T1在第一节点N1的控制下将第一电压信号端VSS的信号提供给第二节点N2，其中第一节点N1还分别与数据写入晶体管的第一极和第一驱动晶体管的控制端相连；

[0041] 第二晶体管T2在第二电压信号端VDD的控制下将第二电压信号端VDD的信号提供给第二节点N2,其中第二节点N2还与第二驱动晶体管的控制端相连;

[0042] 第三晶体管T3在第二节点N2的控制下将第一电压信号端VSS的信号提供给第三节点N3;

[0043] 第四晶体管T4在第二电压信号端VDD的控制下将第二电压信号端VDD的信号提供给第三节点N3;

[0044] 第五晶体管T5在第三节点N3的电位的控制下将第二电压信号端VDD的信号提供给第一节点N1;

[0045] 其中,第一晶体管T1的沟道宽长比大于第二晶体管T2的沟道宽长比,第三晶体管T3的沟道宽长比大于第四晶体管T4的沟道宽长比。

[0046] 具体地,在本发明实施例提供的数据锁存电路中,如图2和图3所示,包括:第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4和第五晶体管T5,且数据锁存电路1内所有晶体管的掺杂类型相同;第一晶体管T1的沟道宽长比大于第二晶体管T2的沟道宽长比,第三晶体管的沟道宽长比大于第四晶体管T4的沟道宽长比。数据写入晶体管T0将数据信号写入到第一节点N1,在第一节点N1的电位的控制下,数据锁存电路1向第一驱动晶体管T6或第二驱动晶体管T7提供控制信号,以将第一时钟信号端FRP的信号或第二时钟信号端XFRP的信号提供给像素电极,对像素电极上的电压进行刷新。本发明像素电路中的数据锁存电路1内的所有晶体管均为同种掺杂类型的晶体管,极大地降低了数据锁存电路1的制作工艺的难度,同时也节约了生产成本。

[0047] 需要说明的是,该像素电路中的各晶体管均为半导体薄膜晶体管,所有晶体管可以全部为N型晶体管,也可以全部为P型晶体管。当该半导体薄膜晶体管为低温多晶硅LTPS (Low Temperature Poly-silicon) 晶体管时,掺杂工艺较容易控制,所有晶体管可以全部为N型晶体管,也可以全部为P型晶体管。当半导体薄膜晶体管为非晶硅薄膜晶体管(A-Si TFT)时,由于工艺的限制,所有晶体管可以全部为N型晶体管。具体晶体管的类型根据实际情况进行选择,在此不做具体限定。

[0048] 可选地,在本发明实施例提供的数据锁存电路中,如图2所示,第一晶体管T1的栅极与第一节点N1相连,第一晶体管T1的第一极与第一电压信号端VSS相连,第一晶体管T1的第二极与第二节点N2相连。

[0049] 具体地,在本发明实施例提供的数据锁存电路中,如图2所示,当第一晶体管T1为N型晶体管时,第一节点N1为高电位时,第一晶体管T1导通,将第一电压信号端VSS的信号提供给第二节点N2,当第一节点N1为低电位时,第一晶体管T1截止;当第一晶体管T1为P型晶体管(在图中未具体示出)时,第一节点N1为高电位,第一晶体管T1截止,第一节点N1为低电位时,第一晶体管T1导通将第一电压信号端VSS的信号提供给第二节点N2。

[0050] 可选地,在本发明实施例提供的数据锁存电路中,如图2所示,第二晶体管T2的栅极和第二晶体管T2的第一极均与第二电压信号端VDD相连,第二晶体管T2的第二极与第二节点N2相连。

[0051] 具体地,在本发明实施例提供的数据锁存电路中,如图2所示,当第二晶体管T2为N型晶体管时,第二电压信号端VDD为高电位时,第二晶体管T2导通,将第二电压信号端VDD的信号提供给第二节点N2,当第二电压信号端VDD为低电位时,第二晶体管T2截止;当第二晶

晶体管T2为P型晶体管(在图中未具体示出)时,第二电压信号端VDD为高电位,第二晶体管T2截止,第二电压信号端VDD为低电位时,第二晶体管T2导通将第二电压信号端VDD的信号提供给第二节点N2。

[0052] 可选地,在本发明实施例提供的数据锁存电路中,如图2所示,第三晶体管T3的栅极与第二节点N2相连,第三晶体管T3的第一极与第一电压信号端VSS相连,第三晶体管T3的第二极与第三节点N3相连。

[0053] 具体地,在本发明实施例提供的数据锁存电路中,如图2所示,当第三晶体管T3为N型晶体管时,第二节点N2为高电位时,第三晶体管T3导通,将第一电压信号端VSS的信号提供给第三节点N3,当第二节点N2为低电位时,第三晶体管T3截止;当第三晶体管T3为P型晶体管(在图中未具体示出)时,第二节点N2为高电位,第三晶体管T3截止,第二节点N2为低电位时,第三晶体管T3导通将第一电压信号端VSS的信号提供给第三节点N3。

[0054] 可选地,在本发明实施例提供的数据锁存电路中,如图2所示,第四晶体管T4的栅极和第四晶体管T4的第一极均与第二电压信号端VDD相连,第四晶体管T4的第二极与第三节点N3相连。

[0055] 具体地,在本发明实施例提供的数据锁存电路中,如图2所示,当第四晶体管T4为N型晶体管时,第二电压信号端VDD为高电位时,第四晶体管T4导通,将第二电压信号端VDD的信号提供给第三节点N3,当第二电压信号端VDD为低电位时,第四晶体管T4截止;当第四晶体管T4为P型晶体管(在图中未具体示出)时,第二电压信号端VDD为高电位,第四晶体管T4截止,第二电压信号端VDD为低电位时,第四晶体管T4导通将第二电压信号端VDD的信号提供给第三节点N3。

[0056] 可选地,在本发明实施例提供的数据锁存电路中,如图2所示,第五晶体管T5的栅极与第三节点N3相连,第五晶体管T5的第一极与第二电压信号端VDD相连,第五晶体管T5的第二极与第一节点N1相连。

[0057] 具体地,在本发明实施例提供的数据锁存电路中,如图2所示,当第五晶体管T5为N型晶体管时,第三节点N3为高电位时,第五晶体管T5导通,将第二电压信号端VDD的信号提供给第一节点N1,当第三节点N3为低电位时,第五晶体管T5截止;当第五晶体管T5为P型晶体管(在图中未具体示出)时,第三节点N3为高电位,第五晶体管T5截止,第三节点N3为低电位时,第五晶体管T5导通将第二电压信号端VDD的信号提供给第一节点N1。

[0058] 基于同一发明构思,本发明实施例还提供了一种像素电路,如图3所示,包括上述实施例提供的数据锁存电路1,以及与该数据锁存电路1相连的数据写入晶体管T0、第一驱动晶体管T6和第二驱动晶体管T7;

[0059] 数据写入晶体管T0在扫描信号端Scan的控制下将数据信号端Data的数据信号提供给第一节点N1;

[0060] 第一驱动晶体管T6在第一节点N1的控制下将第一时钟信号端FRP的信号提供给像素电极;

[0061] 第二驱动晶体管T7在第二节点N2的控制下将第二时钟信号端XFRP的信号提供给像素电极。

[0062] 可选地,在本发明实施例提供的像素电路中,如图3所示,数据写入晶体管T0的栅极与扫描信号端Scan相连,数据写入晶体管T0的第一极与数据信号端Data相连,数据写入

晶体管T0的第二极与第一节点N1相连。

[0063] 具体地,在本发明实施例提供的像素电路中,如图3所示,当数据写入晶体管T0为N型晶体管时,扫描信号端Scan为高电位时,数据写入晶体管T0导通,将数据信号端Data的信号提供给第一节点N1,当扫描信号端Scan的信号为低电位时,数据写入晶体管T0截止;当数据写入晶体管T0为P型晶体管(在图中未具体示出)时,扫描信号端Scan的信号为高电位,数据写入晶体管T0截止,扫描信号端Scan为低电位时,数据写入晶体管T0导通将数据信号端Data的信号提供给第一节点N1。

[0064] 可选地,在本发明实施例提供的像素电路中,如图3所示,第一驱动晶体管T6的栅极与第一节点N1相连,第一驱动晶体管T6的第一极与第一时钟信号端FRP相连,第一驱动晶体管T6的第二极用于与像素电极相连。

[0065] 具体地,在本发明实施例提供的像素电路中,如图3所示,当第一驱动晶体管T6为N型晶体管时,第一节点N1为高电位时,第一驱动晶体管T6导通,将第一时钟信号端FRP的信号提供给像素电极,当第一节点N1为低电位时,第一驱动晶体管T6截止;当第一驱动晶体管T6为P型晶体管(在图中未具体示出)时,第一节点N1为高电位,第一驱动晶体管T6截止,第一节点N1为低电位时,第一驱动晶体管T6导通将第一时钟信号端FRP的信号提供给像素电极。

[0066] 可选地,在本发明实施例提供的像素电路中,如图3所示,第二驱动晶体管T7的栅极与第二节点N2相连,第二驱动晶体管T7的第一极与第二时钟信号端XFRP相连,第二驱动晶体管T7的第二极用于与像素电极相连。

[0067] 具体地,在本发明实施例提供的像素电路中,如图3所示,当第二驱动晶体管T7为N型晶体管时,第二节点N2为高电位时,第二驱动晶体管T7导通,将第二时钟信号端XFRP的信号提供给像素电极,当第二节点N2为低电位时,第二驱动晶体管T7截止;当第二驱动晶体管T7为P型晶体管(在图中未具体示出)时,第二节点N2为高电位,第二驱动晶体管T7截止,第二节点N2为低电位时,第二驱动晶体管T7导通将第二时钟信号端XFRP的信号提供给像素电极。

[0068] 可选地,在本发明实施例提供的像素电路中,所有晶体管均为N型晶体管,或所有晶体管均为P型晶体管。

[0069] 具体地,将所有晶体管设置为同种掺杂类型的晶体管,在制作各晶体管的有源层时工艺则相同,极大的降低了制作工艺的难度。

[0070] 需要说明的是,图3是以该像素电路中所有晶体管均为N型晶体管为例进行说明的,当所有晶体管均为P型晶体管时,第一电压信号端VSS、第二电压信号端VDD、第一时钟信号端FRP和第二时钟信号端XFRP的信号会存在变化,各信号端的电压根据实际使用情况进行选择,在此不作具体限定。

[0071] 下面以图3和图4所示的像素电路和时序图为例,对像素电路的工作过程进行描述:

[0072] 当扫描信号端Scan为高电位时,数据写入晶体管T0导通,将数据信号端Data的数据信号提供给第一节点N1,当数据信号为高电位时,第一节点N1为高电位,使第一晶体管T1导通将第一电压信号端VSS的低电位信号提供给第二节点N2,同时,第二晶体管T2在第二电压信号端VDD的高电位的控制下导通,将高电位信号提供给第二节点N2,但是由于第一晶体

管T1的沟道宽长比大于第二晶体管T2的沟道宽长比,因此使得第二节点N2为低电位,使第三晶体管T3截止;第四晶体管T4在第二电压信号端VDD的高电位的控制下导通,将第二电压信号端VDD的高电位信号提供给第三节点N3,在第三节点N3高电位的控制下,第五晶体管T5导通,将第二电压信号端VDD的高电位信号提供给第一节点N1,使第一节点N1始终保持高电位,即对数据信号进行保持。在第一节点N1的电位控制下,第一驱动晶体管T6导通,利用第一时钟信号端FRP的信号为第一电容C1和第二电容C2进行充电,其中第一电容C1和第二电容C2的第一极电极为同一像素电极,第一电容C1和第二电容C2的第二电极为公共电极,公共电极线为公共电极提供公共电压信号。

[0073] 当数据信号为低电位信号时,第一节点N1为低电位,第一晶体管T1截止,第二晶体管T2在第二电压信号端VDD的高电位的控制下导通,将高电位信号提供给第二节点N2,此时第二节点N2为高电位,因此第三晶体管T3导通,将第一电压信号端VSS的信号提供给第三节点N3,同时第四晶体管T4在第二电压信号端VDD的控制下,将第二电压信号端VDD的高电位信号提供给第三节点N3,但是由于第三晶体管T3的沟道宽长比大于第四晶体管T4的沟道宽长比,因此第三节点N3的电位为低电位,从而使得第五晶体管T5截止,始终是第一节点N1保持低电位,第二节点N2保持高电位。第二驱动晶体管T7在第二节点N2的高电位的控制下导通,利用第二时钟信号端XFRP的信号为第一电容C1和第二电容C2充电。

[0074] 基于同一发明构思,本发明实施例提供了一种阵列基板,包括上述任一实施例提供的像素电路,以及与像素电路电连接的像素电极。

[0075] 具体地,在本发明实施例提供的阵列基板中,上述像素电路中的第一驱动晶体管的第二极和第二驱动晶体管的第二极均与像素电极电连接。

[0076] 基于同一发明构思,本发明实施例提供了一种液晶显示面板,包括上述实施例提供的阵列基板、公共电极和液晶层,公共电极与公共电极线相连,公共电极与像素电极共同驱动液晶层中的液晶翻转。

[0077] 基于同一发明构思,如图5所示,本发明实施例还提供了一种显示装置,包括上述实施例提供的液晶显示面板。其中该显示装置可以为可穿戴装置,如图4所示的手表等,当然也可以为其他液晶显示装置,在此不做具体限定。

[0078] 其中,上述实施例中提供的阵列基板、液晶显示面板和显示装置的原理和具体实施方式与上述实施例提供的数据锁存电路和像素电路的原理和具体实施方式相同,阵列基板、液晶显示面板和显示装置可以参见数据锁存电路和像素电路的具体实施例进行实施,在此不再赘述。

[0079] 本发明实施例提供了一种数据锁存电路、像素电路、阵列基板及液晶显示面板,该数据锁存电路包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管,且所述数据锁存电路内所有所述晶体管的掺杂类型相同;所述第一晶体管的沟道宽长比大于所述第二晶体管的沟道宽长比,所述第三晶体管的沟道宽长比大于所述第四晶体管的沟道宽长比。数据写入晶体管将数据信号写入到第一节点,在第一节点的电位的控制下,数据锁存电路向第一驱动晶体管或第二驱动晶体管提供控制信号,以将第一时钟信号端的信号或第二时钟信号端的信号提供给像素电极,对像素电极上的电压进行刷新。本发明像素电路中的数据锁存电路内的所有晶体管均为同种掺杂类型的晶体管,极大地降低了数据锁存电路的制作工艺的困难,同时也节约了生产成本。

[0080] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

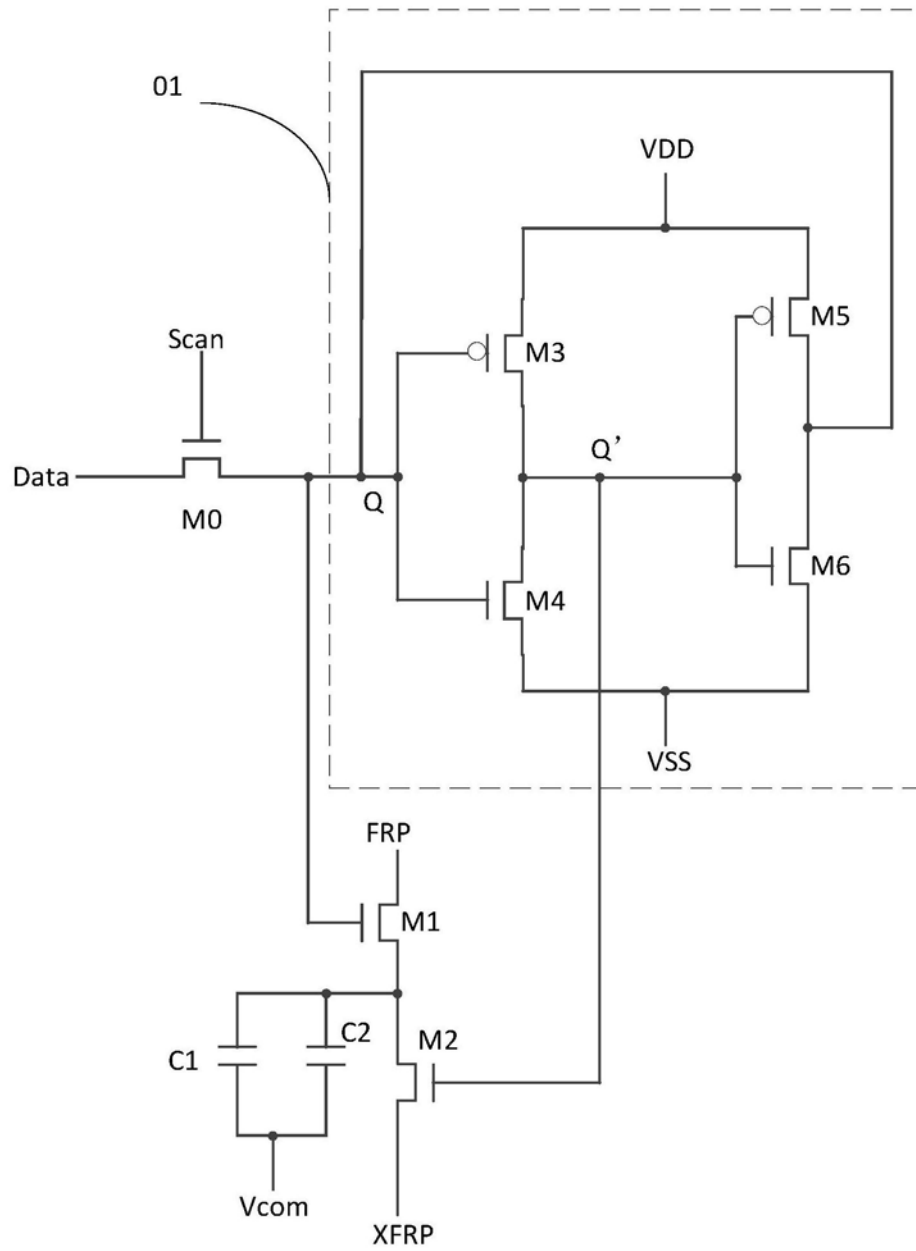


图1

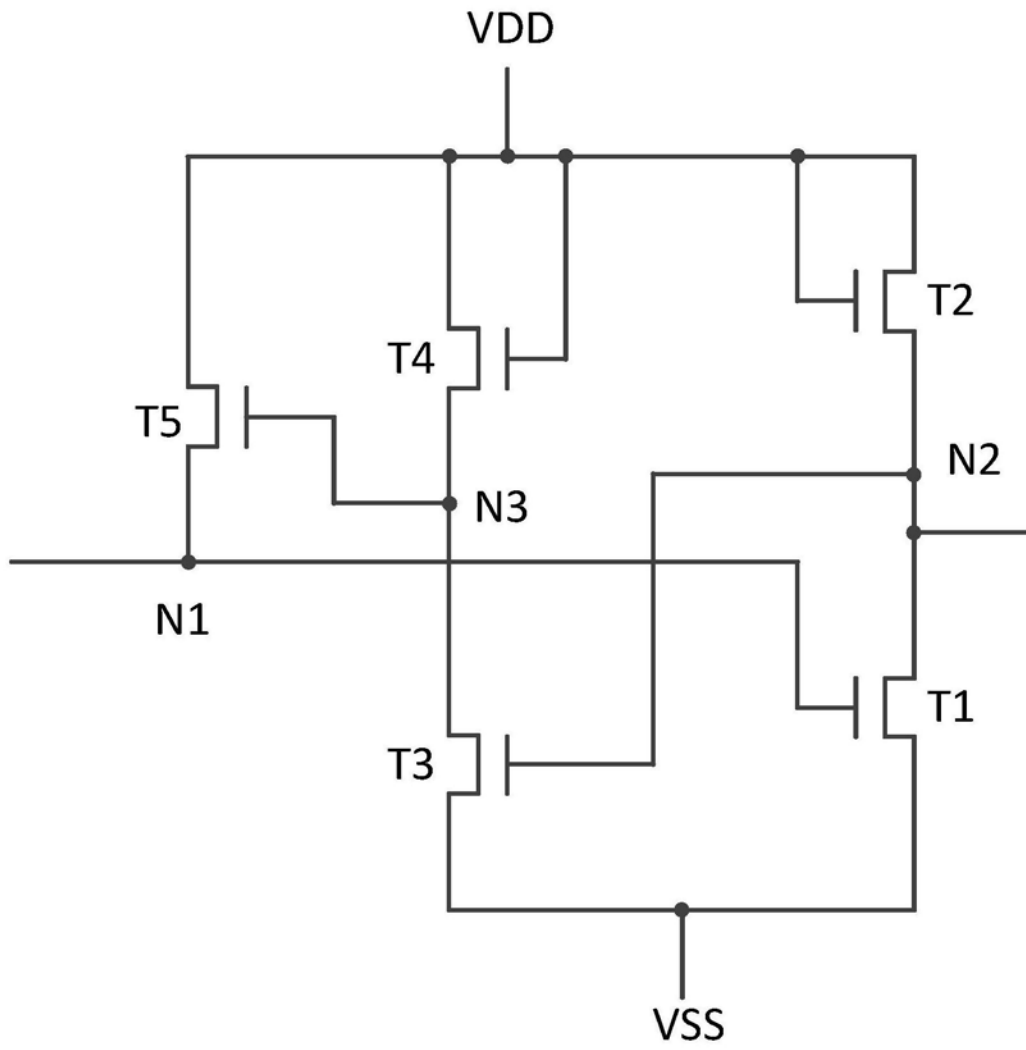


图2

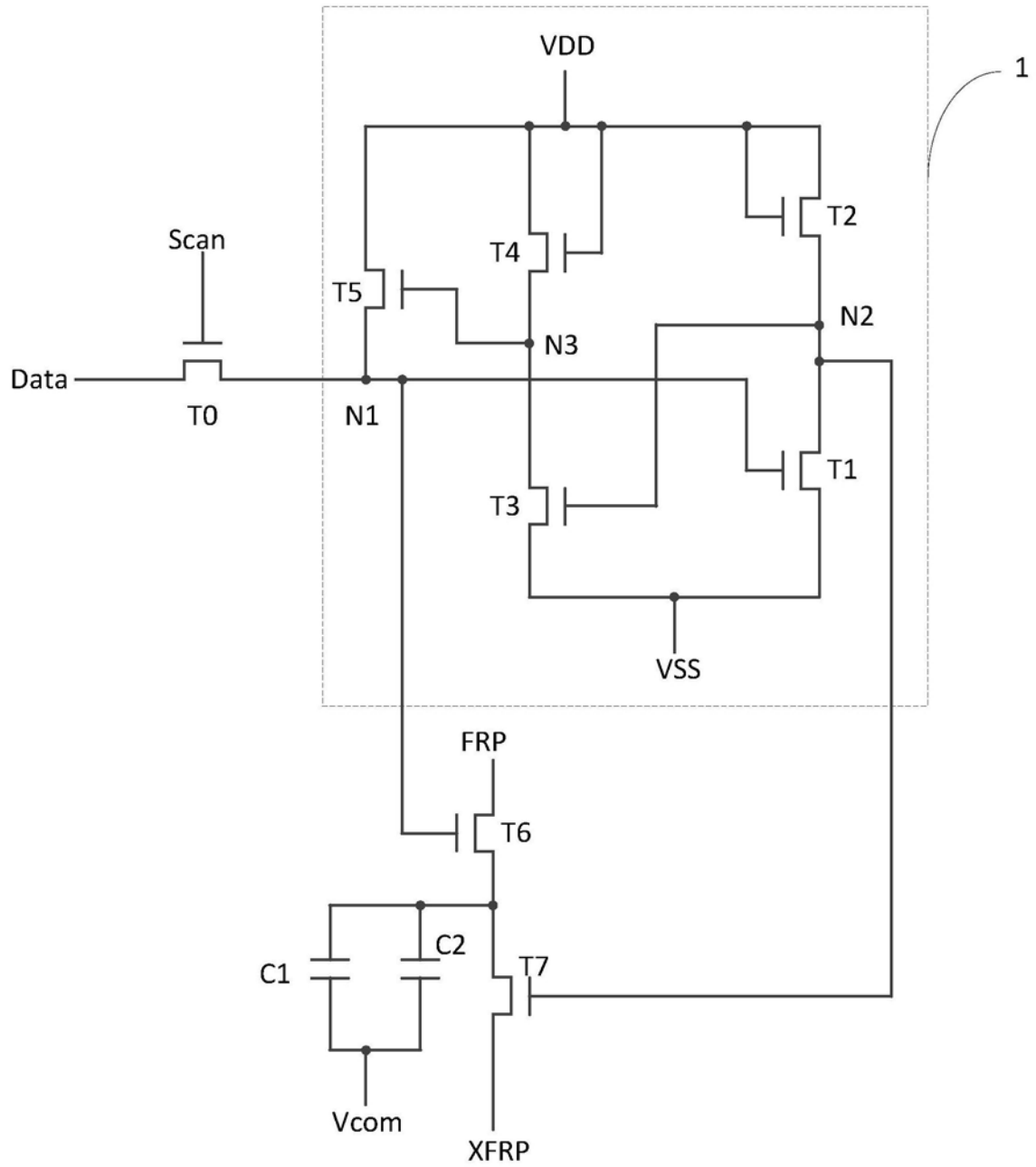


图3

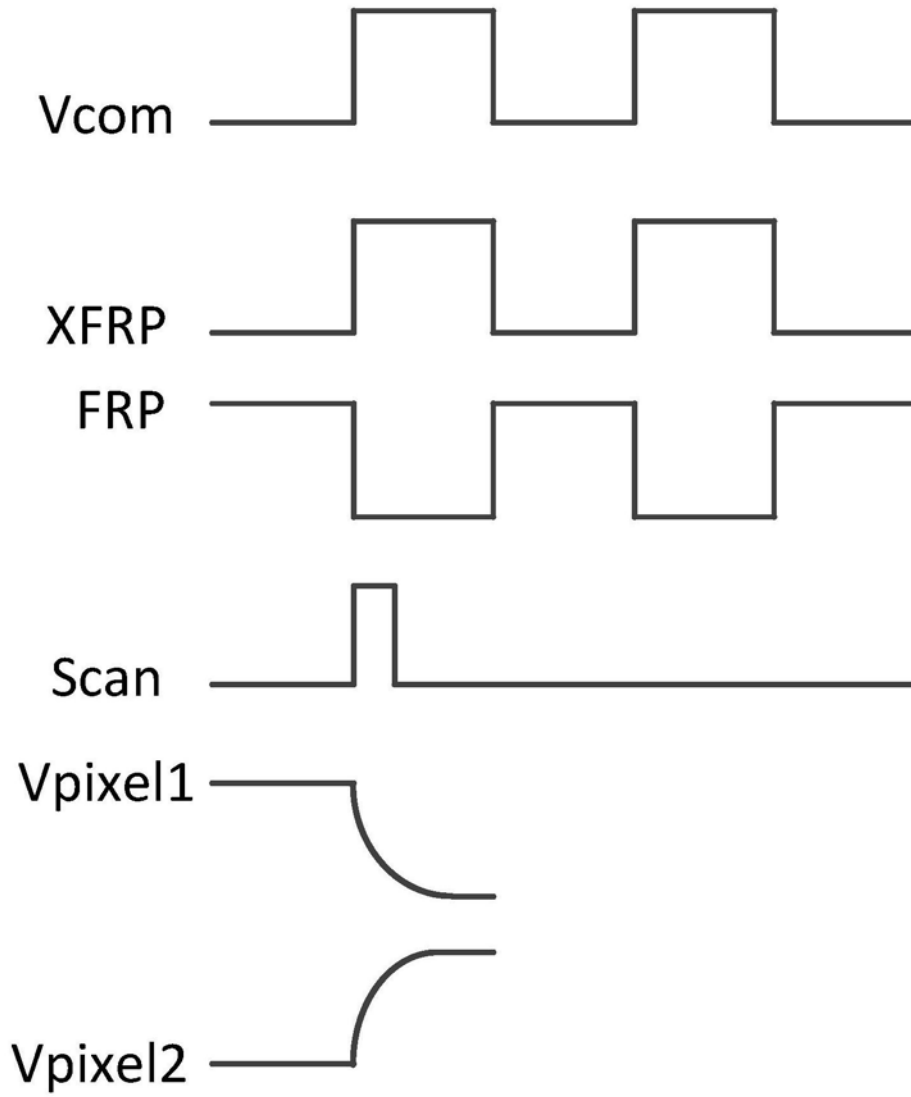


图4

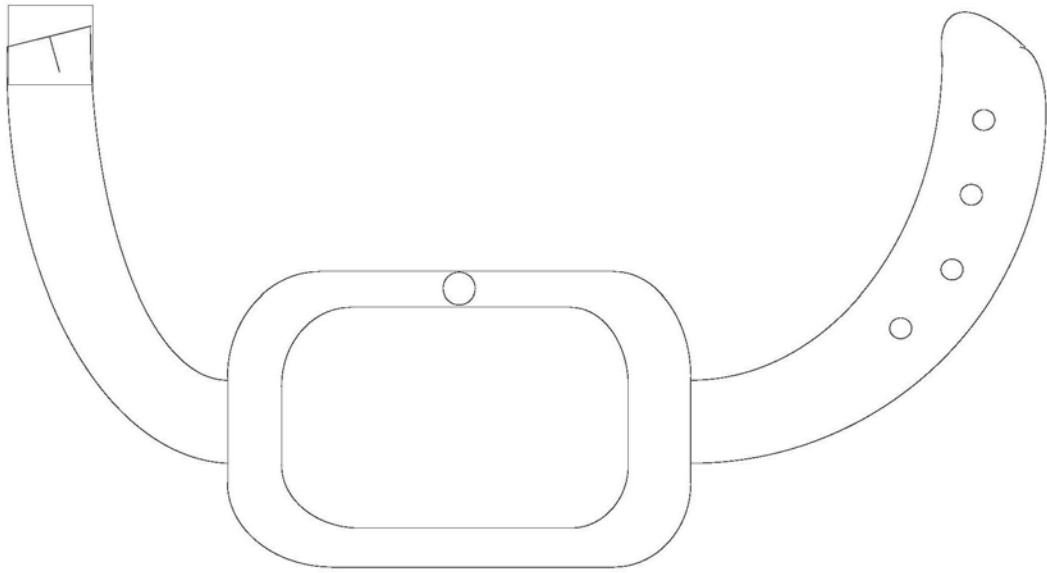


图5

专利名称(译)	数据锁存电路、像素电路、阵列基板及液晶显示面板		
公开(公告)号	CN110060646A	公开(公告)日	2019-07-26
申请号	CN201910378642.8	申请日	2019-05-08
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
[标]发明人	冯思林 吴迪		
发明人	冯思林 吴迪		
IPC分类号	G09G3/36 G11C16/10		
CPC分类号	G09G3/3611 G11C16/10		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种数据锁存电路、像素电路、阵列基板及液晶显示面板，该数据锁存电路包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管，且所述数据锁存电路内所有所述晶体管的掺杂类型相同；所述第一晶体管的沟道宽长比大于所述第二晶体管的沟道宽长比，所述第三晶体管的沟道宽长比大于所述第四晶体管的沟道宽长比。本发明数据锁存电路内的所有晶体管均为同种掺杂类型的晶体管，极大地降低了数据锁存电路的制作工艺的复杂度，同时也节约了生产成本。

