



(12)发明专利申请

(10)申请公布号 CN 109637484 A  
(43)申请公布日 2019.04.16

(21)申请号 201910062446.X

(22)申请日 2019.01.23

(71)申请人 南京中电熊猫平板显示科技有限公司

地址 210033 江苏省南京市栖霞区南京液晶谷天佑路7号

申请人 南京中电熊猫液晶显示科技有限公司  
南京华东电子信息科技股份有限公司

(72)发明人 戴超 黄洪涛

(51)Int.Cl.

G09G 3/36(2006.01)

G06F 3/044(2006.01)

权利要求书2页 说明书7页 附图5页

(54)发明名称

栅极驱动单元电路、栅极驱动电路和显示装置

(57)摘要

本发明公开了一种栅极驱动单元电路、栅极驱动电路和显示装置,涉及液晶显示领域;栅极驱动单元电路包括记忆补偿电路和至少两个栅极输出电路,每个栅极输出电路均包括上拉控制节点、上拉模块、下拉模块、预充模块和维持模块,上拉模块受上拉控制节点控制,输出对应该栅极输出电路的扫描信号;记忆补偿电路在触控暂停阶段将每个栅极输出电路内的上拉控制节点的电荷清空,在触控暂停后阶段将每个栅极输出电路内的上拉控制节点的电压由低电平抬升至第一高电平;本发明实施例在触控暂停阶段使得所有级的上拉控制节点维持在低电位,消除上拉模块中薄膜晶体管特性漂移不同导致的停坑横纹,并通过共享方式等效减少记忆补偿电路的TFT元件数量。



1. 一种栅极驱动单元电路,适于进行多级连接以形成栅极驱动电路,其特征在于,包括:记忆补偿电路和至少两个栅极输出电路,每个栅极输出电路均包括上拉控制节点、上拉模块、下拉模块、预充模块和维持模块,上拉模块受上拉控制节点控制,输出对应该栅极输出电路的扫描信号;记忆补偿电路分别与每个栅极输出电路内的上拉控制节点电性连接;

记忆补偿电路在触控暂停阶段将每个栅极输出电路内的上拉控制节点的电荷清空,在触控暂停后阶段将每个栅极输出电路内的上拉控制节点的电压由低电平抬升至第一高电平。

2. 根据权利要求1所述的栅极驱动单元电路,其特征在于:

所述记忆补偿电路包括:第一记忆模块、第二记忆模块和分级控制模块;第一记忆模块和第二记忆模块连接于第一记忆节点,第二记忆模块和分级控制模块连接于第二记忆节点,分级控制模块连接所述每个栅极输出电路内的上拉控制节点;分级控制模块接收触控启动信号,触控启动信号仅在触控暂停后阶段的第一阶段为高电平;

第一记忆模块用于在触控暂停前阶段控制第二记忆模块打开,并用于在触控暂停后阶段控制第二记忆模块关闭;

第二记忆模块用于在触控暂停阶段和触控暂停后阶段的所述第一阶段打开,控制第二记忆节点处于第二记忆电压;

分级控制模块用于在触控暂停阶段将每个栅极输出电路内的上拉控制节点的电荷清空,并用于在触控暂停后阶段的所述第一阶段将每个栅极输出电路内的上拉控制节点的电压由低电平抬升至第一高电平。

3. 根据权利要求2所述的栅极驱动电路,其特征在于:

所述栅极输出电路包括第一栅极输出电路和第二栅极输出电路,所述记忆补偿电路连接第一栅极输出电路的上拉控制节点和第二栅极输出电路的上拉控制节点,第一栅极输出电路和第二栅极输出电路分别用于输出第一栅极扫描信号和第二栅极扫描信号;所述记忆补偿电路接收第一栅极扫描信号的前级信号和第二栅极扫描信号的后级信号。

4. 根据权利要求3所述的栅极驱动电路,其特征在于:

所述第一记忆模块包括第一薄膜晶体管和第二薄膜晶体管;

第一薄膜晶体管的控制端和第一通路端连接并输入第一栅极扫描信号的前级信号,第一薄膜晶体管的第二通路端连接第一记忆节点;

第二薄膜晶体管的控制端输入第二栅极扫描信号的后级信号,第二薄膜晶体管的第一通路端连接第一记忆节点,第二薄膜晶体管的第二通路端输入恒压低电平。

5. 根据权利要求3所述的栅极驱动电路,其特征在于,

所述第二记忆模块包括第三薄膜晶体管;

第三薄膜晶体管的控制端连接第一记忆节点,第三薄膜晶体管的第二通路端连接第二记忆节点,第三薄膜晶体管的第二通路端输入触摸控制信号。

6. 根据权利要求3所述的栅极驱动电路,其特征在于:

所述分级控制模块包括第四薄膜晶体管和第五薄膜晶体管;

第四薄膜晶体管的控制端连接第二记忆节点,第四薄膜晶体管的第二通路端输入触控启动信号,第四薄膜晶体管的第二通路端连接第一栅极输出电路的上拉控制节点;

第五薄膜晶体管的控制端连接第二记忆节点,第五薄膜晶体管的第二通路端输出触控

启动信号,第五薄膜晶体管的第二通路端连接第二栅极输出电路的上拉控制节点。

7.一种栅极驱动电路,其特征在于,由多个如权利要求1-6任一项所述的栅极驱动单元电路级联而成。

8.一种显示装置,其特征在于,包括如权利要求7所述的栅极驱动电路。

## 栅极驱动单元电路、栅极驱动电路和显示装置

### 技术领域

[0001] 本发明涉及液晶显示领域,尤其涉及一种栅极驱动单元电路、栅极驱动电路和显示装置。

### 背景技术

[0002] 在触控显示面板中,自容式触控显示屏为了在常规60Hz显示面板中实现120Hz的触控报点率,通常需要在正常显示期间暂停显示输出,然后进行触控暂停,触控暂停之后再继续进行正常显示。这样的动作会反复进行多次,这就要求栅极驱动电路(GOA电路)能够在显示期间的任意位置暂停,然后在触控暂停后能够正常启动驱动而不产生显示差异。触控暂停位置的栅极驱动单元电路中,上拉控制节点在触控侦测阶段处于高电平;而非触控暂停位置的栅极驱动单元电路中,上拉控制节点在触控侦测阶段维持在低电平。栅极驱动单元电路的驱动晶体管连接扫描信号线和上拉控制节点,在长时间操作后触控暂停位置的栅极驱动单元电路输出会由于驱动晶体管的阈值电压( $V_{th}$ )偏移量不一样而与其他正常级产生差异,最终导致显示上有横纹,我们常称之为“停坑纹”。

[0003] 为了解决停坑纹问题,现有技术提出了一种在常规栅极驱动单元电路中增加记忆补偿模块的设计方案。如图1所示,该记忆补偿模块可以在触控暂停阶段将上拉控制节点netAn的电位全部拉低,确保所有级的驱动晶体管M10承受相同的电应力作用,不会产生不同的 $V_{th}$ 漂移量。但由于每一级电路单独有一个记忆补偿模块,这样电路所需要的TFT元件数量明显增加,不利于实现窄边框和降低功耗。

### 发明内容

[0004] 为解决上述技术问题,本发明提供一种栅极驱动单元电路、栅极驱动电路和显示装置,可以避免由薄膜晶体管的阈值电压漂移造成的停坑横纹,改善电路的可靠性,并减少记忆补偿电路的TFT元件数量。

[0005] 根据本发明的第一方面,提出一种栅极驱动单元电路,适于进行多级连接以形成栅极驱动电路,该栅极驱动单元电路包括:记忆补偿电路和至少两个栅极输出电路,每个栅极输出电路均包括上拉控制节点、上拉模块、下拉模块、预充模块和维持模块,上拉模块受上拉控制节点控制,输出对应该栅极输出电路的扫描信号;记忆补偿电路分别与每个栅极输出电路内的上拉控制节点电性连接;

[0006] 记忆补偿电路在触控暂停阶段将每个栅极输出电路内的上拉控制节点的电荷清空,在触控暂停后阶段将每个栅极输出电路内的上拉控制节点的电压由低电平抬升至第一高电平。

[0007] 优选地,所述记忆补偿电路包括:第一记忆模块、第二记忆模块和分级控制模块;第一记忆模块和第二记忆模块连接于第一记忆节点,第二记忆模块和分级控制模块连接于第二记忆节点,分级控制模块连接所述每个栅极输出电路内的上拉控制节点;分级控制模块接收触控启动信号,触控启动信号仅在触控暂停后阶段的第一阶段为高电平;

[0008] 第一记忆模块用于在触控暂停前阶段控制第二记忆模块打开,并用于在触控暂停后阶段控制第二记忆模块关闭;

[0009] 第二记忆模块用于在触控暂停阶段和触控暂停后阶段的所述第一阶段打开,控制第二记忆节点处于第二记忆电压;

[0010] 分级控制模块用于在触控暂停阶段将每个栅极输出电路内的上拉控制节点的电荷清空,并用于在触控暂停后阶段的所述第一阶段将每个栅极输出电路内的上拉控制节点的电压由低电平抬升至第一高电平。

[0011] 优选地,所述栅极输出电路包括第一栅极输出电路和第二栅极输出电路,所述记忆补偿电路连接第一栅极输出电路的上拉控制节点和第二栅极输出电路的上拉控制节点,第一栅极输出电路和第二栅极输出电路分别用于输出第一栅极扫描信号和第二栅极扫描信号;所述记忆补偿电路接收第一栅极扫描信号的前级信号和第二栅极扫描信号的后级信号。

[0012] 优选地,所述第一记忆模块包括第一薄膜晶体管和第二薄膜晶体管;

[0013] 第一薄膜晶体管的控制端和第一通路端连接并输入第一栅极扫描信号的前级信号,第一薄膜晶体管的第二通路端连接第一记忆节点;

[0014] 第二薄膜晶体管的控制端输入第二栅极扫描信号的后级信号,第二薄膜晶体管的第二通路端连接第一记忆节点,第二薄膜晶体管的第二通路端输入恒压低电平。

[0015] 优选地,所述第二记忆模块包括第三薄膜晶体管;

[0016] 第三薄膜晶体管的控制端连接第一记忆节点,第三薄膜晶体管的第二通路端连接第二记忆节点,第三薄膜晶体管的第二通路端输入触摸控制信号。

[0017] 优选地,所述分级控制模块包括第四薄膜晶体管和第五薄膜晶体管;

[0018] 第四薄膜晶体管的控制端连接第二记忆节点,第四薄膜晶体管的第二通路端输入触控启动信号,第四薄膜晶体管的第二通路端连接第一栅极输出电路的上拉控制节点;

[0019] 第五薄膜晶体管的控制端连接第二记忆节点,第五薄膜晶体管的第二通路端输出触控启动信号,第五薄膜晶体管的第二通路端连接第二栅极输出电路的上拉控制节点。

[0020] 根据本发明的第二方面,提出一种栅极驱动电路,由多个任一种如前述实施方式的栅极驱动单元电路级联而成。

[0021] 根据本发明的第三方面,提出一种显示装置,包括如前述实施方式的栅极驱动电路。

[0022] 与现有技术相比,本发明能够带来以下至少一项有益效果:

[0023] 1、触控暂停阶段所有上拉控制节点维持在低电位,消除上拉模块中薄膜晶体管特性漂移不同导致的停坑横纹;

[0024] 2、通过至少两个栅极输出电路共享一个记忆补偿电路,等效减少记忆补偿电路的TFT元件数量。

## 附图说明

[0025] 下面将以明确易懂的方式,结合附图说明优选实施方式,对本发明予以进一步说明。

[0026] 图1为现有的一种栅极驱动电路中增加记忆补偿模块的电路示意图;

- [0027] 图2为本发明的一种栅极驱动单元电路的框架示意图；
- [0028] 图3为本发明的另一种栅极驱动单元电路的框架示意图；
- [0029] 图4为本发明的再一种栅极驱动单元电路的框架示意图；
- [0030] 图5为根据本发明实施例一的栅极驱动单元电路的框架示意图；
- [0031] 图6为图5所示栅极驱动单元电路中记忆补偿电路的电路示意图；
- [0032] 图7为图5所示栅极驱动单元电路中栅极输出电路的电路示意图；
- [0033] 图8为图5所示栅极驱动单元电路的驱动波形示意图。
- [0034] 附图标号说明：
- [0035] 100、记忆补偿电路,201、第一栅极输出电路,202、第二栅极输出电路,
- [0036] 101、第一记忆模块,102、第二记忆模块,103、分级控制模块,M1C、第一薄膜晶体管,M2C、第二薄膜晶体管,M3C、第三薄膜晶体管,M4C、第四薄膜晶体管,M5C、第五薄膜晶体管,
- [0037] 01、正反扫控制模块,02、上拉模块,03、触控模块,04、维持模块,05、清空模块,M10、驱动晶体管,C1、第一电容；
- [0038] Gn、第一栅极扫描信号,Gn+2、第二栅极扫描信号,Gn-2、第一栅极扫描信号的前级信号,Gn+4、第二栅极扫描信号的后级信号,
- [0039] netAn、第一栅极输出电路的上拉控制节点,netAn+2、第二栅极输出电路的上拉控制节点,netBn、第一栅极输出电路的维持控制节点,netCm、第一记忆节点,netDm、第二记忆节点,
- [0040] NetAn、第一栅极输出电路的上拉控制节点的电压,NetAn+2、第二栅极输出电路的上拉控制节点的电压,NetCm、第一记忆节点的电压,NetDm、第二记忆节点的电压,
- [0041] TC1、触摸控制信号,GSP2、触控启动信号,VSS、恒压低电平,VGH1、高电平控制信号,CLR1、清空重置信号,CKm、第一时钟信号,CKm+4、第二时钟信号。

### 具体实施方式

[0042] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对照附图说明本发明的具体实施方式。显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图,并获得其他的实施方式。

[0043] 为使图面简洁,各图中只示意性地表示出了与本发明相关的部分,它们并不代表其作为产品的实际结构。这里,当将第一元件描述为“电连接”到第二元件时,第一元件可以直接连接至第二元件,或经过一个或多个附加元件间接连接至第二元件。进一步的,为了清楚起见,简明省略了对于充分理解本发明而言不是必须的某些元件。

[0044] 本发明的栅极驱动单元电路,适于进行多级连接以形成栅极驱动电路,栅极驱动单元电路包括:记忆补偿电路和至少两个栅极输出电路,每个栅极输出电路均包括上拉控制节点、上拉模块、下拉模块、预充模块和维持模块,上拉模块受上拉控制节点控制,输出对应该栅极输出电路的扫描信号;记忆补偿电路分别与每个栅极输出电路内的上拉控制节点电性连接。

[0045] 其中,上拉模块包括一驱动晶体管,驱动晶体的控制端连接上拉控制节点,驱动

晶体管的第一通路端输入时钟信号,驱动晶体管的第二通路端连接对应该栅极输出电路的扫描信号线。预充模块用于对上拉控制节点预充电;上拉模块受上拉控制节点控制,输出对应该栅极输出电路的扫描信号;维持模块用于在非扫描信号输出期间维持上拉控制节点和扫描信号线的电位;下拉模块用于在开关机或者一帧结束时清空重置上拉控制节点、扫描信号线的电位。栅极输出电路还可以包括触控模块等。

[0046] 本发明的栅极驱动单元电路适用于内嵌式触控显示装置,一帧时间分为触控暂停前阶段、触控暂停阶段和触控暂停后阶段。

[0047] 记忆补偿电路在触控暂停阶段将每个栅极输出电路内的上拉控制节点的电荷清空,在触控暂停后阶段将每个栅极输出电路内的上拉控制节点的电压由低电平抬升至第一高电平。

[0048] 触控暂停位置的常规栅极驱动单元电路,在进入触控暂停阶段后,上拉控制节点的电位处于异于其他级的高电平。本发明的栅极驱动单元电路中,记忆补偿电路起到在触控暂停前阶段复制记忆上拉控制节点的高电平、在触控暂停阶段清空其所连接的上拉控制节点的电荷、在触控暂停后阶段将高电平反馈给上拉控制节点的作用,使得所有级的驱动晶体管承受相同的电应力作用,不会产生不同的阈值电压( $V_{th}$ )漂移量,消除驱动晶体管特性漂移不同导致的停坑横纹。

[0049] 图2为本发明的一种栅极驱动单元电路的框架示意图,图中相邻两级栅极输出电路(即第一栅极输出电路201和第二栅极输出电路202)共享同一记忆补偿电路100,通过共享方式使得平均每一级栅极输出电路所需的用于记忆补偿的薄膜晶体管数量明显减少。需要说明的是,相邻两级栅极输出电路分别用于输出第一栅极扫描信号和第二栅极扫描信号。当栅极驱动单元电路级联形成的栅极驱动电路采用非左右交错式双边驱动架构或单边驱动架构时,第一栅极扫描信号和第二栅极扫描信号的级数相差1,如 $G_n$ 和 $G_{n+1}$ ;当栅极驱动单元电路级联形成的栅极驱动电路采用左右交错式(interlace)驱动架构时,第一栅极扫描信号和第二栅极扫描信号的级数相差2,如 $G_n$ 和 $G_{n+2}$ 。

[0050] 在本发明的其他实施例中,可以采用相邻三级栅极输出电路共享同一记忆补偿电路的框架(如图3所示),相邻四级栅极输出电路共享同一记忆补偿电路的框架(如图4所示),或其他数量的栅极输出电路共享同一记忆补偿电路的框架。

[0051] 本发明还提供一种栅极驱动电路,栅极驱动电路由多个上述栅极驱动单元电路级联形成。

[0052] 本发明还提供一种显示装置,包括上述栅极驱动电路,该栅极驱动电路可以是左右交错式驱动方式、非左右交错式双边驱动方式,也可以是单边驱动方式。

[0053] 本发明的栅极驱动单元电路具有多种具体实施例,每级栅极驱动单元电路的电路结构相同,区别仅在于部分薄膜晶体管输入的信号不同,以下将基于第 $n$ 级栅极驱动单元电路进行描述, $1 \leq n \leq N$ ,且 $n$ 为正整数。

[0054] 以下实施例中薄膜晶体管均包括控制端、第一通路端和第二通路端,其中,控制端为栅极,第一通路端为源极,第二通路端为漏极,在可选的实施方式中,第一通路端也可以为漏极,第二通路端为源极。当给控制端高电平时,源极和漏极通过半导体层连接,此时薄膜晶体管处于开启状态。

[0055] 下面以具体实施例详细介绍本发明的栅极驱动单元电路。

[0056] 实施例一：

[0057] 图5为根据本发明实施例一的栅极驱动单元电路的框架示意图。如图5所示，本实施例的栅极驱动单元电路包括记忆补偿电路100、第一栅极输出电路201和第二栅极输出电路202，记忆补偿电路100连接第一栅极输出电路的上拉控制节点 $netAn$ 和第二栅极输出电路的上拉控制节点 $netAn+2$ 。本实施的栅极驱动单元电路适于级联形成左右交错式驱动架构的栅极驱动电路，第一栅极输出电路201和第二栅极输出电路202分别用于输出第一栅极扫描信号 $Gn$ 和第二栅极扫描信号 $Gn+2$ 。

[0058] 记忆补偿电路100包括：第一记忆模块101、第二记忆模块102和分级控制模块103；第一记忆模块101和第二记忆模块102连接于第一记忆节点 $netCm$ ，第二记忆模块102和分级控制模块103连接于第二记忆节点 $netDm$ ，分级控制模块103连接每个栅极输出电路内的上拉控制节点，在本实施例中包括第一栅极输出电路的上拉控制节点 $netAn$ 和第二栅极输出电路的上拉控制节点 $netAn+2$ 。

[0059] 本实施例的栅极驱动单元电路适用于内嵌式触控显示装置，一帧时间分为触控暂停前阶段T1、触控暂停阶段T2和触控暂停后阶段T3，触控暂停后阶段T3又包括依序排列的第一阶段T31、第二阶段T32和第三阶段T33。

[0060] 图6为根据本发明实施例一的记忆补偿电路100的电路示意图。第一记忆模块101在触控暂停前阶段T1抬升第一记忆节点 $netCm$ 的电压以控制第二记忆模块102打开，在触控暂停后阶段T3拉低第一节点的电压以控制第二记忆模块102关闭。第二记忆模块102在触控暂停阶段T2和第一阶段T31打开，控制第二记忆节点 $netDm$ 处于第二记忆电平。分级控制模块103接收触控启动信号GSP2，触控启动信号GSP2仅在触控暂停后阶段T3的第一阶段T31为高电平；分级控制模块103用于在触控暂停阶段T2将多个上拉控制节点的电荷清空，并用于在触控暂停后阶段T3的第一阶段T31将多个上拉控制节点的电压由低电平抬升至第一高电平。

[0061] 第一记忆模块101接收第一栅极扫描信号的前级信号 $Gn-2$ 、第二栅极扫描信号的后级信号 $Gn+4$ 以及恒压低电平VSS，第二记忆模块102接收触摸控制信号TC1，分级控制模块103接收触控启动信号GSP2。

[0062] 具体地，如图6所示，第一记忆模块101包括第一薄膜晶体管M1C和第二薄膜晶体管M2C。第一薄膜晶体管M1C的控制端和第一通路端连接并输入第一栅极扫描信号的前级信号 $Gn-2$ ，第一薄膜晶体管M1C的第二通路端连接第一记忆节点 $netCm$ 。第二薄膜晶体管M2C的控制端输入第二栅极扫描信号的后级信号 $Gn+4$ ，第二薄膜晶体管M2C的第一通路端连接第一记忆节点 $netCm$ ，第二薄膜晶体管M2C的第二通路端输入恒压低电平VSS。

[0063] 具体地，如图6所示，第二记忆模块102包括第三薄膜晶体管M3C。第三薄膜晶体管M3C的控制端连接第一记忆节点 $netCm$ ，第三薄膜晶体管M3C的第一通路端连接第二记忆节点 $netDm$ ，第三薄膜晶体管M3C的第二通路端输入触摸控制信号TC1。

[0064] 具体地，如图6所示，分级控制模块103包括第四薄膜晶体管M4C和第五薄膜晶体管M5C。第四薄膜晶体管M4C的控制端连接第二记忆节点 $netDm$ ，第四薄膜晶体管M4C的第一通路端输入触控启动信号GSP2，第四薄膜晶体管M4C的第二通路端连接第一栅极输出电路的上拉控制节点 $netAn$ 。第五薄膜晶体管M5C的控制端连接第二记忆节点 $netDm$ ，第五薄膜晶体管M5C的第一通路端输出触控启动信号GSP2，第五薄膜晶体管M5C的第二通路端连接第二栅

极输出电路的上拉控制节点netAn+2。

[0065] 记忆补偿电路100可搭配多种栅极输出电路,图7示出了本实施例中第一栅极输出电路201一种可行的电路结构,第二栅极输出电路202以及栅极驱动电路内的其他栅极输出电路与图7区别仅在于部分薄膜晶体管输入的信号不同。主要说明的是,本发明中栅极输出电路的结构不限于此。

[0066] 如图7所示,第一栅极输出电路201包括正反扫控制模块01、上拉模块02、触控模块03、维持模块04以及清空模块05。

[0067] 正反扫模块01包括薄膜晶体管M1A、M1B和M9。薄膜晶体管M1A接收第一栅极扫描信号的前级信号Gn-2,薄膜晶体管M1A接收第二栅极扫描信号Gn+2,同时薄膜晶体管M9A利用第二时钟信号CKm+4进行下拉清空的先后顺序来实现正反向扫描功能。

[0068] 上拉模块02包括上述驱动晶体管M10,驱动晶体管M10的控制端连接上拉控制节点netAn,驱动晶体管M10的第一通路端接收第一时钟信号CKm,驱动晶体管M10的第二通路端连接对应该栅极输出电路的扫描信号线并输出第一栅极扫描信号Gn。

[0069] 触控模块03包括薄膜晶体管M14,薄膜晶体管M14的控制端接收触摸控制信号TC1,薄膜晶体管M14的第一通路端连接对应该栅极输出电路的扫描信号线,薄膜晶体管M14的第二通路端接收恒压低电平VSS。触控模块用于在触控暂停阶段T2对扫描信号线进行维持。

[0070] 维持模块04包括薄膜晶体管M5、M6、M6A、M6B、M8和M13,维持模块04接收高电平控制信号VGH1,用于在非扫描信号输出期间维持上拉控制节点netAn和扫描信号线的电位。

[0071] 清空模块05包括薄膜晶体管M2、M3、M12,清空模块05接收清空重置信号CLR1,用于在开关机或者一帧结束时清空重置上拉控制节点netAn、扫描信号线和维持控制节点netBn的电位。

[0072] 优选地,第一栅极输出电路201还包括连接在上拉控制节点netAn和扫描信号线之间的自举电容C1,自举电容C1用于通过电容耦合作用在输出过程中抬升和稳定上拉控制节点netAn的电位,提高扫描信号线充电的速度。

[0073] 图8为根据本发明实施例一的栅极驱动单元电路正向扫描时的驱动波形示意图。如图8所示,一帧时间分为触控暂停前阶段T1、触控暂停阶段T2和触控暂停后阶段T3,触控暂停后阶段T3又依序包括第一阶段T31、第二阶段T32和第三阶段T33。第一栅极扫描信号的前级信号Gn-2的高电平脉冲产生于触控暂停前阶段T1,第一栅极扫描信号Gn的高电平脉冲和第二栅极扫描信号Gn+2的高电平脉冲依序产生于第二阶段T32,第二栅极扫描信号的后级信号Gn+4产生于第三阶段T33。触摸控制信号TC1在触控暂停阶段T2和第一阶段T31为高电平,触控启动信号GSP2仅在第一阶段T31为高电平。NetAn、NetAn+2、NetCm、NetDm分别为第一栅极输出电路的上拉控制节点netAn、第二栅极输出电路的上拉控制节点netAn+2、第一记忆节点netCm、第二记忆节点netDm的电压波形。

[0074] 下面说明本实施例中记忆补偿电路100的工作原理,主要动作过程如下:

[0075] 触控暂停前阶段T1:第一薄膜晶体管M1C接收高电平的Gn-2的高电平脉冲,将第一记忆节点netCm的电压抬升;第三薄膜晶体管M3C在触摸控制信号TC1由低电平上升至高电平时,通过耦合作用进一步抬升第一记忆节点netCm的电压以控制第三薄膜晶体管M3C打开;即触控暂停前阶段T1记忆补偿电路100启动复制记忆;

[0076] 触控暂停阶段T2:第三薄膜晶体管M3C打开,接收高电平的触摸控制信号TC1,将第

二记忆节点netDm的电压抬升至第二记忆电压；第四薄膜晶体管M4C和第五薄膜晶体管M5C打开将netAn和netAn+2的电位拉低至低电平；即触控暂停阶段T2记忆补偿电路100记忆并清空上拉控制节点；

[0077] 触控暂停后阶段T3的第一阶段T31：触控启动信号GSP2产生高电平脉冲，将netAn和netAn+2的电位抬升至第一高电平；之后触控启动信号GSP2和触摸控制信号TC1降低至低电平，清空第二记忆节点netDm的电荷，并拉低第一记忆节点netCm的电位；即第一阶段T31记忆补偿信息反馈，第一栅极输出电路201和第二栅极输出电路202重新启动；

[0078] 触控暂停后阶段T3的第二阶段T32：第一栅极输出电路201和第二栅极输出电路202依序将netAn和netAn+2的电位抬升至第二高电平，并依序输出第一栅极扫描信号Gn和第二栅极扫描信号Gn+2；即第二阶段T32栅极驱动单元电路正常输出；

[0079] 触控暂停后阶段T3的第三阶段T33：第二薄膜晶体管M2C接收Gn+4的高电平脉冲，将第一记忆节点netCm的电荷清空；即第三阶段T33记忆补偿电路100重置关闭。

[0080] 应当说明的是，上述实施例均可根据需要自由组合。以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本发明原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

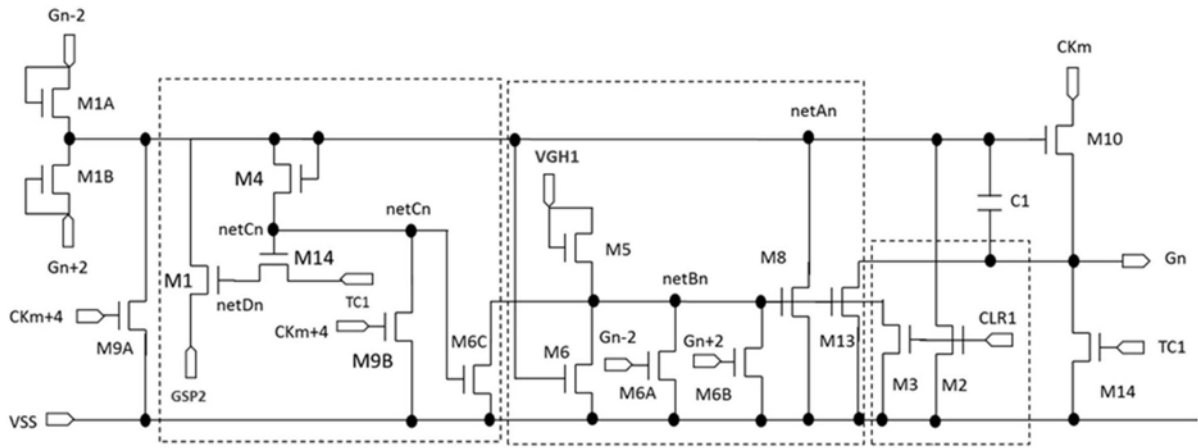


图1

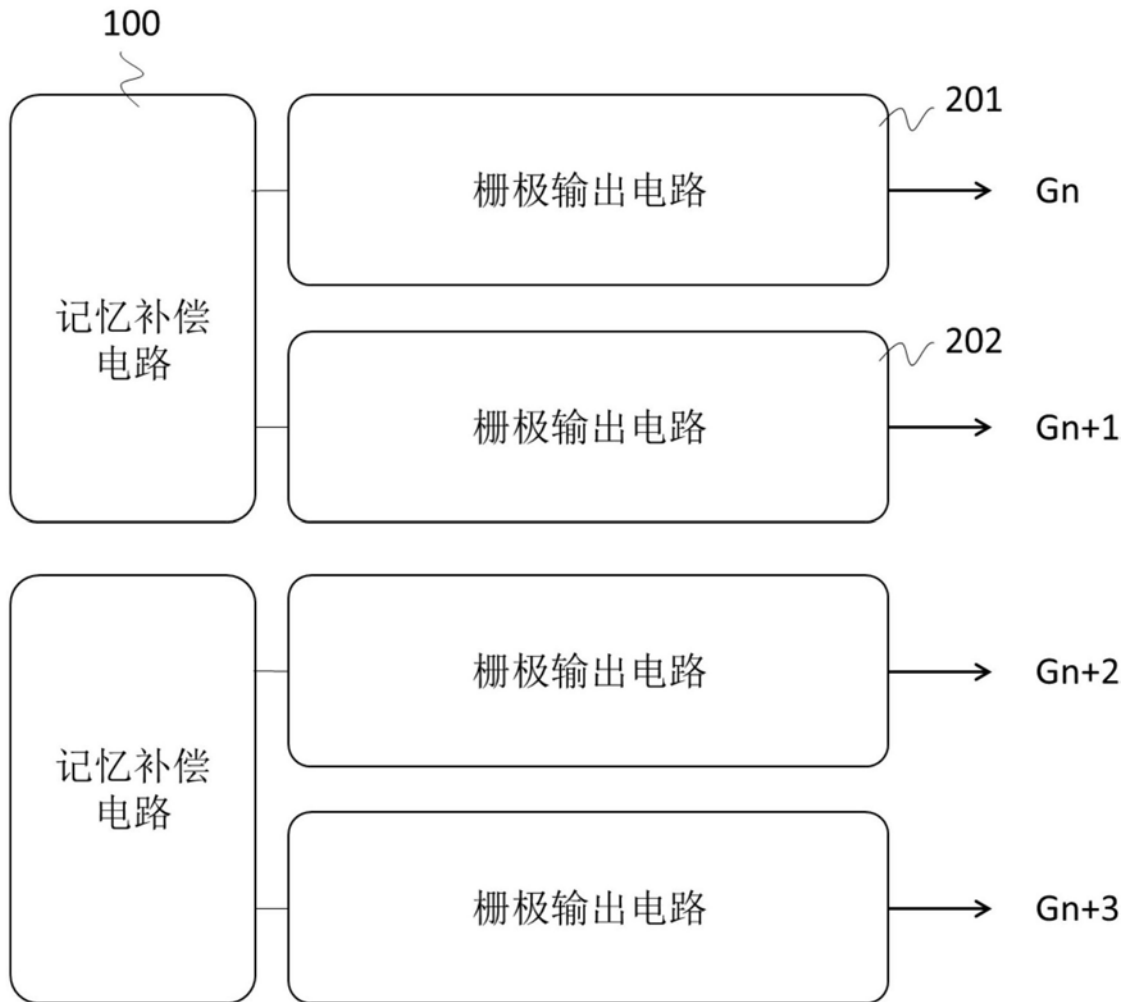


图2

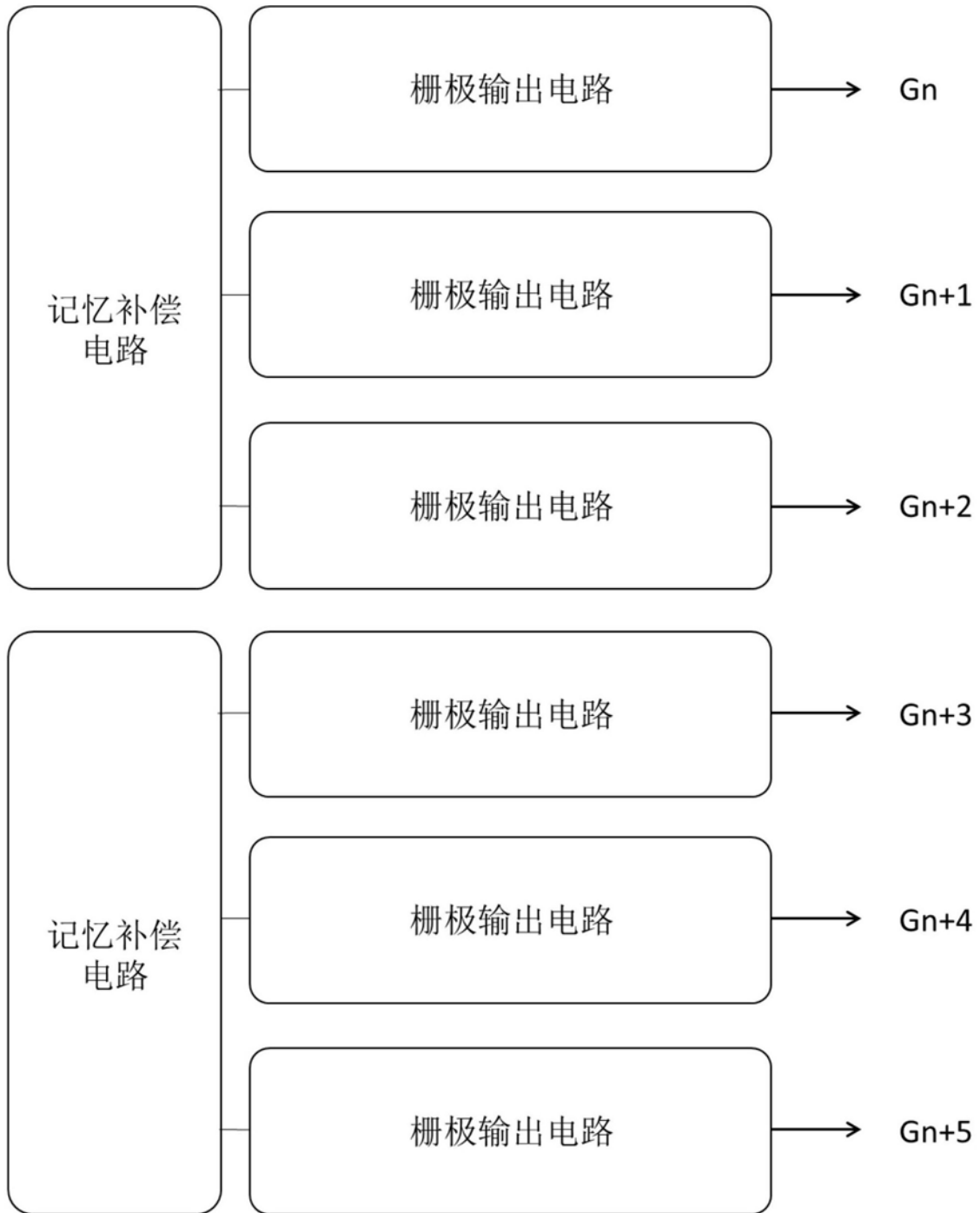


图3

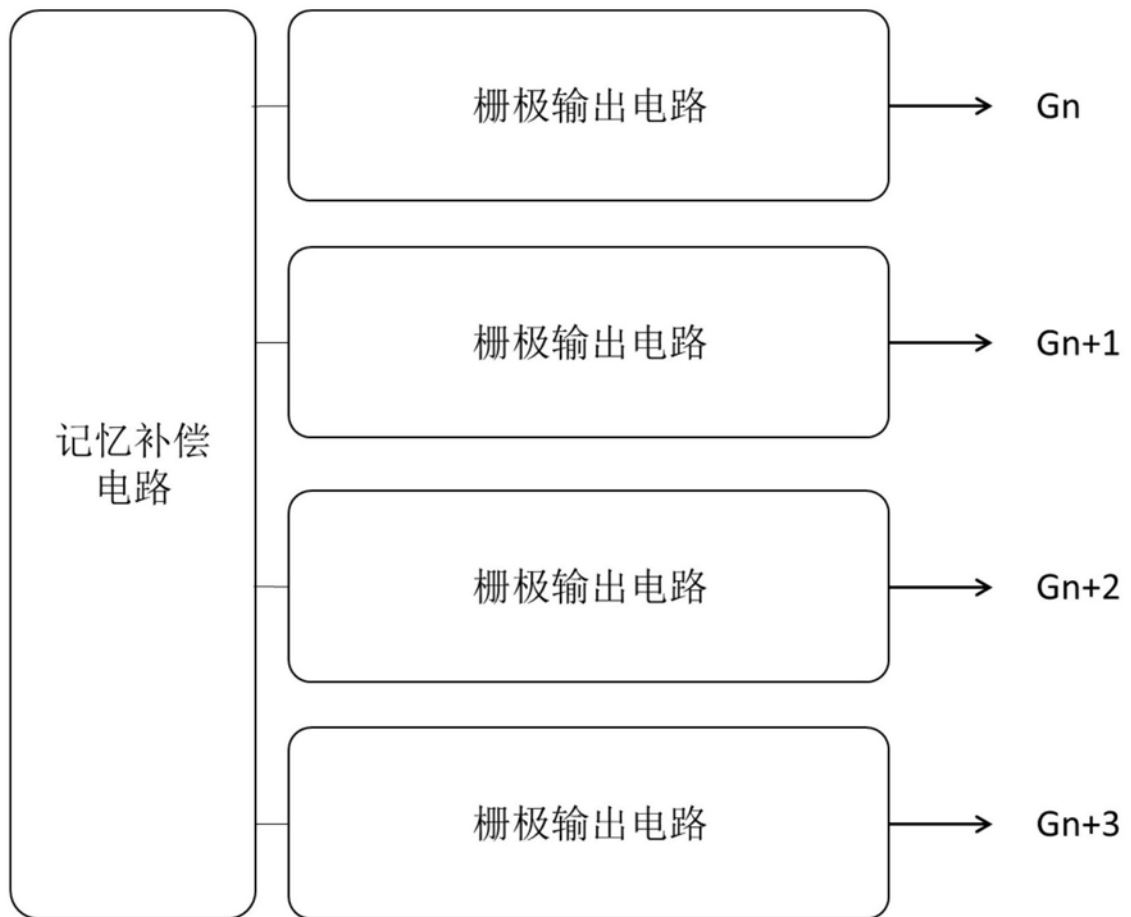


图4

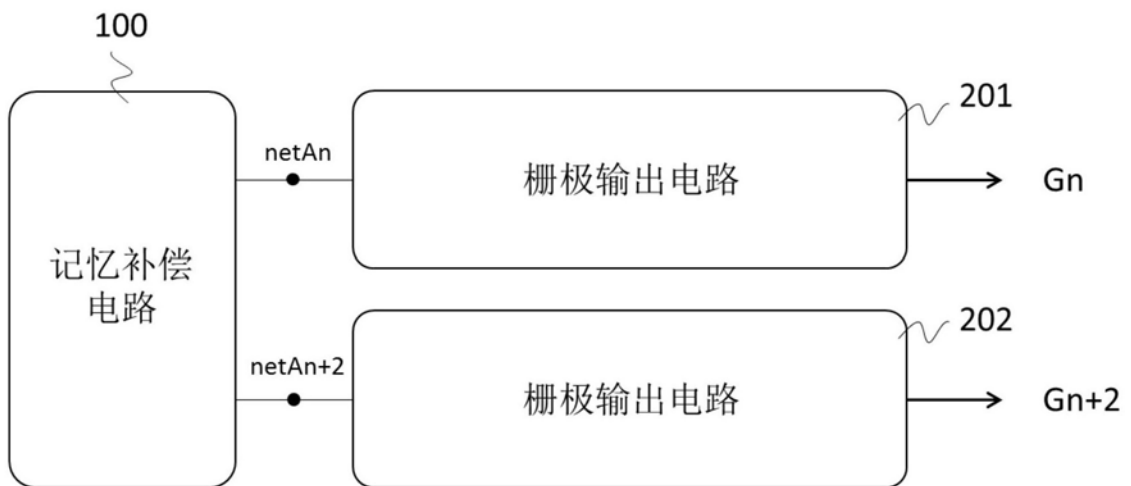


图5

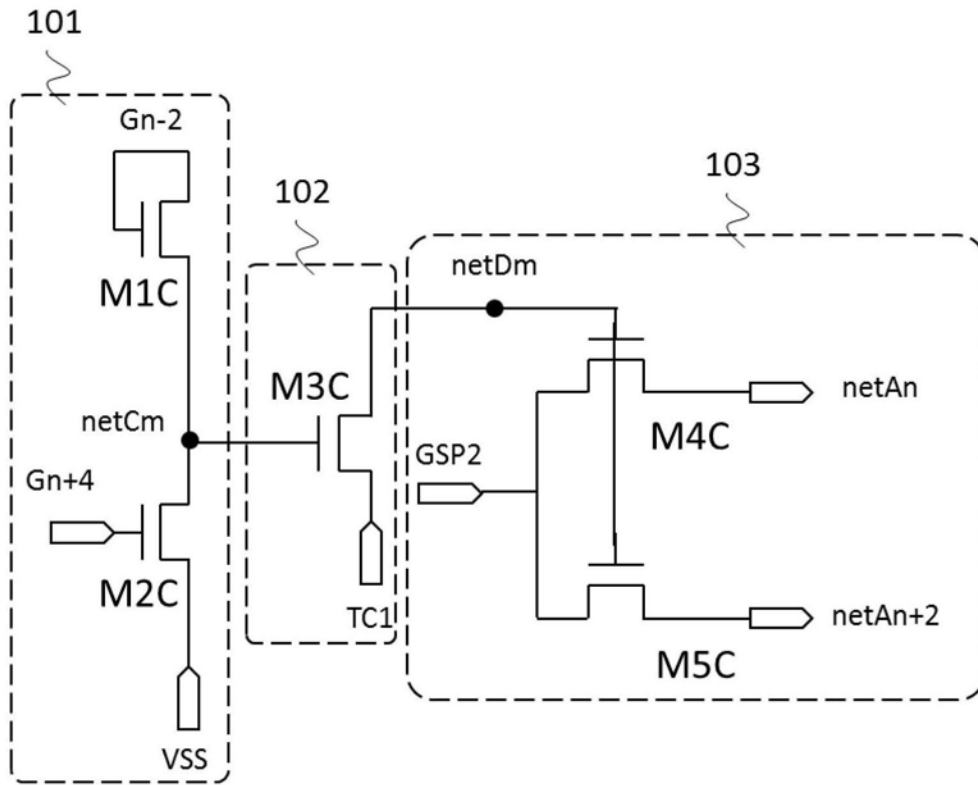


图6

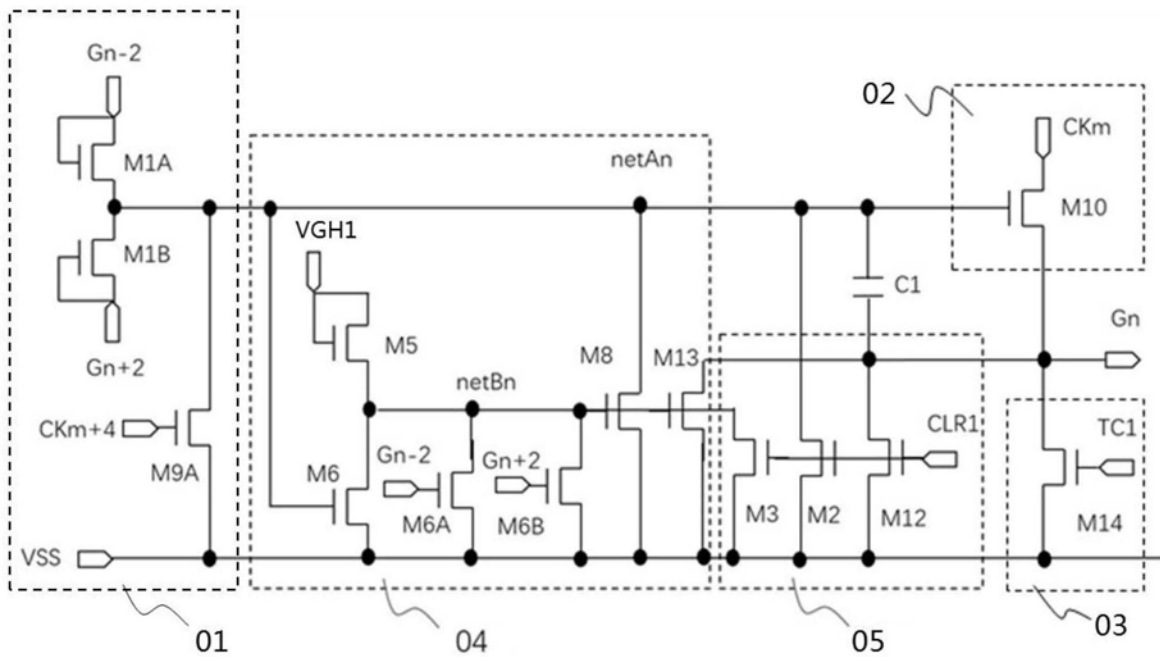


图7

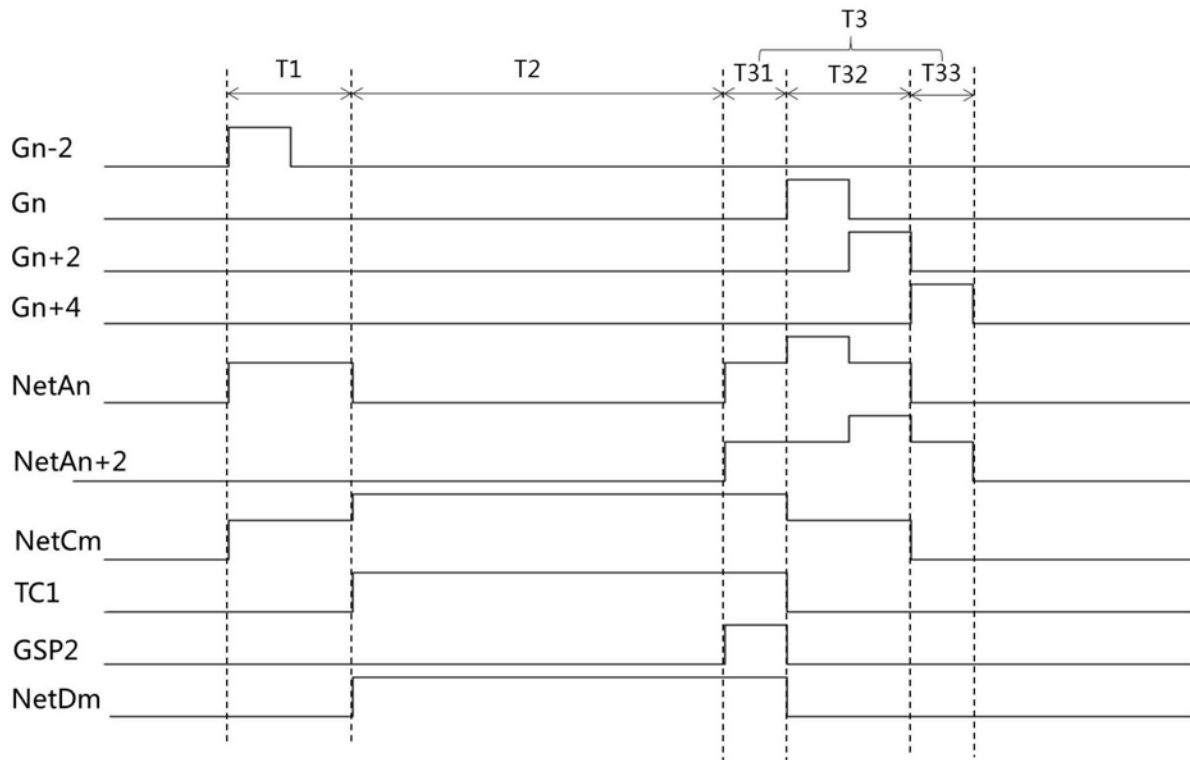


图8

专利名称(译)	栅极驱动单元电路、栅极驱动电路和显示装置		
公开(公告)号	<a href="#">CN109637484A</a>	公开(公告)日	2019-04-16
申请号	CN201910062446.X	申请日	2019-01-23
[标]申请(专利权)人(译)	南京中电熊猫平板显示科技有限公司 南京中电熊猫液晶显示科技有限公司 南京华东电子信息科技股份有限公司		
申请(专利权)人(译)	南京中电熊猫平板显示科技有限公司 南京中电熊猫液晶显示科技有限公司 南京华东电子信息科技股份有限公司		
当前申请(专利权)人(译)	南京中电熊猫平板显示科技有限公司 南京中电熊猫液晶显示科技有限公司 南京华东电子信息科技股份有限公司		
[标]发明人	戴超 黄洪涛		
发明人	戴超 黄洪涛		
IPC分类号	G09G3/36 G06F3/044		
CPC分类号	G09G3/3677 G06F3/044 G09G3/3696		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明公开了一种栅极驱动单元电路、栅极驱动电路和显示装置，涉及液晶显示领域；栅极驱动单元电路包括记忆补偿电路和至少两个栅极输出电路，每个栅极输出电路均包括上拉控制节点、上拉模块、下拉模块、预充模块和维持模块，上拉模块受上拉控制节点控制，输出对应该栅极输出电路的扫描信号；记忆补偿电路在触控暂停阶段将每个栅极输出电路内的上拉控制节点的电荷清空，在触控暂停后阶段将每个栅极输出电路内的上拉控制节点的电压由低电平抬升至第一高电平；本发明实施例在触控暂停阶段使得所有级的上拉控制节点维持在低电位，消除上拉模块中薄膜晶体管特性漂移不同导致的停坑横纹，并通过共享方式等效减少记忆补偿电路的TFT元件数量。

