



(12)发明专利申请

(10)申请公布号 CN 109243391 A

(43)申请公布日 2019.01.18

(21)申请号 201811206676.0

(22)申请日 2018.10.17

(71)申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明
大道9-2号

(72)发明人 李冀翔

(74)专利代理机构 深圳翼盛智成知识产权事务
所(普通合伙) 44300

代理人 黄威

(51)Int.Cl.

G09G 3/36(2006.01)

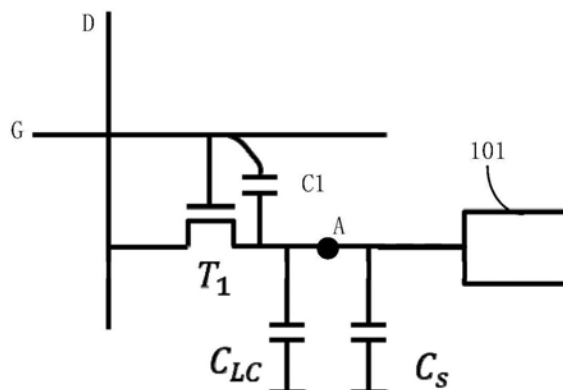
权利要求书1页 说明书5页 附图2页

(54)发明名称

像素驱动电路及显示面板

(57)摘要

本申请提供一种像素驱动电路,包括:第一晶体管,第一晶体管的第一端与数据线连接,第一晶体管的第二端与耦合节点、液晶电容的第一端、存储电容的第一端以及第一耦合电容的第一端连接,第一晶体管的控制端与扫描线以及第一耦合电容的第二端连接;耦合抑制模块,与耦合节点连接,并接入一与扫描线上的扫描信号极性相反的反相信号,用于在反相信号的控制下生成第一电压至耦合节点。本申请提供的像素驱动电路,通过设置一耦合抑制模块,该耦合抑制模块与耦合节点连接,并接入一与扫描线上的扫描信号极性相反的反相信号,用于在反相信号的控制下生成第一电压至耦合节点,以抑制电容耦合效应对像素电压的影响,进而提高显示面板的显示性能。



1. 一种像素驱动电路,其特征在于,包括:

第一晶体管,所述第一晶体管的第一端与数据线连接,所述第一晶体管的第二端与耦合节点、液晶电容的第一端、存储电容的第一端以及第一耦合电容的第一端连接,所述第一晶体管的控制端与扫描线以及所述第一耦合电容的第二端连接,所述液晶电容的第二端和所述存储电容的第二端均接入公共电极电压;

耦合抑制模块,所述耦合抑制模块与所述耦合节点连接,并接入一与所述扫描线上的扫描信号极性相反的反相信号,用于在所述反相信号的控制下生成第一电压至所述耦合节点。

2. 根据权利要求1所述的像素驱动电路,其特征在于,所述耦合抑制模块包括第二晶体管和第二耦合电容;

所述第二晶体管的第一端、第二端以及所述第二耦合电容的第一端均与所述耦合节点连接,所述第二晶体管的控制端与所述反相信号以及所述第二耦合电容的第二端连接。

3. 根据权利要求2所述的像素驱动电路,其特征在于,所述第一晶体管为N型晶体管,所述第二晶体管为N型晶体管。

4. 根据权利要求3所述的像素驱动电路,其特征在于,可通过调整所述第一晶体管的长宽比和所述第二晶体管的长宽比,以使得所述第一耦合电容的电容值等于所述第二耦合电容的电容值。

5. 根据权利要求4所述的像素驱动电路,其特征在于,所述第二晶体管的长宽比小于所述第一晶体管的长宽比。

6. 根据权利要求1所述的像素驱动电路,其特征在于,所述耦合抑制模块包括第三晶体管和第三耦合电容;

所述第三晶体管的第一端与所述数据线连接,所述第三晶体管的第二端以及所述第三耦合电容的第一端均与所述耦合节点连接,所述第三晶体管的控制端与所述反相信号以及所述第三耦合电容的第二端连接。

7. 根据权利要求6所述的像素驱动电路,其特征在于,所述第一晶体管为N型晶体管,所述第三晶体管为P型晶体管。

8. 根据权利要求7所述的像素驱动电路,其特征在于,所述第三晶体管的长宽比等于所述第一晶体管的长宽比。

9. 根据权利要求2或6所述的像素驱动电路,其特征在于,在所述扫描信号的极性变化时,所述第一耦合电容通过电容耦合效应生成第二电压至所述耦合节点;其中所述第一电压与所述第二电压的极性相反。

10. 一种显示面板,其特征在于,包括如权利要求1-9任一项所述的像素驱动电路。

像素驱动电路及显示面板

技术领域

[0001] 本申请涉及显示技术领域,尤其涉及一种像素驱动电路及显示面板。

背景技术

[0002] 液晶显示面板以其省电、低辐射、光线柔和等特点广泛应用在各种电子显示装置上。液晶显示面板主要包括阵列分布的多个像素,每个像素包括液晶电容,液晶电容之间设置有液晶分子,通过改变液晶电容两电极之间的电压可以改变液晶分子排布状态,从而改变该像素的显示亮度。

[0003] 相关技术中,数据线连接至晶体管的源极,扫描线连接至晶体管的栅极,在扫描线的控制下,数据线逐行向像素阵列的每个像素上发送数据信号,用以对每个像素的液晶电容充电,从而控制每个像素的显示状态。

[0004] 然而,当晶体管由开变关的时候,由于电容耦合效应,会使得数据线写入所设定的像素电压,在晶体管关闭后有所变动,一是偏离原来写入电压所希望表现的灰阶,二是使原来数据线写入正负极性大小对称的电压偏离,而产生直流残留效应。

发明内容

[0005] 本申请提供一种像素驱动电路及显示面板,能够抑制电容耦合效应对像素电压的影响,进而提高显示面板的显示性能。

[0006] 本申请提供一种像素驱动电路,包括:

[0007] 第一晶体管,所述第一晶体管的第一端与数据线连接,所述第一晶体管的第二端与耦合节点、液晶电容的第一端、存储电容的第一端以及第一耦合电容的第一端连接,所述第一晶体管的控制端与扫描线以及所述第一耦合电容的第二端连接,所述液晶电容的第二端和所述存储电容的第二端均接入公共电极电压;

[0008] 耦合抑制模块,所述耦合抑制模块与所述耦合节点连接,并接入一与所述扫描线上的扫描信号极性相反的反相信号,用于在所述反相信号的控制下生成第一电压至所述耦合节点。

[0009] 在本申请所述的像素驱动电路中,所述耦合抑制模块包括第二晶体管和第二耦合电容;

[0010] 所述第二晶体管的第一端、第二端以及所述第二耦合电容的第一端均与所述耦合节点连接,所述第二晶体管的控制端与所述反相信号以及所述第二耦合电容的第二端连接。

[0011] 在本申请所述的像素驱动电路中,所述第一晶体管为N型晶体管,所述第二晶体管为N型晶体管。

[0012] 在本申请所述的像素驱动电路中,可通过调整所述第一晶体管的长宽比和所述第二晶体管的长宽比,以使得所述第一耦合电容的电容值等于所述第二耦合电容的电容值。

[0013] 在本申请所述的像素驱动电路中,所述第二晶体管的长宽比小于所述第一晶体管

的长宽比。

[0014] 在本申请所述的像素驱动电路中,所述耦合抑制模块包括第三晶体管和第三耦合电容;

[0015] 所述第三晶体管的第一端与所述数据线连接,所述第三晶体管的第二端以及所述第三耦合电容的第一端均与所述耦合节点连接,所述第三晶体管的控制端与所述反相信号以及所述第三耦合电容的第二端连接。

[0016] 在本申请所述的像素驱动电路中,所述第一晶体管为N型晶体管,所述第三晶体管为P型晶体管。

[0017] 在本申请所述的像素驱动电路中,所述第三晶体管的长宽比等于所述第一晶体管的长宽比。

[0018] 在本申请所述的像素驱动电路中,在所述扫描信号的极性变化时,所述第一耦合电容通过电容耦合效应生成第二电压至所述耦合节点;其中所述第一电压与所述第二电压的极性相反。

[0019] 本申请还提供一种显示面板,其包括如上所述的像素驱动电路。

[0020] 本申请的有益效果为:本申请提供的像素驱动电路,通过设置一耦合抑制模块,该耦合抑制模块与耦合节点连接,并接入一与扫描线上的扫描信号极性相反的反相信号,用于在反相信号的控制下生成第一电压至耦合节点,以抑制电容耦合效应对像素电压的影响,进而提高显示面板的显示性能。

附图说明

[0021] 为了更清楚地说明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单介绍,显而易见地,下面描述中的附图仅仅是申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0022] 图1为本申请提供的像素驱动电路的结构示意图;

[0023] 图2为本申请提供的像素驱动电路中部分信号的时序图;

[0024] 图3为本申请提供的像素驱动电路的第一电路示意图;

[0025] 图4为本申请提供的像素驱动电路的第二电路示意图。

具体实施方式

[0026] 下面详细描述本申请的实施方式,所述实施方式的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施方式是示例性的,仅用于解释本申请,而不能理解为对本申请的限制。

[0027] 在本申请的描述中,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个所述特征。在本申请的描述中,“多个”的含义是两个或两个以上,除非另有明确具体的限定。

[0028] 下文的公开提供了许多不同的实施方式或例子用来实现本申请的不同结构。为了简化本申请的公开,下文中对特定例子的部件和设置进行描述。当然,它们仅仅为示例,并

且目的不在于限制本申请。此外,本申请可以在不同例子中重复参考数字和/或参考字母,这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施方式和/或设置之间的关系。

[0029] 请参阅图1、图2,图1为本申请提供的像素驱动电路的结构示意图;图2为本申请提供的像素驱动电路中部分信号的时序图。结合图1、图2所示,本申请的像素驱动电路包括:第一晶体管T1,该第一晶体管T1的第一端与数据线D连接,该第一晶体管T1的第二端与耦合节点A、液晶电容 C_{LC} 的第一端、存储电容 C_s 的第一端以及第一耦合电容C1的第一端连接,该第一晶体管T1的控制端与扫描线G以及第一耦合电容C1的第二端连接,液晶电容 C_{LC} 的第二端和存储电容 C_s 的第二端均接入公共电极电压。

[0030] 具体的,在 t_1-t_2 时间段内,扫描线G上的扫描信号传至第一晶体管T1的控制端,使得第一晶体管T1打开,与同时,数据线D上的数据信号通过第一晶体管T1写入设定的像素电压;然而,在 t_2 时刻,扫描线G上的扫描信号G1极性变化,第一耦合电容C1通过电容耦合效应生成第二电压V2至耦合节点A,也即,扫描线G上的扫描信号G1由高电平变为低电平,由于第一耦合电容C1的第二端与扫描线G连接,第一耦合电容C1的第一端与耦合节点A连接,在扫描线G上的扫描信号G1由高电平变为低电平时,在电容耦合效应下,耦合节点A上的电压也发生相应变化,从而导致写入的像素电压会偏离原来写入的像素电压所希望表现的灰阶。

[0031] 请继续参阅图1,基于此,本申请提供的像素驱动电路还包括:耦合抑制模块101,该耦合抑制模块101与耦合节点A连接,并接入一与扫描线G上的扫描信号G1极性相反的反相信号M,用于在反相信号M的控制下生成第一电压至耦合节点A。

[0032] 其中,该第一电压与第二电压V2的极性相反,也即,本申请的像素电路通过在 t_1 时刻生成一与第二电压V2极性相反的第一电压,从而可以抑制第一耦合电容C1的耦合效应对写入的设定电压的影响。

[0033] 请结合图1、图3,图3为本申请提供的像素驱动电路的第一电路示意图。结合图1、图3所示,本申请的像素驱动电路中的耦合抑制模块101包括:第二晶体管T2和第二耦合电容C2;该第二晶体管T2的第一端、第二端以及第二耦合电容C2的第一端均与耦合节点A连接,该第二晶体管T2的控制端与反相信号M以及第二耦合电容C2的第二端连接。其中,第一晶体管T1为N型晶体管,第二晶体管T2为P型晶体管。

[0034] 具体的,请结合图1、图2、图3,在 t_1-t_2 时间段内,扫描线G上的扫描信号G1的高电平传至第一晶体管T1的控制端,使得第一晶体管T1打开,与同时,数据线D上的数据信号通过第一晶体管T1写入设定的像素电压;由于反相信号M与扫描信号G1的极性相反,也即,在 t_1-t_2 时刻,反相信号M的低电平传至第二晶体管T2的控制端,第二晶体管T2关闭,从而不会影响像素电压的正常写入。

[0035] 在 t_2 时刻,扫描线G上的扫描信号G1极性变化,第一耦合电容C1通过电容耦合效应生成第二电压V2至耦合节点,也即,扫描线G上的扫描信号G1由高电平变为低电平,由于第一耦合电容C1的第二端与扫描线G连接,第一耦合电容C1的第一端与耦合节点A连接,在扫描线G上的扫描信号G1由高电平变为低电平时,在电容耦合效应下,耦合节点A上的电压也发生相应变化;在 t_2 时刻,反相信号M极性变化,第二耦合电容C2通过电容耦合效应生成第一电压至耦合节点A,由于反相信号M与扫描信号G1的极性相反,也即,当扫描信号G1由高电

平变为低电平时,反相信号M由低电平变为高电平,由于第二耦合电容C2的第二端与反相信号M连接,第二耦合电容C2的第一端与耦合节点A连接,在反相信号M由低电平变为高电平时,在电容耦合效应下,耦合节点A上的电压也发生相应变化。其中,第一电压和第二电压V2的极性相反,而可以抑制第一耦合电容C1的耦合效应对写入的设定电压的影响。

[0036] 进一步的,本申请可以通过调整第一晶体管T1的长宽比和第二晶体管T2的长宽比,以使得第一耦合电容C1的电容值等于第二耦合电容C2的电容值,进而使得成的第一电压和第二电压V2的大小相等。

[0037] 优选的,该第二晶体管T2的长宽比小于第一晶体管T1的长宽比,由于第一晶体管T1的注入的电荷不会完全注入到耦合节点A,故第二晶体管T2的长宽比小于第一晶体管T1的长宽比,以抵消或减轻电荷注入的影响。

[0038] 请结合图1、图4,图4为本申请提供的像素驱动电路的第二电路示意图。结合图1、图4所示,本申请的像素驱动电路中的耦合抑制模块101包括:第三晶体管T3和第三耦合C3电容;该第三晶体管T3的第一端与数据线D连接,该第三晶体管T3的第二端以及第三耦合电容C3的第一端均与耦合节点A连接,该第三晶体管T3的控制端与反相信号M以及第三耦合电容C3的第二端连接。其中,第一晶体管T1为N型晶体管,第三晶体管T3为P型晶体管。

[0039] 具体的,请结合图1、图2、图4,在 t_1 - t_2 时间段内,扫描线G上的扫描信号G1的高电平传至第一晶体管T1的控制端,使得第一晶体管T1打开,与此同时,数据线D上的数据信号通过第一晶体管T1写入设定的像素电压;由于反相信号M与扫描信号G1的极性相反,也即,在 t_1 - t_2 时刻,反相信号M的低电平传至第三晶体管T3的控制端,第三晶体管T3也打开,不会影响像素电压的正常写入。

[0040] 在 t_2 时刻,扫描线G上的扫描信号G1极性变化,第一耦合电容C1通过电容耦合效应生成第二电压V2至耦合节点A,也即,扫描线G上的扫描信号G1由高电平变为低电平,由于第一耦合电容C1的第二端与扫描线G连接,第一耦合电容C1的第一端与耦合节点A连接,在扫描线G上的扫描信号G1由高电平变为低电平时,在电容耦合效应下,耦合节点A上的电压也发生相应变化;在 t_2 时刻,反相信号M极性变化,第三耦合电容C3通过电容耦合效应生成第一电压至耦合节点A,由于反相信号M与扫描信号G1的极性相反,也即,当扫描信号G1由高电平变为低电平时,反相信号M由低电平变为高电平,由于第三耦合电容C3的第二端与反相信号M连接,第三耦合电容C3的第一端与耦合节点A连接,在反相信号M由低电平变为高电平时,在电容耦合效应下,耦合节点A上的电压也发生相应变化。其中,第一电压和第二电压V2的极性相反,而可以抑制第一耦合电容C1的耦合效应对写入的设定电压的影响。

[0041] 进一步的,本申请可以通过调整第一晶体管T1的长宽比和第三晶体管T3的长宽比,以使得第一耦合电容C1的电容值等于第三耦合电容C3的电容值,进而使得成的第一电压和第二电压V2的大小相等。优选的,第三晶体管T3的长宽比等于第一晶体管T1的长宽比。

[0042] 本申请还提供一种显示面板,其包括以上所述的像素驱动电路,具体可参照以上所述,在此不做赘述。

[0043] 本申请提供的像素驱动电路及显示面板,通过设置一耦合抑制模块,该耦合抑制模块与耦合节点连接,并接入一与扫描线上的扫描信号极性相反的反相信号,用于在反相信号的控制下生成第一电压至耦合节点,以抑制电容耦合效应对像素电压的影响,进而提高显示面板的显示性能。

[0044] 综上所述,虽然本申请已以优选实施例揭露如上,但上述优选实施例并非用以限制本申请,本领域的普通技术人员,在不脱离本申请的精神和范围内,均可作各种更动与润饰,因此本申请的保护范围以权利要求界定的范围为准。

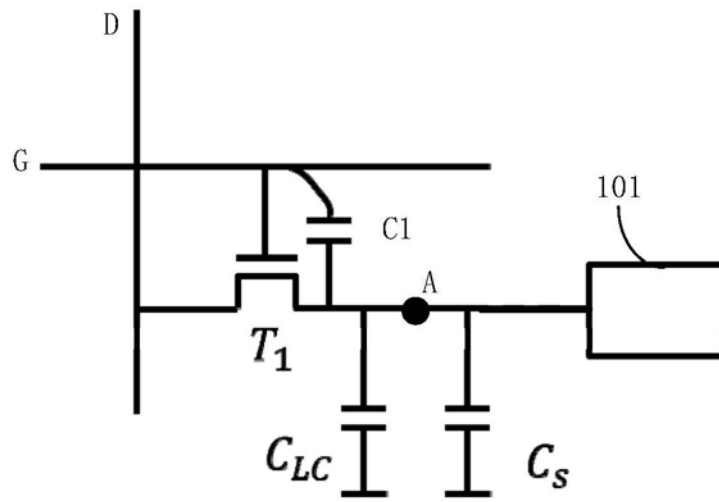


图1

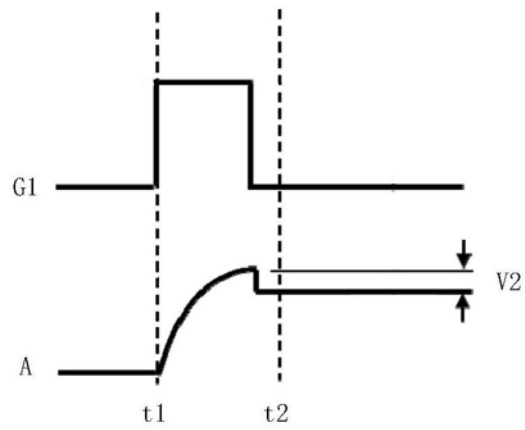


图2

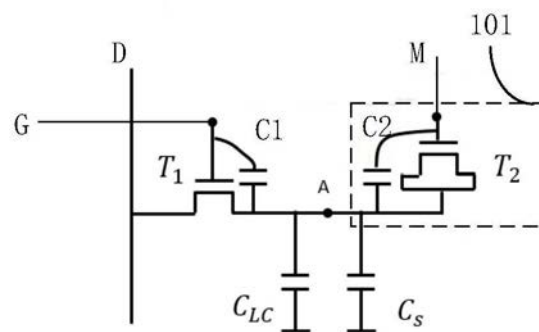


图3

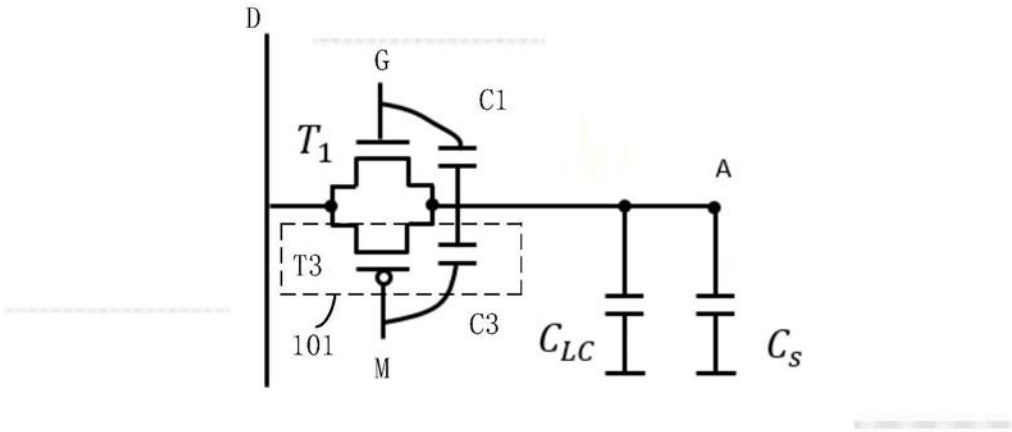


图4

专利名称(译)	像素驱动电路及显示面板		
公开(公告)号	CN109243391A	公开(公告)日	2019-01-18
申请号	CN201811206676.0	申请日	2018-10-17
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	李冀翔		
发明人	李冀翔		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648 G09G3/3655 G09G3/3696		
代理人(译)	黄威		
其他公开文献	CN109243391B		
外部链接	Espacenet SIPO		

摘要(译)

本申请提供一种像素驱动电路，包括：第一晶体管，第一晶体管的第一端与数据线连接，第一晶体管的第二端与耦合节点、液晶电容的第一端、存储电容的第一端以及第一耦合电容的第一端连接，第一晶体管的控制端与扫描线以及第一耦合电容的第二端连接；耦合抑制模块，与耦合节点连接，并接入一与扫描线上的扫描信号极性相反的反相信号，用于在反相信号的控制下生成第一电压至耦合节点。本申请提供的像素驱动电路，通过设置一耦合抑制模块，该耦合抑制模块与耦合节点连接，并接入一与扫描线上的扫描信号极性相反的反相信号，用于在反相信号的控制下生成第一电压至耦合节点，以抑制电容耦合效应对像素电压的影响，进而提高显示面板的显示性能。

