



(12) 发明专利申请

(10) 申请公布号 CN 105469761 A

(43) 申请公布日 2016. 04. 06

(21) 申请号 201510989189. 6

(22) 申请日 2015. 12. 22

(71) 申请人 武汉华星光电技术有限公司

地址 430070 湖北省武汉市东湖开发区高新
大道 666 号生物城 C5 栋

(72) 发明人 赵莽 颜尧

(74) 专利代理机构 深圳市德力知识产权代理事
务所 44265

代理人 林才桂

(51) Int. Cl.

G09G 3/36(2006. 01)

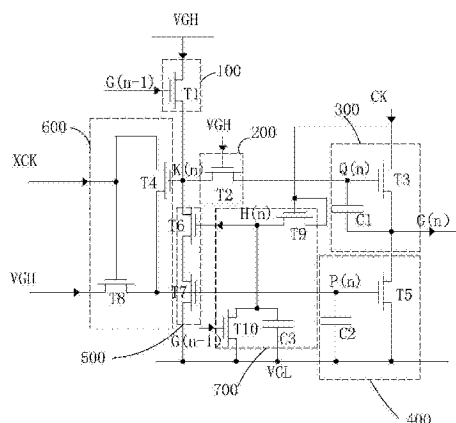
权利要求书2页 说明书8页 附图15页

(54) 发明名称

用于窄边框液晶显示面板的 GOA 电路

(57) 摘要

本发明提供一种用于窄边框液晶显示面板的 GOA 电路, 增设了由第九薄膜晶体管 (T9)、第十薄膜晶体管 (T10)、及第三电容 (C3) 构成的第一节点漏电防护单元 (700); 第九薄膜晶体管 (T9) 栅极与源极均与输出时钟信号 (CK) 电性连接, 形成二极管结构, 在输出期间将第三电容 (C3) 及第四节点 (H(n)) 充电至高电位, 第十薄膜晶体管 (T10) 在信号级传期间对第四节点 (H(n)) 进行清零处理, 保证第一节点 (Q(n)) 的正常充电; 该 GOA 电路既适用于双边驱动逐行扫描架构, 又适用于双边驱动隔行扫描架构, 在应用于双边驱动隔行扫描架构时, 能够防止第一节点漏电, 保证电路稳定工作, 大幅提高 GOA 电路的可靠性, 且每一边均只设置两条时钟信号, 有利于窄边框显示面板的设计。



1. 一种用于窄边框液晶显示面板的GOA电路,其特征在于,包括:级联的多级GOA单元,每一级GOA单元均包括:控制输入单元(100)、稳压单元(200)、控制输出单元(300)、下拉维持单元(400)、下拉单元(500)、第二节点控制单元(600)、及第一节点漏电防护单元(700);

设 n 为正整数,在第 n 级GOA单元中:

所述控制输入单元(100)包括:第一薄膜晶体管(T1),所述第一薄膜晶体管(T1)的栅极电性连接于级传信号,源极电性连接于第一恒压电位,漏极电性连接于第三节点(K(n));

所述稳压单元(200)包括:第二薄膜晶体管(T2),所述第二薄膜晶体管(T2)的栅极电性连接于第一恒压电位,源极电性连接于第三节点(K(n)),漏极电性连接于第一节点(Q(n));

所述控制输出单元(300)包括:第三薄膜晶体管(T3),所述第三薄膜晶体管(T3)的栅极电性连接于第一节点(Q(n)),源极电性连接于输出时钟信号(CK),漏极电性连接于输出端(G(n));以及第一电容(C1),所述第一电容(C1)的一端电性连接于第一节点(Q(n)),另一端电性连接于输出端(G(n));

所述下拉维持单元(400)包括:第五薄膜晶体管(T5),所述第五薄膜晶体管(T5)的栅极电性连接于第二节点(P(n)),源极电性连接于输出端(G(n)),漏极电性连接于第二恒压电位;以及第二电容(C2),所述第二电容(C2)的一端电性连接于第二节点(P(n)),另一端电性连接于第二恒压电位;

所述下拉单元(500)包括:第六薄膜晶体管(T6),所述第六薄膜晶体管(T6)的栅极电性连接于第四节点(H(n)),源极电性连接于第三节点(K(n)),漏极电性连接于第七薄膜晶体管(T7)的源极;以及第七薄膜晶体管(T7),所述第七薄膜晶体管(T7)的栅极电性连接于第二节点(P(n)),漏极电性连接于第二恒压电位;

所述第二节点控制单元(600)包括:第四薄膜晶体管(T4),所述第四薄膜晶体管(T4)的栅极电性连接于第三节点(K(n)),源极电性连接于控制时钟信号(XCK),漏极电性连接于第二节点(P(n));以及第八薄膜晶体管(T8),所述第八薄膜晶体管(T8)的栅极电性连接于控制时钟信号(XCK),源极电性连接于第一恒压电位,漏极电性连接于第二节点(P(n));

所述第一节点漏电防护单元(700)包括:第九薄膜晶体管(T9),所述第九薄膜晶体管(T9)的栅极与源极均电性连接于输出时钟信号(CK),漏极电性连接于第四节点(H(n));第十薄膜晶体管(T10),所述第十薄膜晶体管(T10)的栅极电性连接于级传信号,源极电性连接于第四节点(H(n)),漏极电性连接于第二恒压电位;以及第三电容(C3),所述第三电容(C3)的一端电性连接于第四节点(H(n)),漏极电性连接于第二恒压电位。

2. 如权利要求1所述的用于窄边框液晶显示面板的GOA电路,其特征在于,各个薄膜晶体管均为N型低温多晶硅半导体薄膜晶体管,所述第一恒压电位为恒压高电位(VGH),第二恒压电位为恒压低电位(VGL)。

3. 如权利要求1所述的用于窄边框液晶显示面板的GOA电路,其特征在于,各个薄膜晶体管均为P型低温多晶硅半导体薄膜晶体管,所述第一恒压电位为恒压低电位(VGL),第二恒压电位为恒压高电位(VGH)。

4. 如权利要求1所述的用于窄边框液晶显示面板的GOA电路,其特征在于,应用于双边驱动逐行扫描架构的显示面板,显示面板左、右两边分别设置一GOA电路,每一边的GOA电路均包括第一级至最后一级GOA单元;每一边的各级GOA单元均接入两条时钟信号:第一条时钟信号(CK(1))和第二条时钟信号(CK(2)),所述第一条时钟信号(CK(1))和第二条时钟信

号(CK(2))的相位相反。

5.如权利要求4所述的用于窄边框液晶显示面板的GOA电路,其特征在于,在各级GOA单元中,所述第一条时钟信号(CK(1))和第二条时钟信号(CK(2))分别轮流作为输出时钟信号(CK)和控制时钟信号(XCK)。

6.如权利要求4所述的用于窄边框液晶显示面板的GOA电路,其特征在于,除第一级GOA单元外,第n级GOA单元的级传信号为上一级第n-1级GOA单元的输出信号(G(n-1));

第一级GOA单元的级传信号为电路起始信号(STV)。

7.如权利要求1所述的用于窄边框液晶显示面板的GOA电路,其特征在于,应用于双边驱动隔行扫描架构的显示面板,显示面板左、右两边分别设置一GOA电路,一边的GOA电路仅包括奇数级GOA单元,另一边的GOA电路仅包括偶数级GOA单元;

其中一边GOA电路的各级GOA单元均接入两条时钟信号:第一条时钟信号(CK(1))和第三条时钟信号(CK(3));另一边GOA电路的各级GOA单元均接入另两条时钟信号:第二条时钟信号(CK(2))和第四条时钟信号(CK(4))。

8.如权利要求7所述的用于窄边框液晶显示面板的GOA电路,其特征在于,所述第一、第二、第三、及第四条时钟信号(CK(1)、CK(2)、CK(3)、CK(4))的脉冲周期相同,所述第一条时钟信号(CK(1))的下降沿与所述第二条时钟信号(CK(2))的上升沿同时产生,所述第二条时钟信号(CK(2))的下降沿与所述第三条时钟信号(CK(3))的上升沿同时产生,所述第三条时钟信号(CK(3))的下降沿与所述第四条时钟信号(CK(4))的上升沿同时产生,所述第四条时钟信号(CK(4))的下降沿与所述第一条时钟信号(CK(1))的上升沿同时产生。

9.如权利要求7所述的用于窄边框液晶显示面板的GOA电路,其特征在于,在一边GOA电路的各级GOA单元中,所述第一条时钟信号(CK(1))和第三条时钟信号(CK(3))分别轮流作为输出时钟信号(CK)和控制时钟信号(XCK);在另一边GOA电路的各级GOA单元中,所述第二条时钟信号(CK(2))和第四条时钟信号(CK(4))分别轮流作为输出时钟信号(CK)和控制时钟信号(XCK)。

10.如权利要求7所述的用于窄边框液晶显示面板的GOA电路,其特征在于,除第一级和第二级GOA单元外,第n级GOA单元的级传信号为上两级第n-2级GOA单元的输出信号(G(n-2));

第一级和第二级GOA单元的级传信号均为电路起始信号(STV)。

用于窄边框液晶显示面板的GOA电路

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种用于窄边框液晶显示面板的GOA电路。

背景技术

[0002] 液晶显示器(Liquid Crystal Display, LCD)具有机身薄、省电、无辐射等众多优点,得到了广泛的应用。如:液晶电视、移动电话、个人数字助理(PDA)、数字相机、计算机屏幕或笔记本电脑屏幕等,在平板显示领域中占主导地位。

[0003] GOA技术(Gate Driver on Array)即阵列基板行驱动技术,是运用液晶显示面板的原有阵列制程将水平扫描线的驱动电路制作在显示区周围的基板上,使之能替代外接集成电路板(Integrated Circuit, IC)来完成水平扫描线的驱动。GOA技术能减少外接IC的焊接(bonding)工序,有机会提升产能并降低产品成本,而且可以使液晶显示面板更适合制作窄边框或无边框的显示产品。

[0004] 随着低温多晶硅(Low Temperature Poly-silicon, LTPS)半导体薄膜晶体管的发展, LTPS-TFT液晶显示器也越来越受关注, LTPS-TFT液晶显示器具有高分辨率、反应速度快、高亮度、高开口率等优点。由于低温多晶硅较非晶硅(a-Si)的排列有次序,低温多晶硅半导体本身具有超高的电子迁移率,比非晶硅半导体相对高100倍以上,可以采用GOA技术将栅极驱动器制作在薄膜晶体管阵列基板上,达到系统整合的目标、节省空间及驱动IC的成本。

[0005] 请参阅图1,现有的一种常见的GOA电路包括:级联的多级GOA单元,每一级GOA单元均包括:控制输入单元100、稳压单元200、控制输出单元300、下拉维持单元400、下拉单元500、及第二节点控制单元600,设 n 为正整数,除第一级GOA单元外,在第 n 级GOA单元中:

[0006] 所述控制输入单元100包括:第一薄膜晶体管T1,所述第一薄膜晶体管T1的栅极电性连接于控制时钟信号XCK,源极电性连接于上一级第 $n-1$ 级GOA单元的输出端G($n-1$),漏极电性连接于第三节点K(n);

[0007] 所述稳压单元200包括:第二薄膜晶体管T2,所述第二薄膜晶体管T2的栅极电性连接恒压高电位VGH,源极电性连接于第三节点K(n),漏极电性连接于第一节点Q(n);

[0008] 所述控制输出单元300包括:第三薄膜晶体管T3,所述第三薄膜晶体管T3的栅极电性连接于第一节点Q(n),源极电性连接于输出时钟信号CK,漏极电性连接于输出端G(n);以及第一电容C1,所述第一电容C1的一端电性连接于第一节点Q(n),另一端电性连接于输出端G(n);

[0009] 所述下拉维持单元400包括:第五薄膜晶体管T5,所述第五薄膜晶体管T5的栅极电性连接于第二节点P(n),源极电性连接于输出端G(n),漏极电性连接于恒压低电位VGL;以及第二电容C2,所述第二电容C2的一端电性连接于第二节点P(n),另一端电性连接于恒压低电位VGL;

[0010] 所述下拉单元500包括:第六薄膜晶体管T6,所述第六薄膜晶体管T6的栅极电性连接于输出时钟信号CK,源极电性连接于第三节点K(n),漏极电性连接于第七薄膜晶体管T7

的源极;以及第七薄膜晶体管T7,所述第七薄膜晶体管T7的栅极电性连接于第二节点P(n),漏极电性连接于恒压低电位VGL;

[0011] 所述第二节点控制单元600包括:第四薄膜晶体管T4,所述第四薄膜晶体管T4的栅极电性连接于第三节点K(n),源极电性连接于控制时钟信号XCK,漏极电性连接于第二节点P(n);以及第八薄膜晶体管T8,所述第八薄膜晶体管T8的栅极电性连接于控制时钟信号XCK,源极电性连接于恒压高电位VGH,漏极电性连接于第二节点P(n)。

[0012] 图2所示为双边驱动逐行扫描的GOA电路的架构示意图,在显示面板左、右两边分别设置一GOA电路,每一GOA电路均包括第一级至最后一级GOA单元,两边的GOA电路的时序相同,每一边的各级GOA电路均接入第一时钟信号CK(1)和第二时钟信号CK(2)分别轮流作为控制时钟信号XCK和输出时钟信号CK,每一边的GOA电路均按照像素排列顺序逐行扫描,两边同级的GOA单元共同作用于同一行像素的驱动。请参阅图3,图1所示的GOA电路进行双边驱动逐行扫描时,各级GOA单元内的第一节点Q(n)、第二节点P(n)、输出端G(n)的波形都是稳定的,因此图1所示的GOA电路能够在双边驱动逐行扫描架构下稳定工作。

[0013] 图4所示为双边驱动隔行扫描的GOA电路的架构示意图,在显示面板左、右两边分别设置一GOA电路,一边的GOA电路仅包括奇数级GOA单元,另一边的GOA电路仅包括偶数级GOA单元。两边GOA电路的时序不同,其中一边的各级GOA电路接入第一时钟信号CK(1)和第三时钟信号CK(3)分别轮流作为控制时钟信号XCK和输出时钟信号CK,对奇数行像素进行逐行扫描;另一边的各级GOA电路接入第二时钟信号CK(2)和第三时钟信号CK(4)分别轮流作为控制时钟信号XCK和输出时钟信号CK,对偶数行像素进行逐行扫描。请参阅图5,图1所示的GOA电路进行双边驱动隔行扫描时,电路中存在很多不稳定的因素,这是因为每一边的两条时钟信号不连续,而该现有的GOA电路中也没有设置任何对第一节点Q(n)进行漏电防护的设计。第一节点Q(n)出现漏电会造成GOA电路失效的问题,且在输出端G(n)输出完成后存在控制时钟信号XCK与输出时钟信号CK同时为低电位的盲区,也会导致GOA电路不稳定,严重时可能造成GOA电路失效。因此,图1所示的现有的GOA电路在双边驱动隔行扫描架构下不能稳定工作,需进行改进。

发明内容

[0014] 本发明的目的在于提供一种用于窄边框液晶显示面板的GOA电路,既适用于双边驱动逐行扫描架构,又适用于双边驱动隔行扫描架构,在应用于双边驱动隔行扫描架构时,能够防止第一节点漏电,保证电路稳定工作,大幅提高GOA电路的可靠性。

[0015] 为实现上述目的,本发明提供了一种用于窄边框液晶显示面板的GOA电路,包括:级联的多级GOA单元,每一级GOA单元均包括:控制输入单元、稳压单元、控制输出单元、下拉维持单元、下拉单元、第二节点控制单元、及第一节点漏电防护单元;

[0016] 设n为正整数,在第n级GOA单元中:

[0017] 所述控制输入单元包括:第一薄膜晶体管,所述第一薄膜晶体管的栅极电性连接于级传信号,源极电性连接于第一恒压电位,漏极电性连接于第三节点;

[0018] 所述稳压单元包括:第二薄膜晶体管,所述第二薄膜晶体管的栅极电性连接于第一恒压电位,源极电性连接于第三节点,漏极电性连接于第一节点;

[0019] 所述控制输出单元包括:第三薄膜晶体管,所述第三薄膜晶体管的栅极电性连接

于第一节点,源极电性连接于输出时钟信号,漏极电性连接于输出端;以及第一电容,所述第一电容的一端电性连接于第一节点,另一端电性连接于输出端;

[0020] 所述下拉维持单元包括:第五薄膜晶体管,所述第五薄膜晶体管的栅极电性连接于第二节点,源极电性连接于输出端,漏极电性连接于第二恒压电位;以及第二电容,所述第二电容的一端电性连接于第二节点,另一端电性连接于第二恒压电位;

[0021] 所述下拉单元包括:第六薄膜晶体管,所述第六薄膜晶体管的栅极电性连接于第四节点,源极电性连接于第三节点,漏极电性连接于第七薄膜晶体管的源极;以及第七薄膜晶体管,所述第七薄膜晶体管的栅极电性连接于第二节点,漏极电性连接于第二恒压电位;

[0022] 所述第二节点控制单元包括:第四薄膜晶体管,所述第四薄膜晶体管的栅极电性连接于第三节点,源极电性连接于控制时钟信号,漏极电性连接于第二节点;以及第八薄膜晶体管,所述第八薄膜晶体管的栅极电性连接于控制时钟信号,源极电性连接于第一恒压电位,漏极电性连接于第二节点;

[0023] 所述第一节点漏电防护单元包括:第九薄膜晶体管,所述第九薄膜晶体管的栅极与源极均电性连接于输出时钟信号,漏极电性连接于第四节点;第十薄膜晶体管,所述第十薄膜晶体管的栅极电性连接于级传信号,源极电性连接于第四节点,漏极电性连接于第二恒压电位;以及第三电容,所述第三电容的一端电性连接于第四节点,漏极电性连接于第二恒压电位。

[0024] 可选的,各个薄膜晶体管均为N型低温多晶硅半导体薄膜晶体管,所述第一恒压电位为恒压高电位,第二恒压电位为恒压低电位。

[0025] 可选的,各个薄膜晶体管均为P型低温多晶硅半导体薄膜晶体管,所述第一恒压电位为恒压低电位,第二恒压电位为恒压高电位。

[0026] 所述用于窄边框液晶显示面板的GOA电路可应用于双边驱动逐行扫描架构的显示面板,显示面板左、右两边分别设置一GOA电路,每一边的GOA电路均包括第一级至最后一级GOA单元;每一边的各级GOA单元均接入两条时钟信号:第一条时钟信号和第二条时钟信号,所述第一条时钟信号和第二条时钟信号的相位相反。

[0027] 在各级GOA单元中,所述第一条时钟信号和第二条时钟信号分别轮流作为输出时钟信号和控制时钟信号。

[0028] 除第一级GOA单元外,第n级GOA单元的级传信号为上一级第n-1级GOA单元的输出信号;

[0029] 第一级GOA单元的级传信号为电路起始信号。

[0030] 所述用于窄边框液晶显示面板的GOA电路还可应用于双边驱动隔行扫描架构的显示面板,显示面板左、右两边分别设置一GOA电路,一边的GOA电路仅包括奇数级GOA单元,另一边的GOA电路仅包括偶数级GOA单元;

[0031] 其中一边GOA电路的各级GOA单元均接入两条时钟信号:第一条时钟信号和第三条时钟信号;

[0032] 另一边GOA电路的各级GOA单元均接入另两条时钟信号,第二条时钟信号和第四条时钟信号。

[0033] 所述第一、第二、第三、及第四条时钟信号的脉冲周期相同,所述第一条时钟信号的下降沿与所述第二条时钟信号的上升沿同时产生,所述第二条时钟信号的下降沿与所述

第三条时钟信号的上升沿同时产生,所述第三条时钟信号的下降沿与所述第四条时钟信号的上升沿同时产生,所述第四条时钟信号的下降沿与所述第一条时钟信号的上升沿同时产生。

[0034] 在一边GOA电路的各级GOA单元中,所述第一条时钟信号和第三条时钟信号分别轮流作为输出时钟信号和控制时钟信号;在另一边GOA电路的各级GOA单元中,所述第二条时钟信号和第四条时钟信号分别轮流作为输出时钟信号和控制时钟信号。

[0035] 除第一级和第二级GOA单元外,第n级GOA单元的级传信号为上两级第n-2级GOA单元的输出信号;

[0036] 第一级和第二级GOA单元的级传信号均为电路起始信号。

[0037] 本发明的有益效果:本发明提供的一种用于窄边框液晶显示面板的GOA电路,增设了由第九薄膜晶体管、第十薄膜晶体管、及第三电容构成的第一节点漏电防护单元,其中第九薄膜晶体管的栅极与源极均与输出时钟信号电性连接,形成二极管结构,在输出期间将第三电容及第四节点充电至高电位,第十薄膜晶体管在信号级传期间对第四节点进行清零处理,保证第一节点的正常充电,该GOA电路既适用于双边驱动逐行扫描架构,又适用于双边驱动隔行扫描架构,在应用于双边驱动隔行扫描架构时,能够防止第一节点漏电,保证电路稳定工作,大幅提高GOA电路的可靠性,且每一边均只设置两条时钟信号,有利于窄边框显示面板的设计。

附图说明

[0038] 为了能更进一步了解本发明的特征以及技术内容,请参阅以下有关本发明的详细说明与附图,然而附图仅提供参考与说明用,并非用来对本发明加以限制。

[0039] 附图中,

[0040] 图1为现有的一种常见的GOA电路的电路示意图;

[0041] 图2为现有的双边驱动逐行扫描的GOA电路的架构示意图;

[0042] 图3为图1所示GOA电路应用于图2所示架构时的时序图;

[0043] 图4为现有的双边驱动隔行扫描的GOA电路的架构示意图;

[0044] 图5为图1所示GOA电路应用于图4所示架构时的时序图;

[0045] 图6为本发明的用于窄边框液晶显示面板的GOA电路的第一实施例的电路图;

[0046] 图7为本发明的用于窄边框液晶显示面板的GOA电路的第二实施例的电路图;

[0047] 图8为本发明的用于窄边框液晶显示面板的GOA电路的第三实施例的电路图;

[0048] 图9为本发明的用于窄边框液晶显示面板的GOA电路的第四实施例的电路图;

[0049] 图10为本发明的用于窄边框液晶显示面板的GOA电路的第一和第三实施例中第一级GOA单元的电路图;

[0050] 图11为本发明的用于窄边框液晶显示面板的GOA电路的第二和第四实施例中第一级GOA单元的电路图;

[0051] 图12为本发明的用于窄边框液晶显示面板的GOA电路的第三实施例中第二级GOA单元的电路图;

[0052] 图13为本发明的用于窄边框液晶显示面板的GOA电路的第四实施例中第二级GOA单元的电路图;

[0053] 图14为本发明的用于窄边框液晶显示面板的GOA电路的第一实施例应用于图2所示双边驱动逐行扫描架构的时序图；

[0054] 图15为本发明的用于窄边框液晶显示面板的GOA电路的第三实施例应用于图4所示双边驱动隔行扫描架构的时序图。

具体实施方式

[0055] 为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

[0056] 请参阅图6、图7、图8、或图9，本发明提供一种用于窄边框液晶显示面板的GOA电路，包括：级联的多级GOA单元，每一级GOA单元均包括：控制输入单元100、稳压单元200、控制输出单元300、下拉维持单元400、下拉单元500、第二节点控制单元600、及第一节点漏电防护单元700。

[0057] 设 n 为正整数，在第 n 级GOA单元中：

[0058] 所述控制输入单元100包括：第一薄膜晶体管T1，所述第一薄膜晶体管T1的栅极电性连接于级传信号，源极电性连接于第一恒压电位，漏极电性连接于第三节点 $K(n)$ ；

[0059] 所述稳压单元200包括：第二薄膜晶体管T2，所述第二薄膜晶体管T2的栅极电性连接于第一恒压电位，源极电性连接于第三节点 $K(n)$ ，漏极电性连接于第一节点 $Q(n)$ ；

[0060] 所述控制输出单元300包括：第三薄膜晶体管T3，所述第三薄膜晶体管T3的栅极电性连接于第一节点 $Q(n)$ ，源极电性连接于输出时钟信号CK，漏极电性连接于输出端 $G(n)$ ；以及第一电容C1，所述第一电容C1的一端电性连接于第一节点 $Q(n)$ ，另一端电性连接于输出端 $G(n)$ ；

[0061] 所述下拉维持单元400包括：第五薄膜晶体管T5，所述第五薄膜晶体管T5的栅极电性连接于第二节点 $P(n)$ ，源极电性连接于输出端 $G(n)$ ，漏极电性连接于第二恒压电位；以及第二电容C2，所述第二电容C2的一端电性连接于第二节点 $P(n)$ ，另一端电性连接于第二恒压电位；

[0062] 所述下拉单元500包括：第六薄膜晶体管T6，所述第六薄膜晶体管T6的栅极电性连接于第四节点 $H(n)$ ，源极电性连接于第三节点 $K(n)$ ，漏极电性连接于第七薄膜晶体管T7的源极；以及第七薄膜晶体管T7，所述第七薄膜晶体管T7的栅极电性连接于第二节点 $P(n)$ ，漏极电性连接于第二恒压电位；

[0063] 所述第二节点控制单元600包括：

[0064] 第四薄膜晶体管T4，所述第四薄膜晶体管T4的栅极电性连接于第三节点 $K(n)$ ，源极电性连接于控制时钟信号XCK，漏极电性连接于第二节点 $P(n)$ ；以及第八薄膜晶体管T8，所述第八薄膜晶体管T8的栅极电性连接于控制时钟信号XCK，源极电性连接于第一恒压电位，漏极电性连接于第二节点 $P(n)$ ；

[0065] 所述第一节点漏电防护单元700包括：第九薄膜晶体管T9，所述第九薄膜晶体管T9的栅极与源极均电性连接于输出时钟信号CK，漏极电性连接于第四节点 $H(n)$ ；第十薄膜晶体管T10，所述第十薄膜晶体管T10的栅极电性连接于级传信号，源极电性连接于第四节点 $H(n)$ ，漏极电性连接于第二恒压电位；以及第三电容C3，所述第三电容C3的一端电性连接于第四节点 $H(n)$ ，漏极电性连接于第二恒压电位。

[0066] 具体地,在图6所示的本发明的用于窄边框液晶显示面板的GOA电路的第一实施例中,各个薄膜晶体管均为N型低温多晶硅半导体薄膜晶体管;所述第一恒压电位为恒压高电位VGH,第二恒压电位为恒压低电位VGL;除第一级GOA单元外,第n级GOA单元的级传信号为上一级第n-1级GOA单元的输出信号G(n-1),特别地,如图10所示,第一级GOA单元的级传信号为电路起始信号STV。

[0067] 在图7所示的本发明的用于窄边框液晶显示面板的GOA电路的第二实施例中,各个薄膜晶体管均为P型低温多晶硅半导体薄膜晶体管;所述第一恒压电位为恒压低电位VGL,第二恒压电位为恒压高电位VGH;除第一级GOA单元外,第n级GOA单元的级传信号为上一级第n-1级GOA单元的输出信号G(n-1),特别地,如图11所示,第一级GOA单元的级传信号为电路起始信号STV。

[0068] 所述第一与第二实施例适用于如图2所示的应用于双边驱动逐行扫描架构的显示面板,即显示面板左、右两边分别设置一GOA电路,每一边的GOA电路均包括第一级至最后一级GOA单元;每一边的各级GOA单元均接入两条时钟信号:第一条时钟信号CK(1)和第二条时钟信号CK(2),所述第一条时钟信号CK(1)和第二条时钟信号CK(2)的相位相反。在各级GOA单元中,所述第一条时钟信号CK(1)和第二条时钟信号CK(2)分别轮流作为输出时钟信号CK和控制时钟信号XCK。

[0069] 在图8所示的本发明的用于窄边框液晶显示面板的GOA电路的第三实施例中,各个薄膜晶体管均为N型低温多晶硅半导体薄膜晶体管;所述第一恒压电位为恒压高电位VGH,第二恒压电位为恒压低电位VGL;除第一级和第二级GOA单元外,第n级GOA单元的级传信号为上两级第n-2级GOA单元的输出信号G(n-2),特别地,如图10、图12所示,第一级和第二级GOA单元的级传信号均为电路起始信号STV。

[0070] 在图9所示的本发明的用于窄边框液晶显示面板的GOA电路的第四实施例中,各个薄膜晶体管均为P型低温多晶硅半导体薄膜晶体管;所述第一恒压电位为恒压低电位VGL,第二恒压电位为恒压高电位VGH;除第一级和第二级GOA单元外,第n级GOA单元的级传信号为上两级第n-2级GOA单元的输出信号G(n-2),特别地,如图11、图13所示,第一级和第二级GOA单元的级传信号均为电路起始信号STV。

[0071] 所述第三与第四实施例适用于如图4所示的双边驱动隔行扫描架构的显示面板,即显示面板左、右两边分别设置一GOA电路,一边的GOA电路仅包括奇数级GOA单元,用于对奇数行像素进行扫描,另一边的GOA电路仅包括偶数级GOA单元,用于对偶数行像素进行扫描。其中一边GOA电路的各级GOA单元均接入两条时钟信号:第一条时钟信号CK(1)和第三条时钟信号CK(3);另一边GOA电路的各级GOA单元均接入另两条时钟信号:第二条时钟信号CK(2)和第四条时钟信号CK(4)。进一步的,所述第一、第二、第三、及第四条时钟信号CK(1)、CK(2)、CK(3)、CK(4)的脉冲周期相同,所述第一条时钟信号CK(1)的下降沿与第二条时钟信号CK(2)的上升沿同时产生,所述第二条时钟信号CK(2)的下降沿与第三条时钟信号CK(3)的上升沿同时产生,所述第三条时钟信号CK(3)的下降沿与第四条时钟信号CK(4)的上升沿同时产生,所述第四条时钟信号CK(4)的下降沿与第一条时钟信号CK(1)的上升沿同时产生。在一边GOA电路的各级GOA单元中,所述第一条时钟信号CK(1)和第三条时钟信号CK(3)分别轮流作为输出时钟信号CK和控制时钟信号XCK;在另一边GOA电路的各级GOA单元中,所述第二条时钟信号CK(2)和第四条时钟信号CK(4)分别轮流作为输出时钟

信号CK和控制时钟信号XCK。

[0072] 请同时参阅图6与图14,并结合图2,本发明的用于窄边框液晶显示面板的GOA电路的第一实施例的具体工作过程为:

[0073] 首先,控制时钟信号XCK及第 $n-1$ 级GOA单元的输出信号 $G(n-1)$ 提供高电位,第一薄膜晶体管T1和第八薄膜晶体管T8打开,第二薄膜晶体管T2受恒压高电位VGH的控制始终打开,第三节点K(n)、第一节点Q(n)和第二节点P(n)充电至高电位;第十薄膜晶体管T10打开,拉低第四节点H(n)至低电位,关闭受第四节点H(n)控制的第六薄膜晶体管T6。

[0074] 紧接着,控制时钟信号XCK及第 $n-1$ 级GOA单元的输出信号 $G(n-1)$ 均转变为低电位,于此同时,输出时钟信号CK提供高电位,第一、第八和第十薄膜晶体管T1、T8、T10关闭,第一节点Q(n)在第一电容C1的存储作用下保持高电位,第三薄膜晶体管T3打开,将输出时钟信号CK的高电位作为第 n 级GOA单元的输出信号 $G(n)$ 输出,并将第一节点Q(n)抬升至更高电位;第四薄膜晶体管T4打开,第二节点P(n)被低电位的控制时钟信号XCK拉低至低电位,关闭第五和第七薄膜晶体管T5、T7,保证 $G(n)$ 正常输出;第九薄膜晶体管T9受高电位的输出时钟信号CK的控制打开,第四节点H(n)充电至高电位;

[0075] 随后,控制时钟信号XCK再次提供高电位,第八薄膜晶体管T8打开,第二节点P(n)被充电至高电位,第五薄膜晶体管T5打开,下拉输出信号 $G(n)$ 至低电位;第七薄膜晶体管T7打开,第四节点H(n)在第三电容C3的存储作用下保持高电位,第六薄膜晶体管T6打开,将第三节点K(n)和第一节点Q(n)拉低并稳定在低电位。

[0076] 可见,该第一实施例在工作过程中,各个节点的波形都是稳定的,适用于双边驱动逐行扫描架构的显示面板。

[0077] 图7所示的第二实施例与上述第一实施例的具体工作过程类似,仅需要将各信号、节点的电位高低进行调换即可,此处不再赘述。

[0078] 请同时参阅图8与图15,并结合图4,本发明的用于窄边框液晶显示面板的GOA电路的第三实施例的具体工作过程为:

[0079] 首先,控制时钟信号XCK及第 $n-2$ 级GOA单元的输出信号 $G(n-2)$ 提供高电位,第一薄膜晶体管T1和第八薄膜晶体管T8打开,第二薄膜晶体管T2受恒压高电位VGH的控制始终打开,第三节点K(n)、第一节点Q(n)和第二节点P(n)充电至高电位;第十薄膜晶体管T10打开,拉低第四节点H(n)至低电位,关闭受第四节点H(n)控制的第六薄膜晶体管T6。

[0080] 紧接着,控制时钟信号XCK与第 $n-2$ 级GOA单元的输出信号 $G(n-2)$ 输出完毕均转变为低电位,第一节点Q(n)在第一电容C1的存储作用下保持高电位,第一、第十、和第八薄膜晶体管T1、T10、T8关闭,受第三节点K(n)控制的第四薄膜晶体管T4打开,第二节点P(n)被低电位的控制时钟信号XCK拉低至低电位,拉低第二节点P(n)的电位,关闭第五和第七薄膜晶体管T5、T7,第四节点H(n)在第三电容C3的存储作用下保持低电位,受第四节点H(n)控制的第六薄膜晶体管T6仍关闭,阻断了第一节点Q(n)的漏电路径,对第一节点Q(n)进行漏电防护。

[0081] 随后,输出时钟信号CK提供高电位,第一、第八和第十薄膜晶体管T1、T8、T10仍关闭,第一节点Q(n)在第一电容C1的存储作用下仍保持高电位,第三薄膜晶体管T3打开,将输出时钟信号CK的高电位作为第 n 级GOA单元的输出信号 $G(n)$ 输出,并将第一节点Q(n)抬升至更高电位;第四薄膜晶体管T4仍打开,第二节点P(n)仍为低电位,关闭第五和第七薄膜晶体

管,保证G(n)正常输出;第九薄膜晶体管T9受高电位的输出时钟信号CK的控制打开,第四节点H(n)充电至高电位;

[0082] 然后,控制时钟信号XCK再次提供高电位,第八薄膜晶体管T8打开,第二节点P(n)被充电至高电位,第五薄膜晶体管T5打开,下拉输出信号G(n)至低电位;第七薄膜晶体管T7打开,第四节点H(n)在第三电容C3的存储作用下保持高电位,第六薄膜晶体管打开,将第三节点K(n)和第一节点Q(n)拉低并稳定在低电位。

[0083] 可见,该第三实施例在工作过程中,各个节点的波形都是稳定的,在第一节点Q(n)维持高电位的期间有漏电防护,适用于双边驱动逐行扫描架构的显示面板。

[0084] 图9所示的第四实施例与上述第三实施例的具体工作过程类似,仅需要将各信号、节点的电位高低进行调换即可,此处不再赘述。

[0085] 综上所述,本发明的用于窄边框液晶显示面板的GOA电路,增设了由第九薄膜晶体管、第十薄膜晶体管、及第三电容构成的第一节点漏电防护单元,其中第九薄膜晶体管的栅极与源极均与输出时钟信号电性连接,形成二极管结构,在输出期间将第三电容及第四节点充电至高电位,第十薄膜晶体管在信号级传期间对第四节点进行清零处理,保证第一节点的正常充电,该GOA电路既适用于双边驱动逐行扫描架构,又适用于双边驱动隔行扫描架构,在应用于双边驱动隔行扫描架构时,能够防止第一节点漏电,保证电路稳定工作,大幅提高GOA电路的可靠性,且每一边均只设置两条时钟信号,有利于窄边框显示面板的设计。

[0086] 以上所述,对于本领域的普通技术人员来说,可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形,而所有这些改变和变形都应属于本发明权利要求的保护范围。

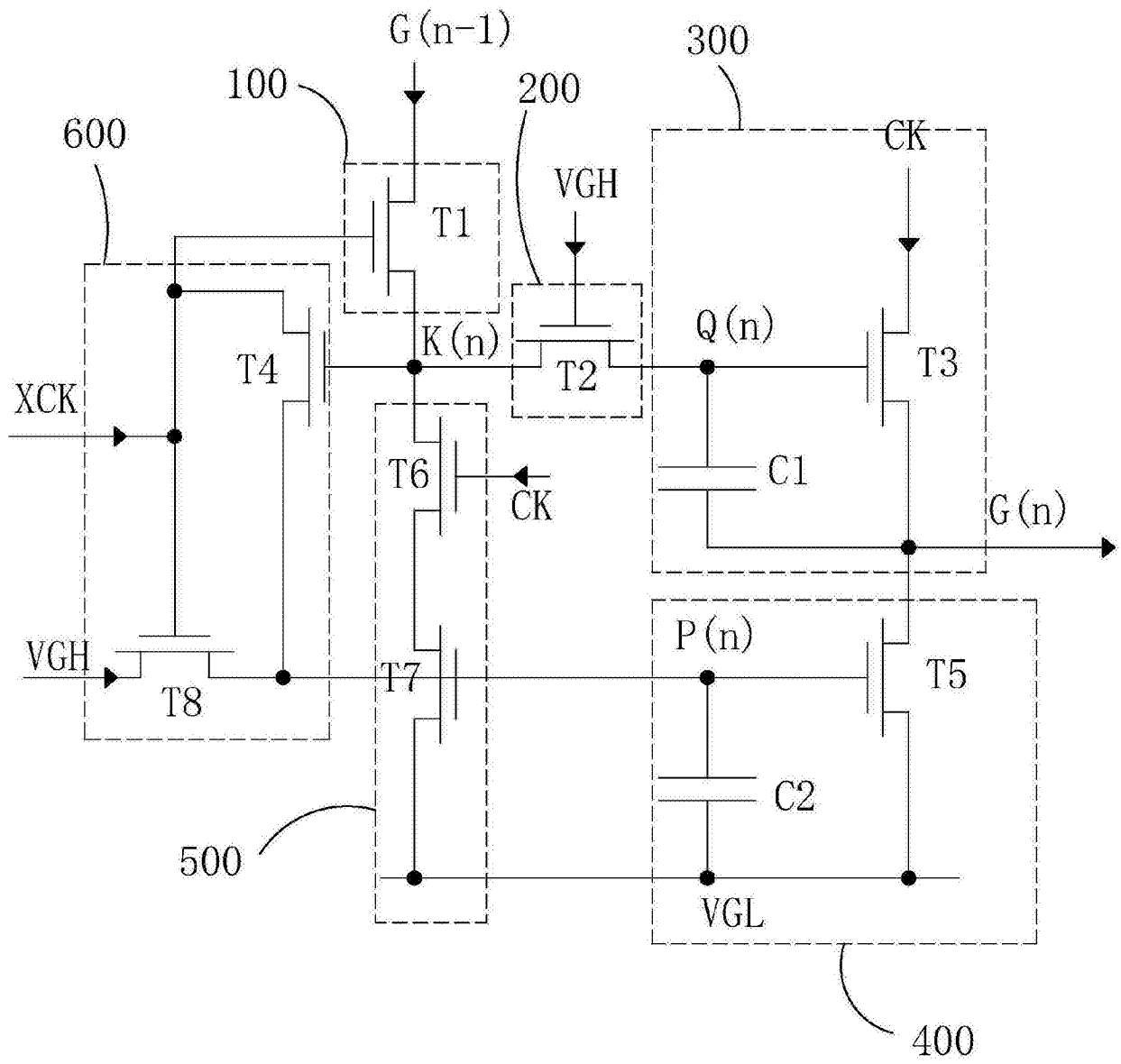


图1

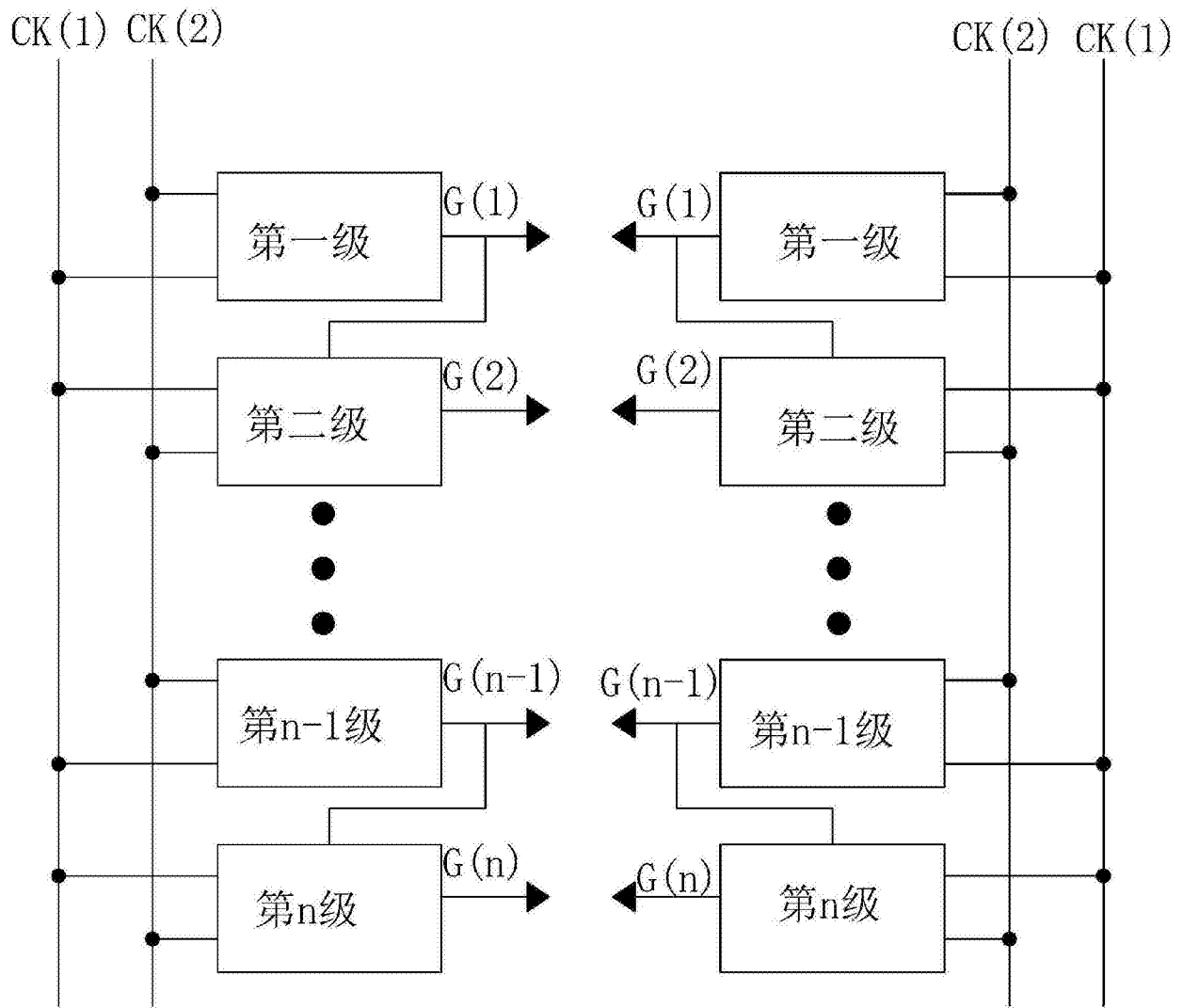


图2

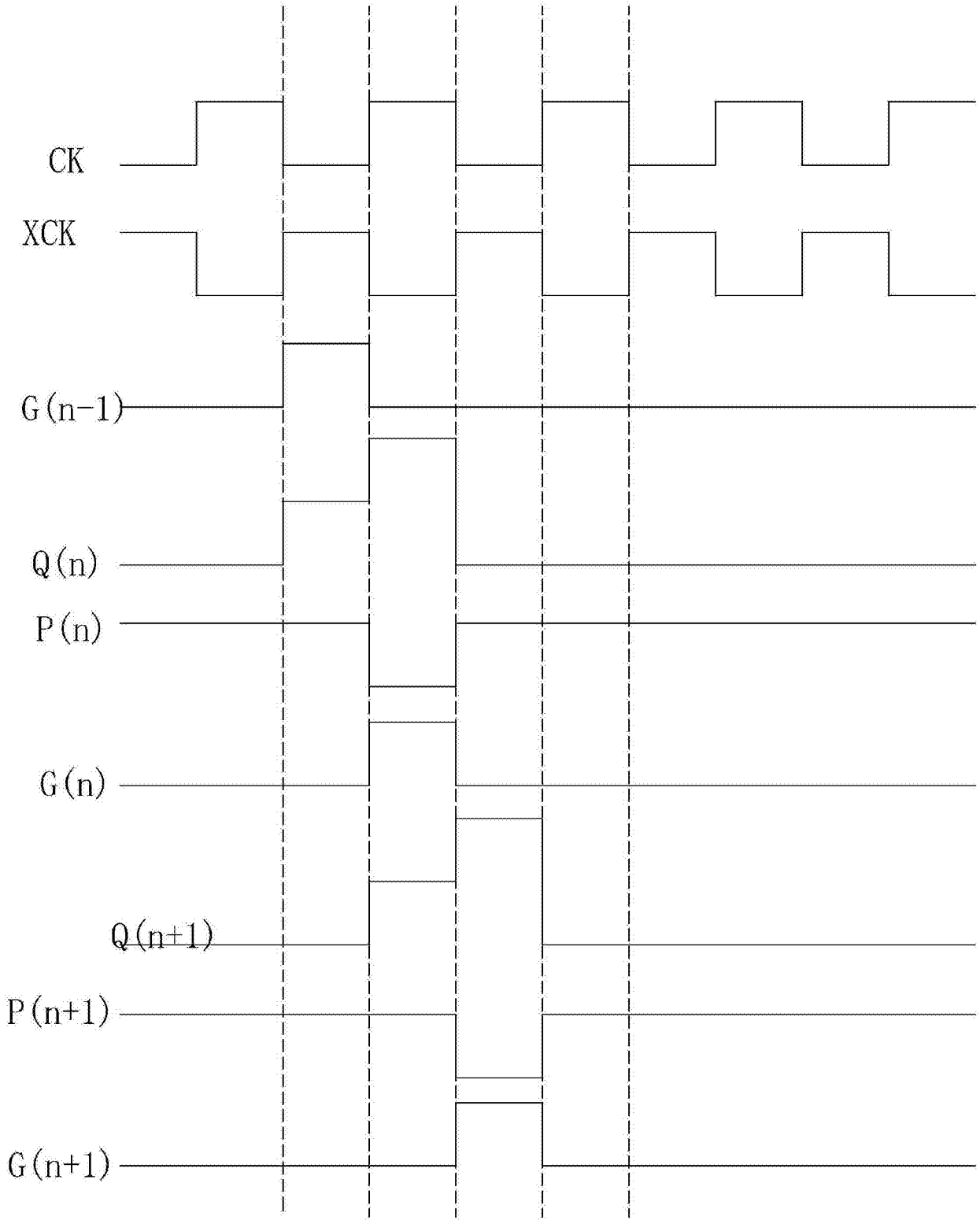


图3

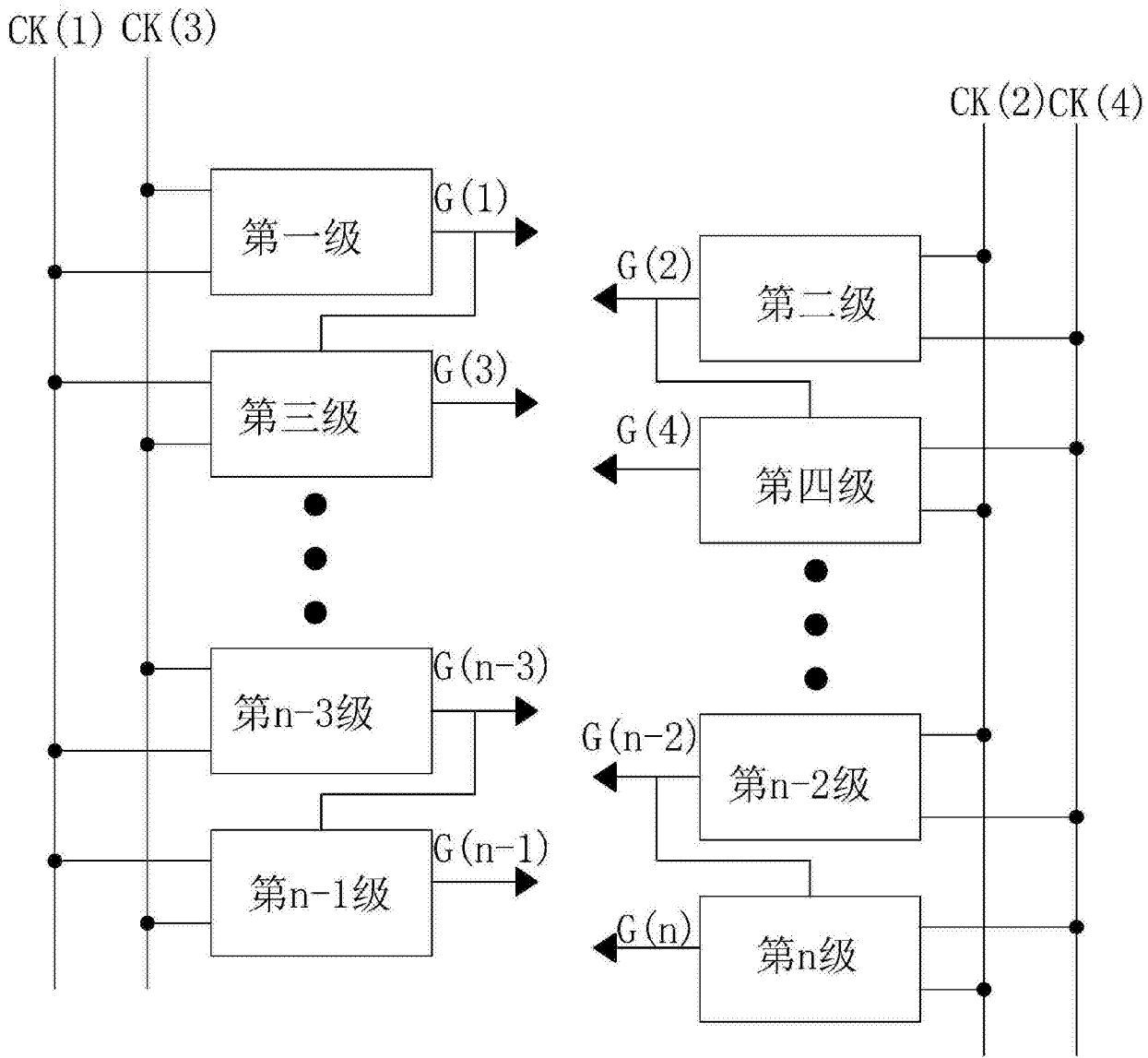


图4

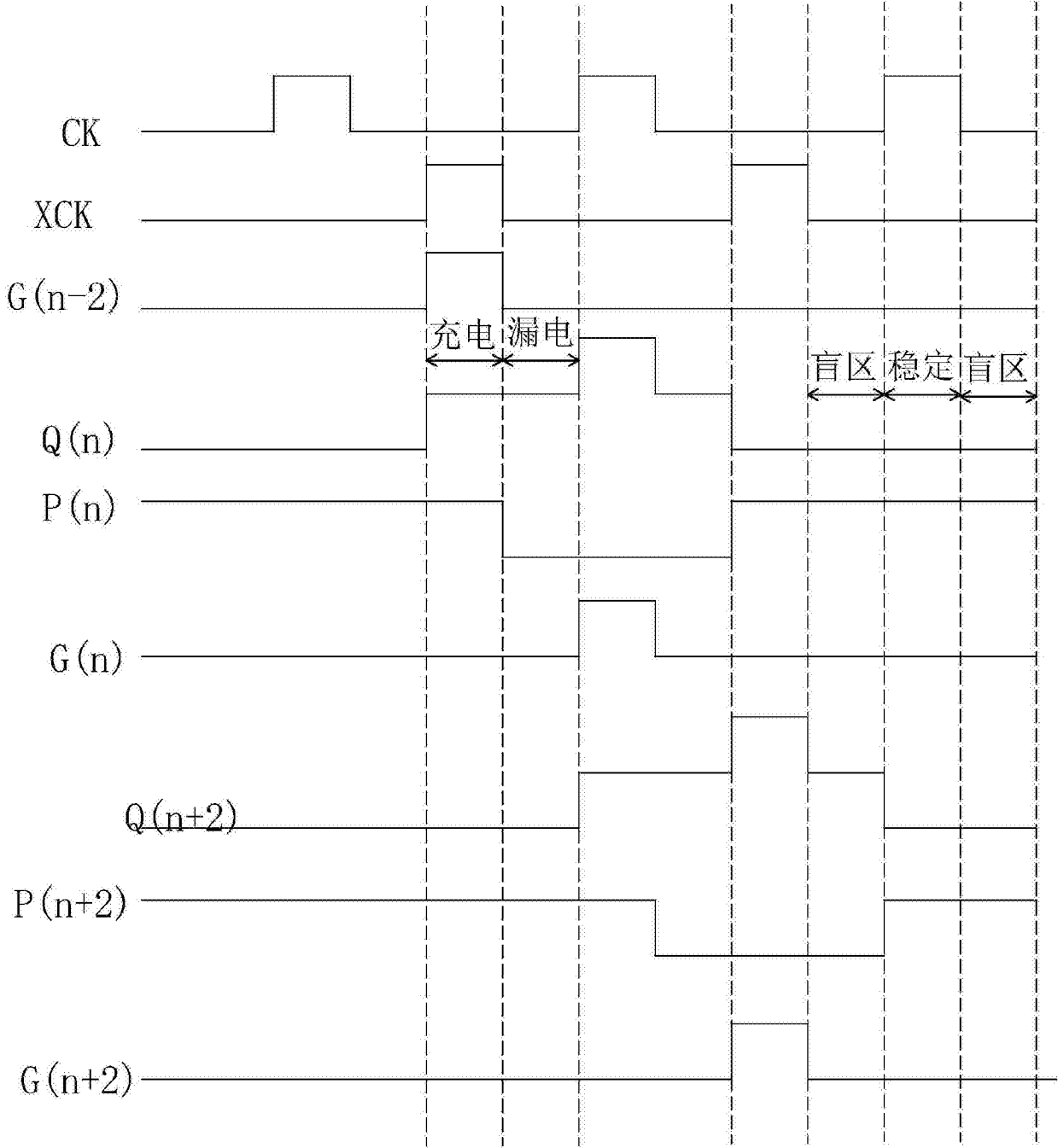


图5

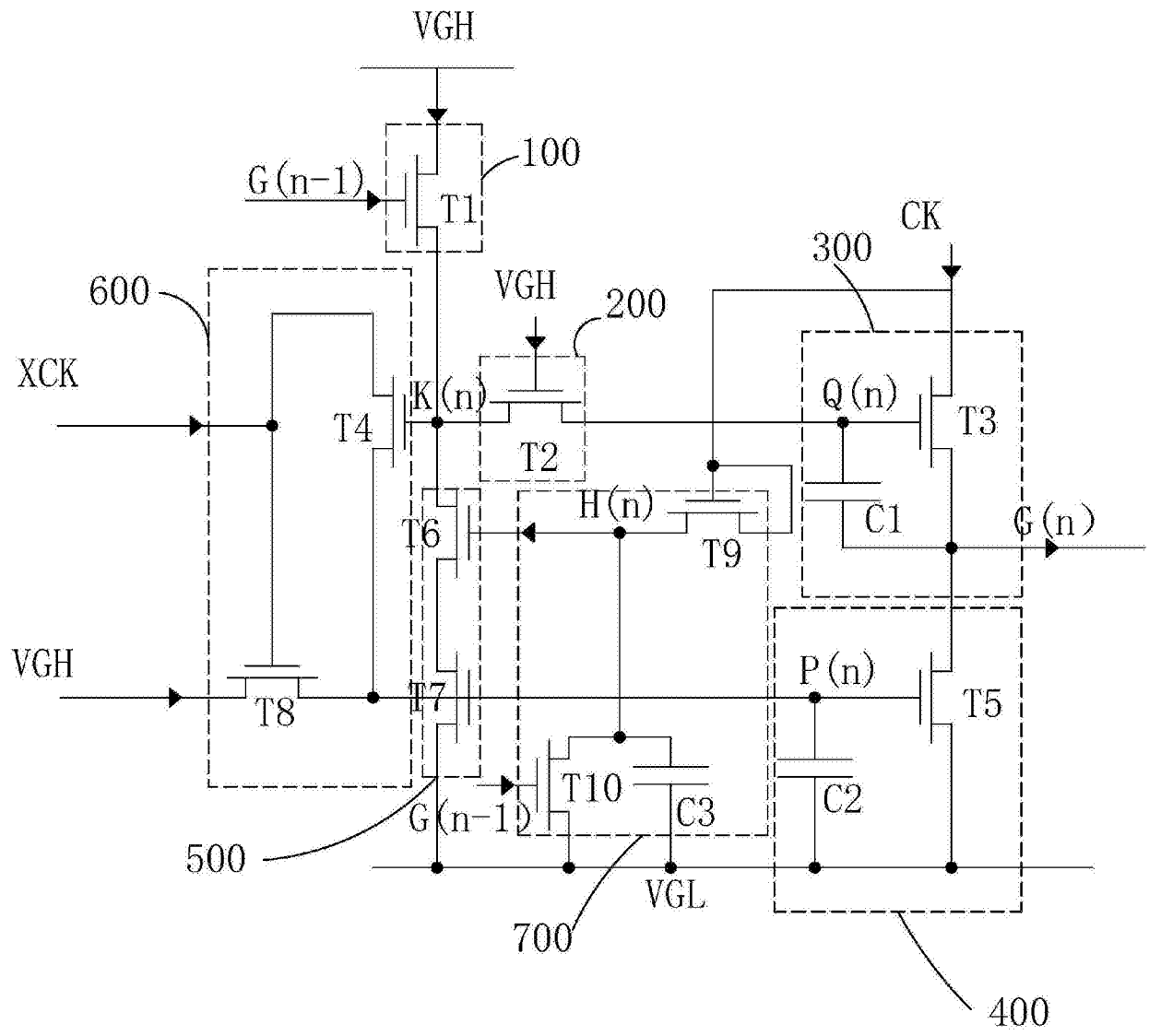


图6

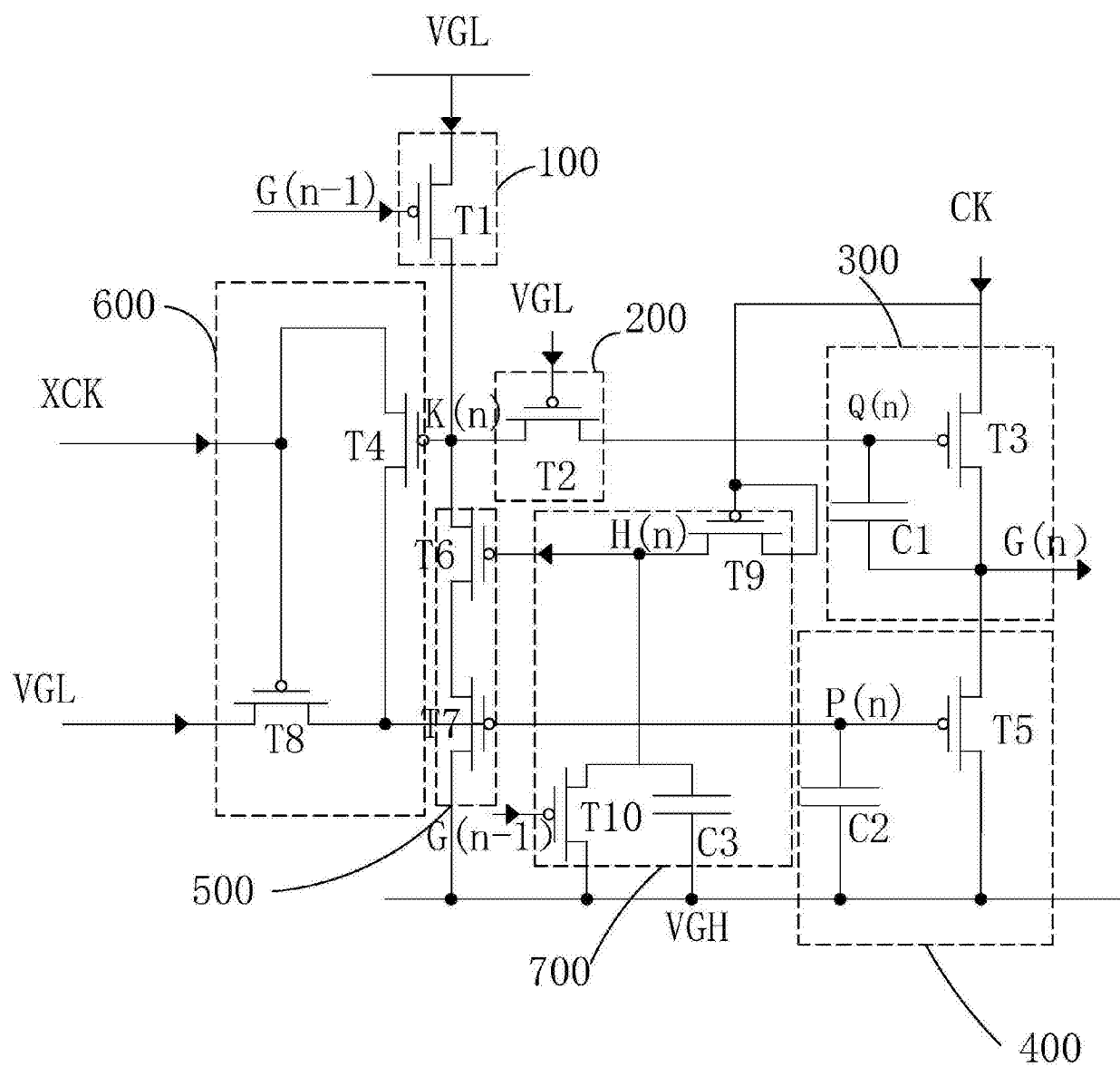


图7

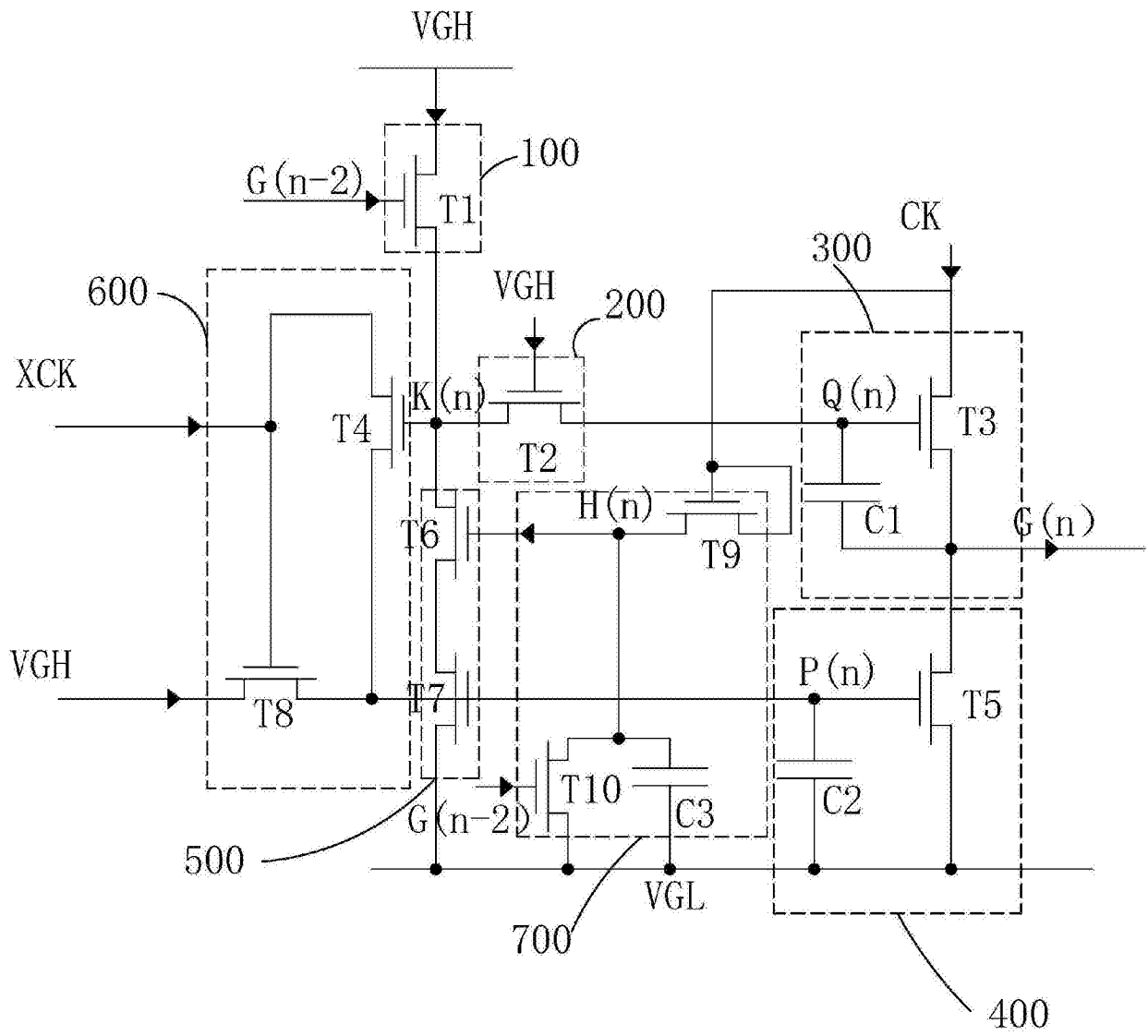


图8

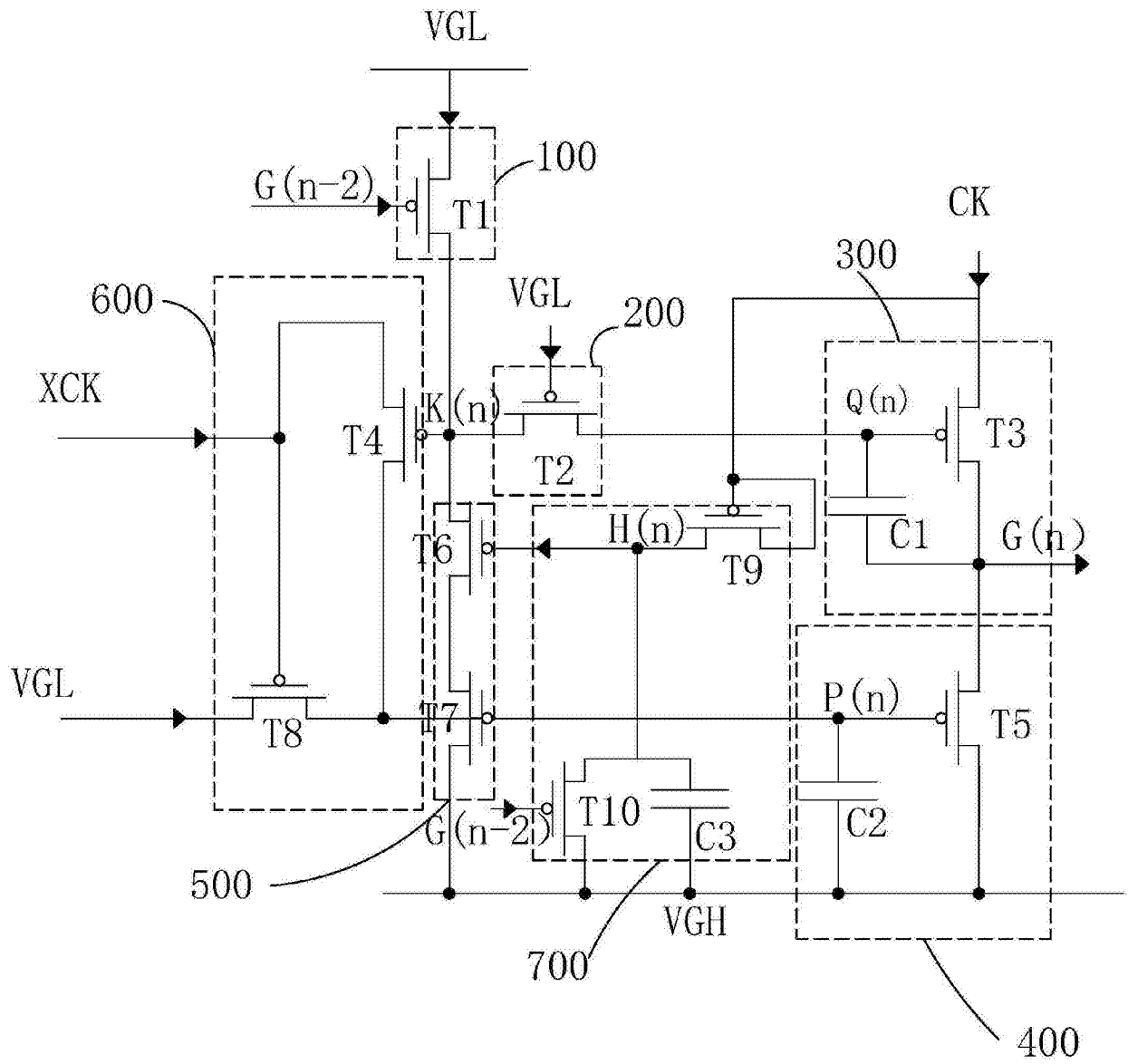


图9

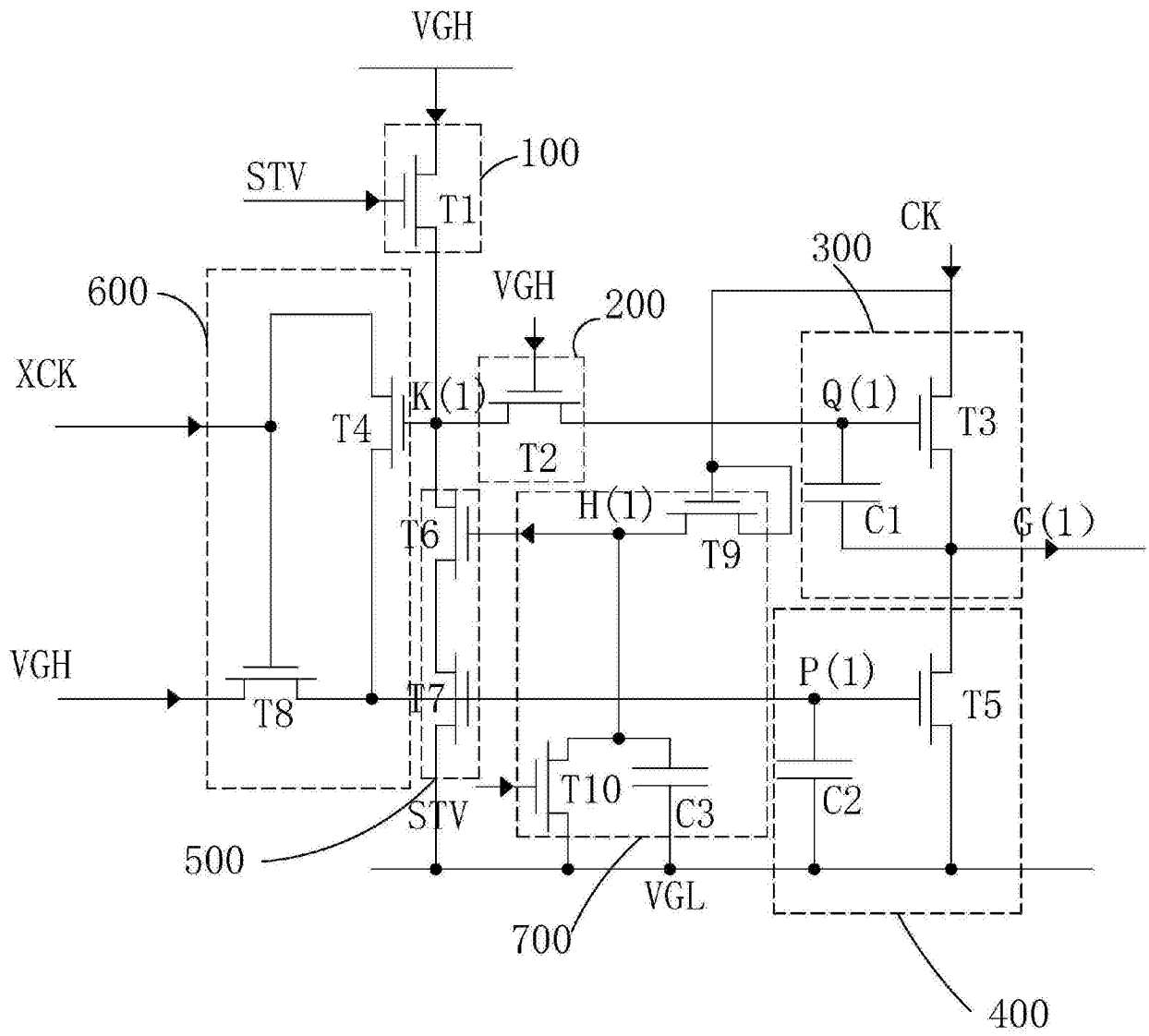


图10

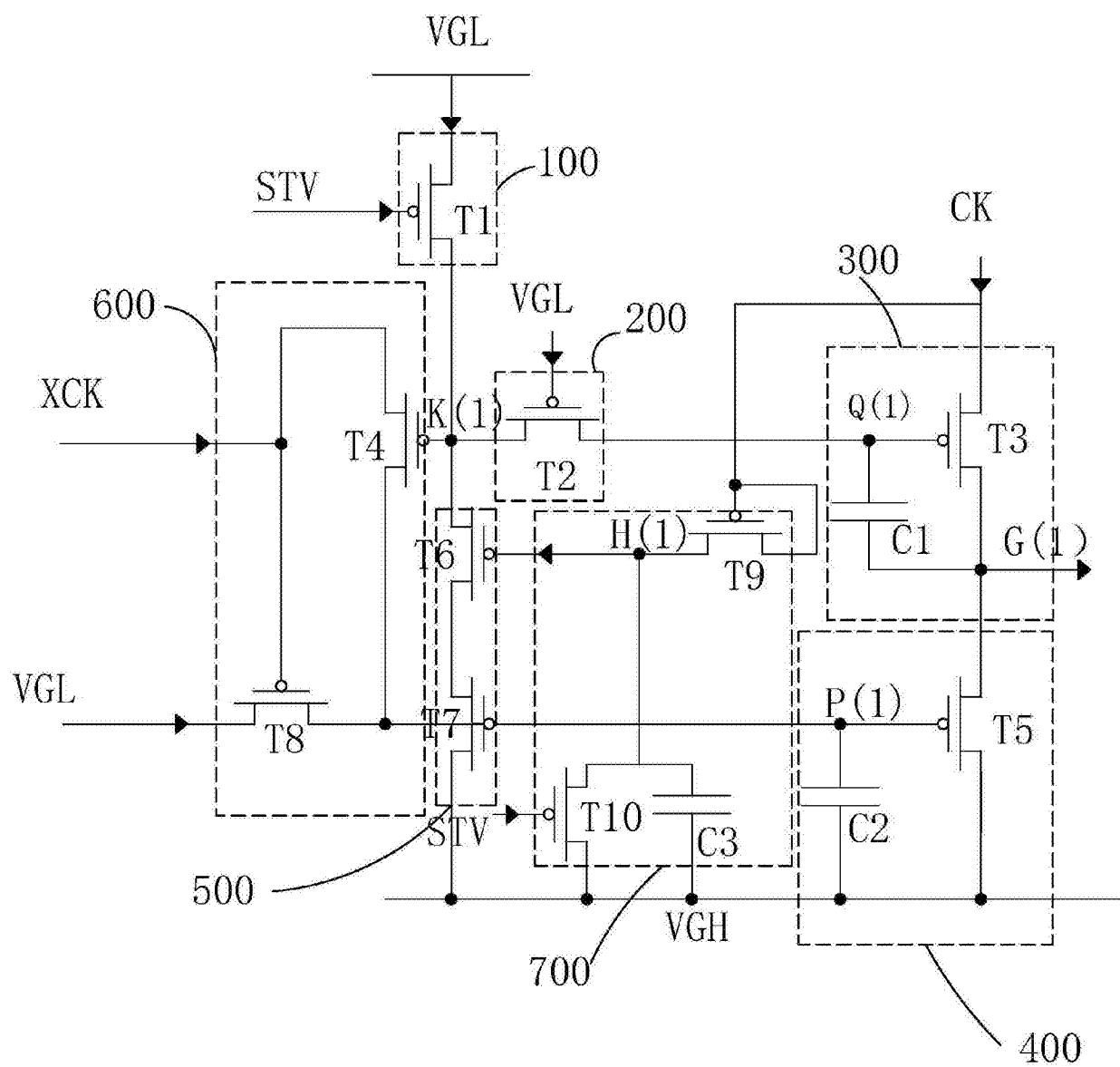


图 11

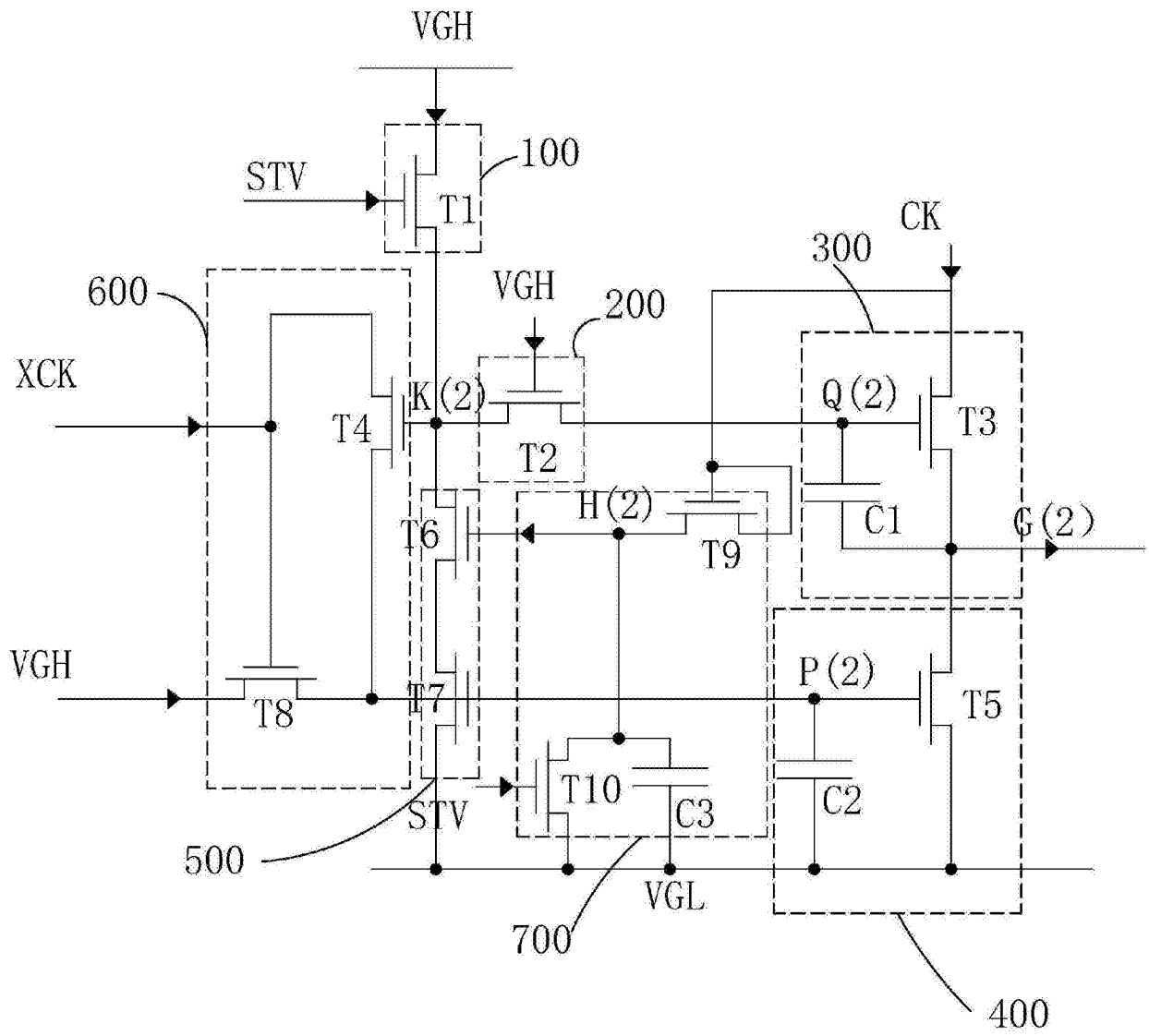


图12

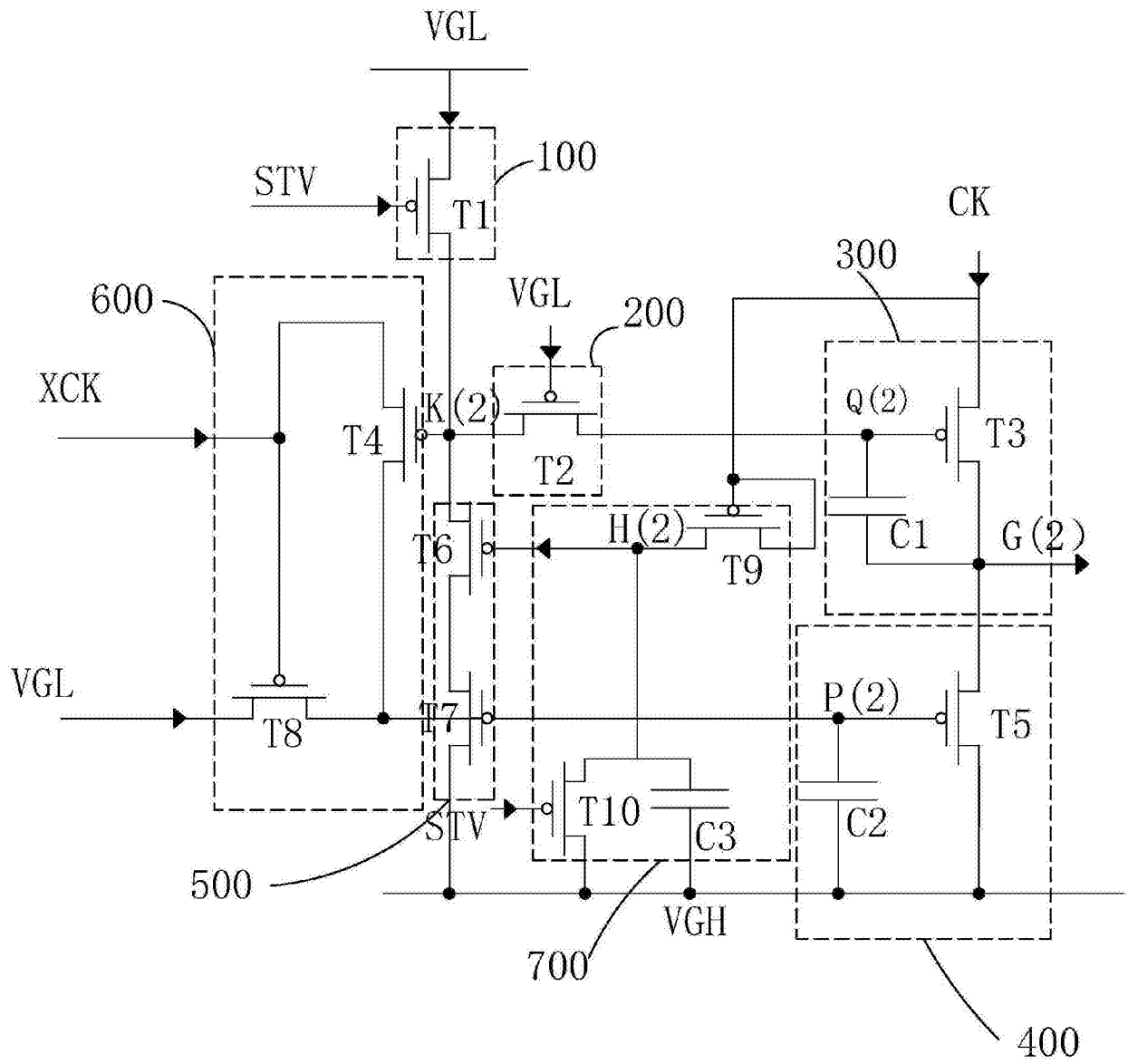


图13

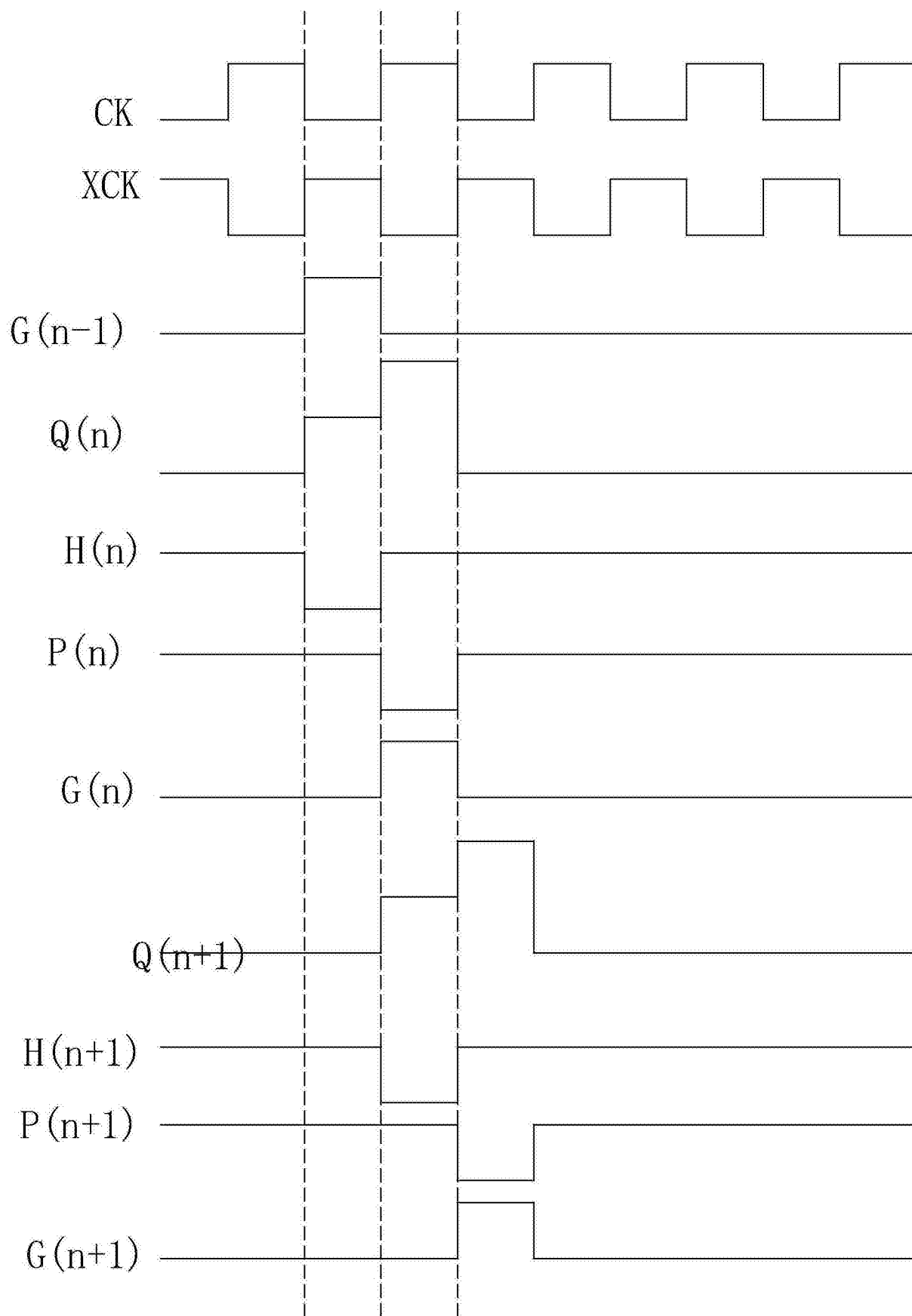


图14

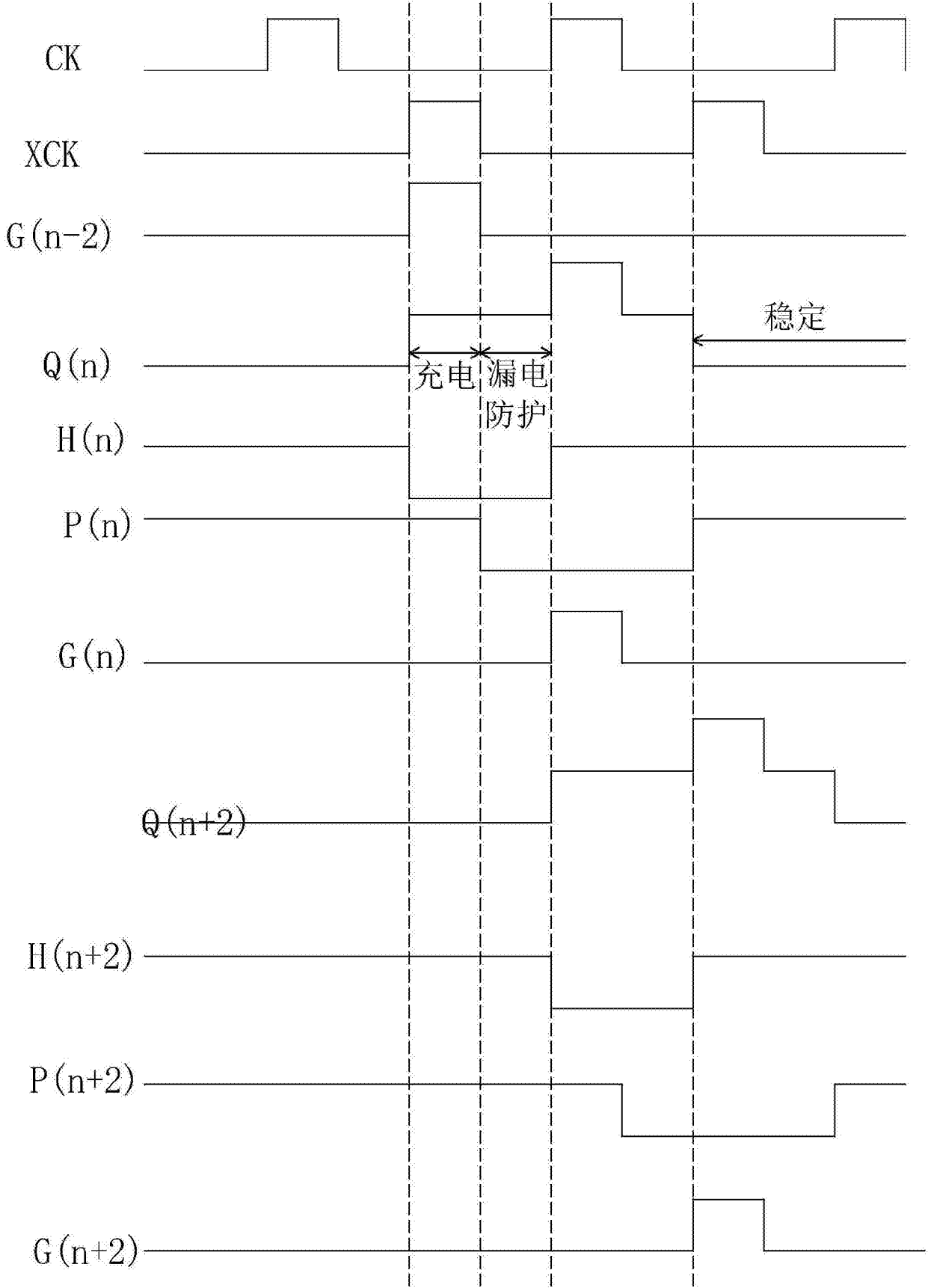


图15

专利名称(译)	用于窄边框液晶显示面板的GOA电路		
公开(公告)号	CN105469761A	公开(公告)日	2016-04-06
申请号	CN201510989189.6	申请日	2015-12-22
[标]申请(专利权)人(译)	武汉华星光电技术有限公司		
申请(专利权)人(译)	武汉华星光电技术有限公司		
当前申请(专利权)人(译)	武汉华星光电技术有限公司		
[标]发明人	赵莽 颜尧		
发明人	赵莽 颜尧		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3674 G02F1/1333 G02F1/1362 G09G3/3677 G09G2310/0286 G11C19/184 G11C19/28 H01L27/1222 H01L27/1237 H01L29/78651 G09G2300/0408		
其他公开文献	CN105469761B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种用于窄边框液晶显示面板的GOA电路，增设了由第九薄膜晶体管(T9)、第十薄膜晶体管(T10)、及第三电容(C3)构成的第一节点漏电防护单元(700)；第九薄膜晶体管(T9)栅极与源极均与输出时钟信号(CK)电性连接，形成二极管结构，在输出期间将第三电容(C3)及第四节点(H(n))充电至高电位，第十薄膜晶体管(T10)在信号级传期间对第四节点(H(n))进行清零处理，保证第一节点(Q(n))的正常充电；该GOA电路既适用于双边驱动逐行扫描架构，又适用于双边驱动隔行扫描架构，在应用于双边驱动隔行扫描架构时，能够防止第一节点漏电，保证电路稳定工作，大幅提高GOA电路的可靠性，且每一边均只设置两条时钟信号，有利于窄边框显示面板的设计。

