



(12) 发明专利申请

(10) 申请公布号 CN 105096900 A

(43) 申请公布日 2015. 11. 25

(21) 申请号 201510613411. 2

(22) 申请日 2015. 09. 23

(71) 申请人 深圳市华星光电技术有限公司

地址 518006 广东省深圳市光明新区塘明大道 9-2 号

申请人 武汉华星光电技术有限公司

(72) 发明人 赵莽

(74) 专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280

代理人 何青瓦

(51) Int. Cl.

G09G 3/36(2006. 01)

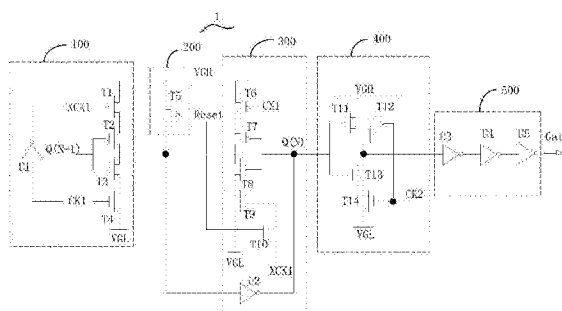
权利要求书3页 说明书7页 附图3页

(54) 发明名称

扫描驱动电路及具有该电路的液晶显示装置

(57) 摘要

本发明公开了一种扫描驱动电路及液晶显示装置,所述扫描驱动电路包括输入模块,对上级控制信号、第一及第二时钟信号进行运算以获得第一控制信号;复位模块,根据复位信号对控制信号点进行清零;锁存模块,对第一控制信号、第一及第二时钟信号进行运算以获得第二控制信号;逻辑处理模块,对第二控制信号及第三时钟信号进行逻辑运算以获得逻辑控制信号;输出模块,对逻辑控制信号进行运算以获得扫描驱动信号;扫描线,接收扫描驱动信号并传输至像素单元,以此实现控制信号点及扫描驱动信号的复位清零,进而避免造成扫描驱动电路的失效。



1. 一种扫描驱动电路,其特征在于,所述扫描驱动电路包括:

输入模块(100),用于接收上级控制信号、第一及第二时钟信号并对所述上级控制信号、所述第一及第二时钟信号进行运算以获得第一控制信号并对所述第一控制信号进行输出;

复位模块(200),连接所述输入模块(100),用于接收复位信号并根据所述复位信号对所述扫描驱动电路的控制信号点进行清零;

锁存模块(300),用于接收所述输入模块(100)输出的第一控制信号及接收所述第一及第二时钟信号并对所述第一控制信号、所述第一及第二时钟信号进行运算以获得第二控制信号并对所述第二控制信号进行锁存及输出;

逻辑处理模块(400),连接所述锁存模块(300),用于接收所述锁存模块(300)输出的第二控制信号及接收第三时钟信号并对所述第二控制信号及所述第三时钟信号进行逻辑运算以获得逻辑控制信号并将所述逻辑控制信号输出;

输出模块(500),连接所述逻辑处理模块(400),用于接收所述逻辑处理模块(400)输出的逻辑控制信号并对所述逻辑控制信号进行运算以获得扫描驱动信号,并将所述扫描驱动信号输出;及

扫描线,连接所述输出模块(500),用于将所述输出模块(500)输出的扫描驱动信号传输至像素单元。

2. 根据权利要求1所述的扫描驱动电路,其特征在于,所述输入模块(100)包括第一至第四可控开关(T1-T4)及第一反相器(U1),所述第一可控开关(T1)的控制端连接所述第一时钟信号,所述第一可控开关(T1)的输入端连接所述开启电压端(VGH),所述第一可控开关(T1)的输出端连接所述第二可控开关(T2)的输入端,所述第二可控开关(T2)的控制端连接所述上级控制信号及所述第三可控开关(T3)的控制端,所述第二可控开关(T2)的输出端连接所述复位模块(200)、所述锁存模块(300)及所述第三可控开关(T3)的输出端,所述第三可控开关(T3)的输入端连接所述第四可控开关(T4)的输出端,所述第四可控开关(T4)的输入端连接关闭电压端(VGL),所述第四可控开关(T4)的控制端连接所述第二时钟信号,所述第一反相器(U1)的输入端连接所述第二时钟信号,所述第一反相器(U1)的输出端连接所述第一时钟信号。

3. 根据权利要求2所述的扫描驱动电路,其特征在于,所述复位模块(200)包括第五可控开关(T5),所述第五可控开关(T5)的控制端连接所述复位信号,所述第五可控开关(T5)的输入端连接所述开启电压端(VGH),所述第五可控开关(T5)的输出端连接所述第二及第三可控开关(T2、T3)的输出端及所述锁存模块(300)。

4. 根据权利要求3所述的扫描驱动电路,其特征在于,所述锁存模块(300)包括第六至第十可控开关(T6-T10)及反相器(U2),所述第六可控开关(T6)的控制端连接所述第二时钟信号,所述第六可控开关(T6)的输入端连接所述开启电压端(VGH),所述第六可控开关(T6)的输出端连接所述第七可控开关(T7)的输入端,所述第七可控开关(T7)的控制端连接所述第八可控开关(T8)的控制端、所述控制信号点及所述逻辑处理模块(400),所述第七可控开关(T7)的输出端连接所述第八可控开关(T8)的输出端、所述第五可控开关(T5)的输出端及所述第二可控开关(T2)的输出端,所述第八可控开关(T8)的输入端连接所述第九可控开关(T9)的输出端,所述第九可控开关(T9)的输入端连接所述关闭电压端

(VGL),所述第九可控开关(T9)的控制端连接所述第十可控开关(T10)的输出端,所述第十可控开关(T10)的控制端连接所述复位信号,所述第十可控开关(T10)的输入端连接所述第一可控开关(XCK1),所述第二反相器(U2)的输入端连接所述第五可控开关(T5)的输出端,所述第二反相器(U2)的输出端连接所述控制信号点、所述第七及第八可控开关(T7、T8)的控制端及所述逻辑处理模块(400)。

5. 根据权利要求3所述的扫描驱动电路,其特征在于,所述锁存模块(300)包括第六至第十可控开关(T6-T10)及第二反相器(U2),所述第六可控开关(T6)的控制端连接所述第二时钟信号,所述第六可控开关(T6)的输入端连接所述开启电压端(VGH),所述第六可控开关(T6)的输出端连接所述第七可控开关(T7)的输入端,所述第七可控开关(T7)的控制端连接所述第八可控开关(T8)的控制端、所述控制信号点及所述逻辑处理模块(400),所述第七可控开关(T7)的输出端连接所述第八可控开关(T8)的输出端、所述第五可控开关(T5)的输出端及所述第二可控开关(T2)的输出端,所述第八可控开关(T8)的输入端连接所述第九可控开关(T9)的输出端,所述第九可控开关(T9)的输入端连接所述第十可控开关(T10)的输入端,所述第九可控开关(T9)的控制端连接所述第一时钟端,所述第十可控开关(T10)的控制端连接所述复位信号,所述第十可控开关(T10)的输入端连接所述关闭电压端(VGL),所述第二反相器(U2)的输入端连接所述第五可控开关(T5)的输出端,所述第二反相器(U2)的输出端连接所述控制信号点、所述第七及第八可控开关(T7、T8)的控制端及所述逻辑处理模块(400)。

6. 根据权利要求3所述的扫描驱动电路,其特征在于,所述锁存模块(300)包括第六至第九可控开关(T6-T9)及与门(Y1),所述第六可控开关(T6)的控制端连接所述第二时钟信号,所述第六可控开关(T6)的输入端连接所述开启电压端(VGH),所述第六可控开关(T6)的输出端连接所述第七可控开关(T7)的输入端,所述第七可控开关(T7)的控制端连接所述第八可控开关(T8)的控制端、所述控制信号点及所述逻辑处理模块(400),所述第七可控开关(T7)的输出端连接所述第八可控开关(T8)的输出端、所述第五可控开关(T5)的输出端及所述第二可控开关(T2)的输出端,所述第八可控开关(T8)的输入端连接所述第九可控开关(T9)的输出端,所述第九可控开关(T9)的输入端连接所述关闭电压端(VGL),所述第九可控开关(T9)的控制端连接所述与门(Y1)的输出端,所述与门(Y1)的第一输入端连接所述复位信号,所述与门(Y1)的第二输入端连接所述第一时钟信号,所述第二反相器的输入端连接所述第五可控开关(T5)的输出端,所述第二反相器(U2)的输出端连接所述控制信号点、所述第七及第八可控开关(T7、T8)的控制端及所述逻辑处理模块(400)。

7. 根据权利要求4或5或6所述的扫描驱动电路,其特征在于,所述逻辑处理模块(400)包括第十一至第十四可控开关(T11-T14),所述第十一可控开关(T11)的输入端连接所述第十二可控开关(T12)的输入端,所述第十一可控开关(T11)的控制端连接所述控制点及所述第十三可控开关(T13)的控制端,所述第十一可控开关(T11)的输出端连接所述第十二可控开关(T12)的输出端、所述输出模块(500)及所述第十三可控开关(T13)的输入端,所述第十二可控开关(T12)的控制端连接所述第三时钟信号及所述第十四可控开关(T14)的控制端,所述第十三可控开关(T13)的输出端连接所述第十四可控开关(T14)的输入端,所述第十四可控开关(T14)的输入端连接所述关闭电压端(VGL)。

8. 根据权利要求7所述的扫描驱动电路,其特征在于,所述输出模块(500)包括第三

至第五反相器 (U3-U5), 所述第三反相器 (U3) 的输入端连接所述第十一及第十三可控开关 (T11、T13) 的输出端, 所述第三反相器 (U3) 的输出端连接所述第四反相器 (U4) 的输入端, 所述第四反相器 (U4) 的输出端连接所述第五反相器 (U5) 的输入端, 所述第五反相器 (U5) 的输出端连接所述扫描线。

9. 根据权利要求 7 所述的扫描驱动电路, 其特征在于, 所述第一可控开关 (T1)、所述第二可控开关 (T2)、所述第五至第七可控开关 (T5-T7)、所述第十一可控开关 (T11) 及所述第十二可控开关 (T12) 为 PMOS 型薄膜晶体管, 所述第三可控开关 (T3)、所述第四可控开关 (T4)、所述第八至第十可控开关 (T8-T10)、所述第十三可控开关 (T13) 及所述第十四可控开关 (T14) 为 NMOS 型薄膜晶体管。

10. 一种液晶显示装置, 其特征在于, 所述液晶显示装置包括如权利要求 1-9 任一所述的扫描驱动电路。

扫描驱动电路及具有该电路的液晶显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别是涉及一种扫描驱动电路及具有该电路的液晶显示装置。

背景技术

[0002] 目前的液晶显示装置中采用扫描驱动电路,也就是利用现有薄膜晶体管液晶显示器阵列制程将扫描驱动电路制作在阵列基板上,实现对逐行扫描的驱动方式。现有的扫描驱动电路在工作之前需要利用复位信号对控制信号点及扫描驱动信号进行复位清零,如果控制信号点在上一帧工作时有正电荷的残留,那么会造成控制信号点维持高电平,使得控制信号点控制的薄膜晶体管与复位信号控制的薄膜晶体管形成竞争,造成复位信号不能正常工作,控制信号点及扫描驱动信号不能进行正常的复位清零,进而可能造成扫描驱动电路失效。

发明内容

[0003] 本发明主要解决的技术问题是提供一种扫描驱动电路及具有该电路的液晶显示装置,能够实现控制信号点及扫描驱动信号的复位清零,避免造成扫描驱动电路的失效。

[0004] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种扫描驱动电路,包括:

[0005] 输入模块,用于接收上级控制信号、第一及第二时钟信号并对所述上级控制信号、所述第一及第二时钟信号进行运算以获得第一控制信号并对所述第一控制信号进行输出;

[0006] 复位模块,连接所述输入模块,用于接收复位信号并根据所述复位信号对所述扫描驱动电路的控制信号点进行清零;

[0007] 锁存模块,用于接收所述输入模块输出的第一控制信号及接收所述第一及第二时钟信号并对所述第一控制信号、所述第一及第二时钟信号进行运算以获得第二控制信号并对所述第二控制信号进行锁存及输出;

[0008] 逻辑处理模块,连接所述锁存模块,用于接收所述锁存模块输出的第二控制信号及接收第三时钟信号并对所述第二控制信号及所述第三时钟信号进行逻辑运算以获得逻辑控制信号并将所述逻辑控制信号输出;

[0009] 输出模块,连接所述逻辑处理模块,用于接收所述逻辑处理模块输出的逻辑控制信号并对所述逻辑控制信号进行运算以获得扫描驱动信号,并将所述扫描驱动信号输出;

[0010] 扫描线,连接所述输出模块,用于将所述输出模块输出的扫描驱动信号传输至像素单元。

[0011] 其中,所述输入模块包括第一至第四可控开关及第一反相器,所述第一可控开关的控制端连接所述第一时钟信号,所述第一可控开关的输入端连接所述开启电压端,所述

第一可控开关的输出端连接所述第二可控开关的输入端,所述第二可控开关的控制端连接所述上级控制信号及所述第三可控开关的控制端,所述第二可控开关的输出端连接所述复位模块、所述锁存模块及所述第三可控开关的输出端,所述第三可控开关的输入端连接所述第四可控开关的输出端,所述第四可控开关的输入端连接关闭电压端,所述第四可控开关的控制端连接所述第二时钟信号,所述第一反相器的输入端连接所述第二时钟信号,所述第一反相器的输出端连接所述第一时钟信号。

[0012] 其中,所述复位模块包括第五可控开关,所述第五可控开关的控制端连接所述复位信号,所述第五可控开关的输入端连接所述开启电压端,所述第五可控开关的输出端连接所述第二及第三可控开关的输出端及所述锁存模块。

[0013] 其中,所述锁存模块包括第六至第十可控开关及反相器,所述第六可控开关的控制端连接所述第二时钟信号,所述第六可控开关的输入端连接所述开启电压端,所述第六可控开关的输出端连接所述第七可控开关的输入端,所述第七可控开关的控制端连接所述第八可控开关的控制端、所述控制信号点及所述逻辑处理模块,所述第七可控开关的输出端连接所述第八可控开关的输出端、所述第五可控开关的输出端及所述第二可控开关的输出端,所述第八可控开关的输入端连接所述第九可控开关的输出端,所述第九可控开关的输入端连接所述关闭电压端,所述第九可控开关的控制端连接所述第十可控开关的输出端,所述第十可控开关的控制端连接所述复位信号,所述第十可控开关的输入端连接所述第一可控开关,所述第二反相器的输入端连接所述第五可控开关的输出端,所述第二反相器的输出端连接所述控制信号点、所述第七及第八可控开关的控制端及所述逻辑处理模块。

[0014] 其中,所述锁存模块包括第六至第十可控开关及第二反相器,所述第六可控开关的控制端连接所述第二时钟信号,所述第六可控开关的输入端连接所述开启电压端,所述第六可控开关的输出端连接所述第七可控开关的输入端,所述第七可控开关的控制端连接所述第八可控开关的控制端、所述控制信号点及所述逻辑处理模块,所述第七可控开关的输出端连接所述第八可控开关的输出端、所述第五可控开关的输出端及所述第二可控开关的输出端,所述第八可控开关的输入端连接所述第九可控开关的输出端,所述第九可控开关的输入端连接所述第十可控开关的输入端,所述第九可控开关的控制端连接所述第一时钟端,所述第十可控开关的控制端连接所述复位信号,所述第十可控开关的输入端连接所述关闭电压端,所述第二反相器的输入端连接所述第五可控开关的输出端,所述第二反相器的输出端连接所述控制信号点、所述第七及第八可控开关的控制端及所述逻辑处理模块。

[0015] 其中,所述锁存模块包括第六至第九可控开关及与门,所述第六可控开关的控制端连接所述第二时钟信号,所述第六可控开关的输入端连接所述开启电压端,所述第六可控开关的输出端连接所述第七可控开关的输入端,所述第七可控开关的控制端连接所述第八可控开关的控制端、所述控制信号点及所述逻辑处理模块,所述第七可控开关的输出端连接所述第八可控开关的输出端、所述第五可控开关的输出端及所述第二可控开关的输出端,所述第八可控开关的输入端连接所述第九可控开关的输出端,所述第九可控开关的输入端连接所述关闭电压端,所述第九可控开关的控制端连接所述与门的输出端,所述与门的第一输入端连接所述复位信号,所述与门的第二输入端连接所述第一时钟信号,所述第

二反相器的输入端连接所述第五可控开关的输出端,所述第二反相器的输出端连接所述控制信号点、所述第七及第八可控开关的控制端及所述逻辑处理模块。

[0016] 其中,所述逻辑处理模块包括第十一至第十四可控开关,所述第十一可控开关的输入端连接所述第十二可控开关的输入端,所述第十一可控开关的控制端连接所述控制点及所述第十三可控开关的控制端,所述第十一可控开关的输出端连接所述第十二可控开关的输出端、所述输出模块及所述第十三可控开关的输入端,所述第十二可控开关的控制端连接所述第三时钟信号及所述第十四可控开关的控制端,所述第十三可控开关的输出端连接所述第十四可控开关的输入端,所述第十四可控开关的输入端连接所述关闭电压端。

[0017] 其中,所述输出模块包括第三至第五反相器,所述第三反相器的输入端连接所述第十一及第十三可控开关的输出端,所述第三反相器的输出端连接所述第四反相器的输入端,所述第四反相器的输出端连接所述第五反相器的输入端,所述第五反相器的输出端连接所述扫描线。

[0018] 其中,所述第一可控开关、所述第二可控开关、所述第五至第七可控开关、所述第十一可控开关及所述第十二可控开关为 PMOS 型薄膜晶体管,所述第三可控开关、所述第四可控开关、所述第八至第十可控开关、所述第十三可控开关及所述第十四可控开关为 NMOS 型薄膜晶体管。

[0019] 为解决上述技术问题,本发明采用的另一个技术方案是:提供一种液晶显示装置,包括如上所述任一所述的扫描驱动电路。

[0020] 本发明的有益效果是:区别于现有技术的情况,本发明的扫描驱动电路在所述复位模块工作时,所述复位信号为低电平,从而控制所述第五可控开关导通,所述此时无论所述控制信号点及所述第一时钟信号的电位如何,均能使得所述关闭电压端不被提供给所述控制信号点,以此实现所述控制信号点及所述扫描驱动信号的复位清零,进而避免造成所述扫描驱动电路的失效。

附图说明

[0021] 图 1 是本发明的第一实施例的扫描驱动电路的结构示意图;

[0022] 图 2 是本发明的第二实施例的扫描驱动电路的结构示意图;

[0023] 图 3 是本发明的第三实施例的扫描驱动电路的结构示意图;

[0024] 图 4 是本发明的扫描驱动电路避免竞争风险点的工作时序图;

[0025] 图 5 是本发明的扫描驱动电路的工作时序图;

[0026] 图 6 是本发明的液晶显示装置的示意图。

具体实施方式

[0027] 请参阅图 1,是本发明第一实施例的扫描驱动电路的结构示意图。如图 1 所示,本发明的扫描驱动电路 1 包括输入模块 100,用于接收上级控制信号、第一及第二时钟信号并对所述上级控制信号、所述第一及第二时钟信号进行运算以获得第一控制信号并对所述第一控制信号进行输出;复位模块 200,连接所述输入模块 100,用于接收复位信号并根据所述复位信号对所述扫描驱动电路的控制信号点进行清零;锁存模块 300,用于接收所述输入模块 100 输出的第一控制信号及接收所述第一及第二时钟信号并对所述第一控制信号、

所述第一及第二时钟信号进行运算以获得第二控制信号并对所述第二控制信号进行锁存及输出;逻辑处理模块 400,连接所述锁存模块 300,用于接收所述锁存模块 300 输出的第二控制信号及接收第三时钟信号并对所述第二控制信号及所述第三时钟信号进行逻辑运算以获得逻辑控制信号并将所述逻辑控制信号输出;输出模块 500,连接所述逻辑处理模块 400,用于接收所述逻辑处理模块 400 输出的逻辑控制信号并对所述逻辑控制信号进行运算以获得扫描驱动信号,并将所述扫描驱动信号输出;及扫描线,连接所述输出模块 500,用于将所述输出模块 500 输出的扫描驱动信号传输至像素单元。

[0028] 所述输入模块 100 包括第一至第四可控开关 T1-T4 及第一反相器 U1,所述第一可控开关 T1 的控制端连接所述第一时钟信号,所述第一可控开关 T1 的输入端连接所述开启电压端 VGH,所述第一可控开关 T1 的输出端连接所述第二可控开关 T2 的输入端,所述第二可控开关 T2 的控制端连接所述上级控制信号及所述第三可控开关 T3 的控制端,所述第二可控开关 T2 的输出端连接所述复位模块 200、所述锁存模块 300 及所述第三可控开关 T3 的输出端,所述第三可控开关 T3 的输入端连接所述第四可控开关 T4 的输出端,所述第四可控开关 T4 的输入端连接关闭电压端 VGL,所述第四可控开关 T4 的控制端连接所述第二时钟信号,所述第一反相器 U1 的输入端连接所述第二时钟信号,所述第一反相器 U1 的输出端连接所述第一时钟信号。

[0029] 所述复位模块 200 包括第五可控开关 T5,所述第五可控开关 T5 的控制端连接所述复位信号,所述第五可控开关 T5 的输入端连接所述开启电压端 VGH,所述第五可控开关 T5 的输出端连接所述第二及第三可控开关 T2、T3 的输出端及所述锁存模块 300。

[0030] 所述锁存模块 300 包括第六至第十可控开关 T6-T10 及反相器 U2,所述第六可控开关 T6 的控制端连接所述第二时钟信号,所述第六可控开关 T6 的输入端连接所述开启电压端 VGH,所述第六可控开关 T6 的输出端连接所述第七可控开关 T7 的输入端,所述第七可控开关 T7 的控制端连接所述第八可控开关 T8 的控制端、所述控制信号点及所述逻辑处理模块 400,所述第七可控开关 T7 的输出端连接所述第八可控开关 T8 的输出端、所述第五可控开关 T5 的输出端及所述第二可控开关 T2 的输出端,所述第八可控开关 T8 的输入端连接所述第九可控开关 T9 的输出端,所述第九可控开关 T9 的输入端连接所述关闭电压端 VGL,所述第九可控开关 T9 的控制端连接所述第十可控开关 T10 的输出端,所述第十可控开关 T10 的控制端连接所述复位信号,所述第十可控开关 T10 的输入端连接所述第一可控开关 XCK1,所述第二反相器 U2 的输入端连接所述第五可控开关 T5 的输出端,所述第二反相器 U2 的输出端连接所述控制信号点、所述第七及第八可控开关 T7、T8 的控制端及所述逻辑处理模块 400。

[0031] 所述逻辑处理模块 400 包括第十一至第十四可控开关 T11-T14,所述第十一可控开关 T11 的输入端连接所述第十二可控开关 T12 的输入端,所述第十一可控开关 T11 的控制端连接所述控制点及所述第十三可控开关 T13 的控制端,所述第十一可控开关 T11 的输出端连接所述第十二可控开关 T12 的输出端、所述输出模块 500 及所述第十三可控开关 T13 的输入端,所述第十二可控开关 T12 的控制端连接所述第三时钟信号及所述第十四可控开关 T14 的控制端,所述第十三可控开关 T13 的输出端连接所述第十四可控开关 T14 的输入端,所述第十四可控开关 T14 的输入端连接所述关闭电压端 VGL。

[0032] 所述输出模块 500 包括第三至第五反相器 U3-U5,所述第三反相器 U3 的输入端连

接所述第十一及第十三可控开关 T11、T13 的输出端,所述第三反相器 U3 的输出端连接所述第四反相器 U4 的输入端,所述第四反相器 U4 的输出端连接所述第五反相器 U5 的输入端,所述第五反相器 U5 的输出端连接所述扫描线。

[0033] 所述实施例中仅以一个扫描驱动电路为例进行说明,其中,所述上级控制信号为上级控制信号 Q(N-1),所述第一时钟信号为第一时钟信号 XCK1,所述第二时钟信号为第二时钟信号 CK1,所述复位信号为复位信号 Reset,所述第三时钟信号为第三时钟信号 CK2,所述控制信号点为控制信号点 Q(N),所述扫描线为扫描线 Gate。

[0034] 所述第一实施例的扫描驱动电路 1 的工作原理如下:

[0035] 当所述复位模块 200 工作时,所述复位信号 Reset 为低电平,所述第五可控开关 T5 的控制端接收所述低电平信号而导通,所述第十可控开关 T10 的控制端接收所述低电平信号而截止,所述第一时钟信号 XCK1 的高电平不能作用于所述第九可控开关 T9 的控制端,所述第九可控开关 T9 截止,此时即使所述控制点 Q(N) 的高电平控制所述第八可控开关 T8 导通,所述关闭电压端 VGL 也不能被提供到所述控制信号点 Q(N),因此所述控制信号点 Q(N) 的高电平不会影响所述复位信号 Reset 的正常工作,所述控制信号点 Q(N) 会在所述复位信号 Reset 的低平来临时变成低电位,从而对所述控制信号点 Q(N) 点及所述扫描驱动信号完成复位清零。

[0036] 请参阅图 2,是本发明第二实施例的扫描驱动电路的结构示意图。如图 2 所示,所述第二实施例的扫描驱动电路与所述第一实施例的扫描驱动电路的区别之处在于:所述锁存模块 300 包括第六至第十可控开关 T6-T10 及第二反相器 U2,所述第六可控开关 T6 的控制端连接所述第二时钟信号,所述第六可控开关 T6 的输入端连接所述开启电压端 VGH,所述第六可控开关 T6 的输出端连接所述第七可控开关 T7 的输入端,所述第七可控开关 T7 的控制端连接所述第八可控开关 T8 的控制端、所述控制信号点及所述逻辑处理模块 400,所述第七可控开关 T7 的输出端连接所述第八可控开关 T8 的输出端、所述第五可控开关 T5 的输出端及所述第二可控开关 T2 的输出端,所述第八可控开关 T8 的输入端连接所述第九可控开关 T9 的输出端,所述第九可控开关 T9 的输入端连接所述第十可控开关 T10 的输入端,所述第九可控开关 T9 的控制端连接所述第一时钟端,所述第十可控开关 T10 的控制端连接所述复位信号,所述第十可控开关 T10 的输入端连接所述关闭电压端 VGL,所述第二反相器 U2 的输入端连接所述第五可控开关 T5 的输出端,所述第二反相器 U2 的输出端连接所述控制信号点、所述第七及第八可控开关 T7、T8 的控制端及所述逻辑处理模块 400。

[0037] 所述第二实施例的扫描驱动电路 1 的工作原理如下:

[0038] 当所述复位模块 200 工作时,所述复位信号 Reset 为低电平,所述第五可控开关 T5 的控制端接收所述低电平信号而导通,所述第十可控开关 T10 的控制端接收所述低电平信号而截止,此时即使所述控制信号点 Q(N) 及所述第一时钟信号 XCK1 的高电平控制所述第八可控开关 T8 及所述第九可控开关 T9 导通,所述关闭电压端 VGL 也不能被提供到所述控制信号点 Q(N),因此所述控制信号点 Q(N) 的高电平不会影响所述复位信号 Reset 的正常工作,所述控制信号点 Q(N) 会在所述复位信号 Reset 的低平来临时变成低电位,从而对所述控制信号点 Q(N) 点及所述扫描驱动信号完成复位清零。

[0039] 请参阅图 3,是本发明第三实施例的扫描驱动电路的结构示意图。如图 3 所示,所述第三实施例的扫描驱动电路与所述第一实施例的扫描驱动电路的区别之处在于:所述锁

存模块 300 包括第六至第九可控开关 T6-T9 及与门 Y1, 所述第六可控开关 T6 的控制端连接所述第二时钟信号, 所述第六可控开关 T6 的输入端连接所述开启电压端 VGH, 所述第六可控开关 T6 的输出端连接所述第七可控开关 T7 的输入端, 所述第七可控开关 T7 的控制端连接所述第八可控开关 T8 的控制端、所述控制信号点及所述逻辑处理模块 400, 所述第七可控开关 T7 的输出端连接所述第八可控开关 T8 的输出端、所述第五可控开关 T5 的输出端及所述第二可控开关 T2 的输出端, 所述第八可控开关 T8 的输入端连接所述第九可控开关 T9 的输出端, 所述第九可控开关 T9 的输入端连接所述关闭电压端 VGL, 所述第九可控开关 T9 的控制端连接所述与门 Y1 的输出端, 所述与门 Y1 的第一输入端连接所述复位信号, 所述与门 Y1 的第二输入端连接所述第一时钟信号, 所述第二反相器的输入端连接所述第五可控开关 T5 的输出端, 所述第二反相器 U2 的输出端连接所述控制信号点、所述第七及第八可控开关 T7、T8 的控制端及所述逻辑处理模块 400。

[0040] 所述第三实施例的扫描驱动电路 1 的工作原理如下：

[0041] 当所述复位模块 200 工作时, 所述复位信号 Reset 为低电平, 所述第五可控开关 T5 的控制端接收所述低电平信号而导通, 所述与门 Y1 的第一输入端接收所述低电平信号, 此时无论所述与门 Y1 的第二输入端接收到的所述第一时钟信号 XCK1 为高电平或低电平, 所述与门 Y1 的输出端都输出低电平信号给所述第九可控开关 T9 的控制端, 以控制所述第九可控开关 T9 截止, 此时即使所述控制信号点 Q(N) 的高电平控制所述第八可控开关 T8 导通, 所述关闭电压端 VGL 也不能被提供到所述控制信号点 Q(N), 因此所述控制信号点 Q(N) 的高电平不会影响所述复位信号 Reset 的正常工作, 所述控制信号点 Q(N) 会在所述复位信号 Reset 的低平来临时变成低电位, 从而对所述控制信号点 Q(N) 点及所述扫描驱动信号完成复位清零。

[0042] 所述第一可控开关 T1、所述第二可控开关 T2、所述第五至第七可控开关 T5-T7、所述第十一可控开关 T11 及所述第十二可控开关 T12 为 PMOS 型薄膜晶体管, 所述第三可控开关 T3、所述第四可控开关 T4、所述第八至第十可控开关 T8-T10、所述第十三可控开关 T13 及所述第十四可控开关 T14 为 NMOS 型薄膜晶体管。

[0043] 请参阅图 4 及图 5, 图 4 是本发明扫描驱动电路 1 避免竞争风险点的时序图。图 5 是本发明扫描驱动电路 1 的工作时序图。根据图 4 及图 5 分析可知, 在所述复位模块 200 工作时, 所述复位信号 Reset 为低电平, 因此所述关闭电压端 VGL 不会被提供给所述控制信号点 Q(N) (即不存在竞争关系), 控制信号点 Q(N) 和扫描驱动信号能够进行正常的下拉, 在所述扫描驱动电路 1 正常工作前, 所有工作点的状态都能保持在正常的电位, 因此所述扫描驱动电路 1 不会出现失效的风险。

[0044] 请参阅图 6, 为本发明一种液晶显示装置的示意图。所述液晶显示装置包括前述的扫描驱动电路 1, 所述扫描驱动电路 1 设置在所述液晶显示装置的两端。

[0045] 本发明的扫描驱动电路在所述复位模块工作时, 所述复位信号为低电平, 从而控制所述第五可控开关导通, 所述此时无论所述控制信号点及所述第一时钟信号的电位如何, 均能使得所述关闭电压端不被提供给所述控制信号点, 以此实现所述控制信号点及所述扫描驱动信号的复位清零, 进而避免造成所述扫描驱动电路的失效。

[0046] 以上所述仅为本发明的实施方式, 并非因此限制本发明的专利范围, 凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换, 或直接或间接运用在其他相关的

技术领域,均同理包括在本发明的专利保护范围内。

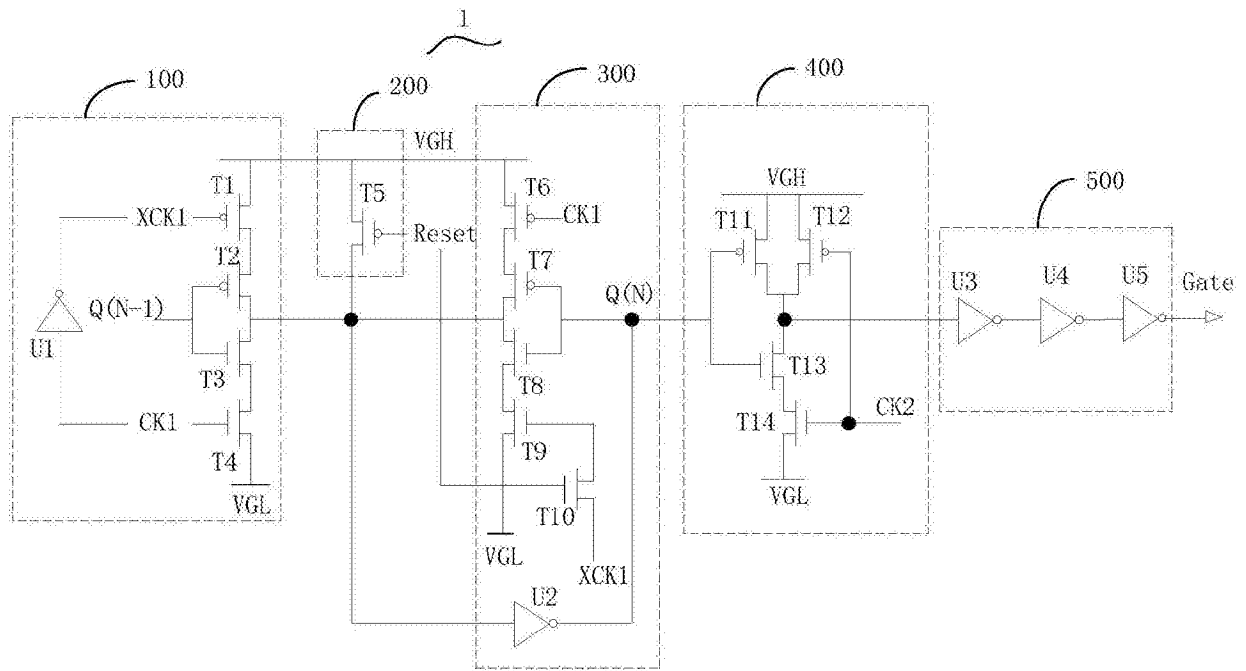


图 1

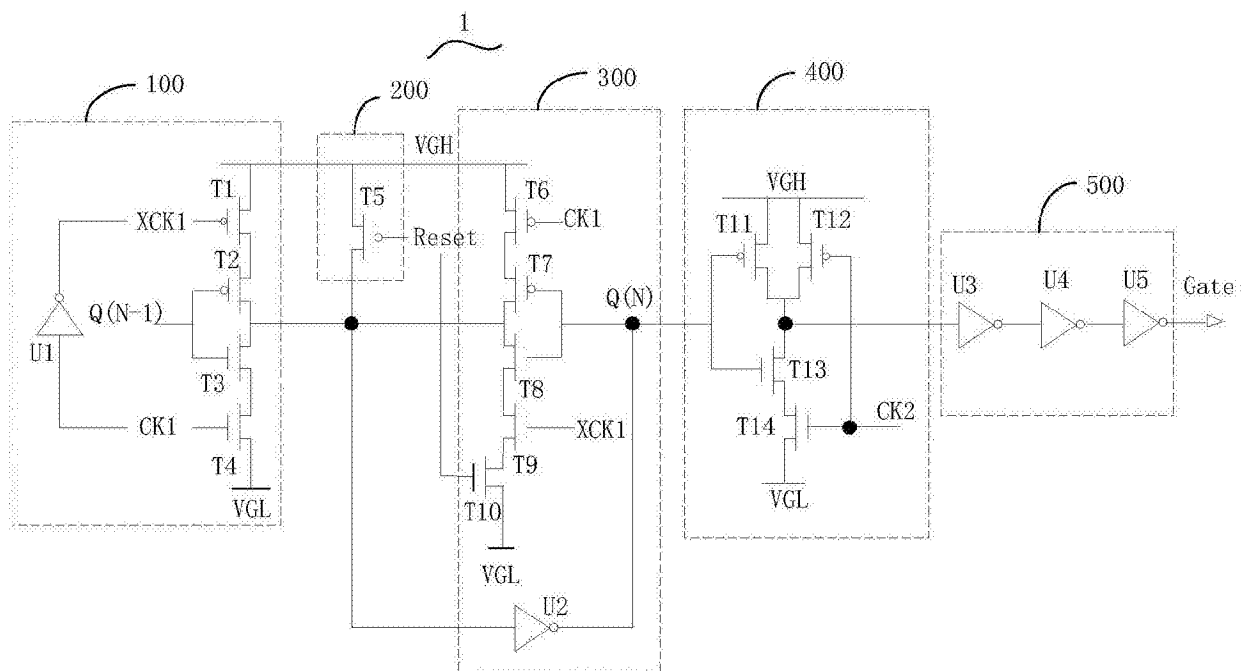


图 2

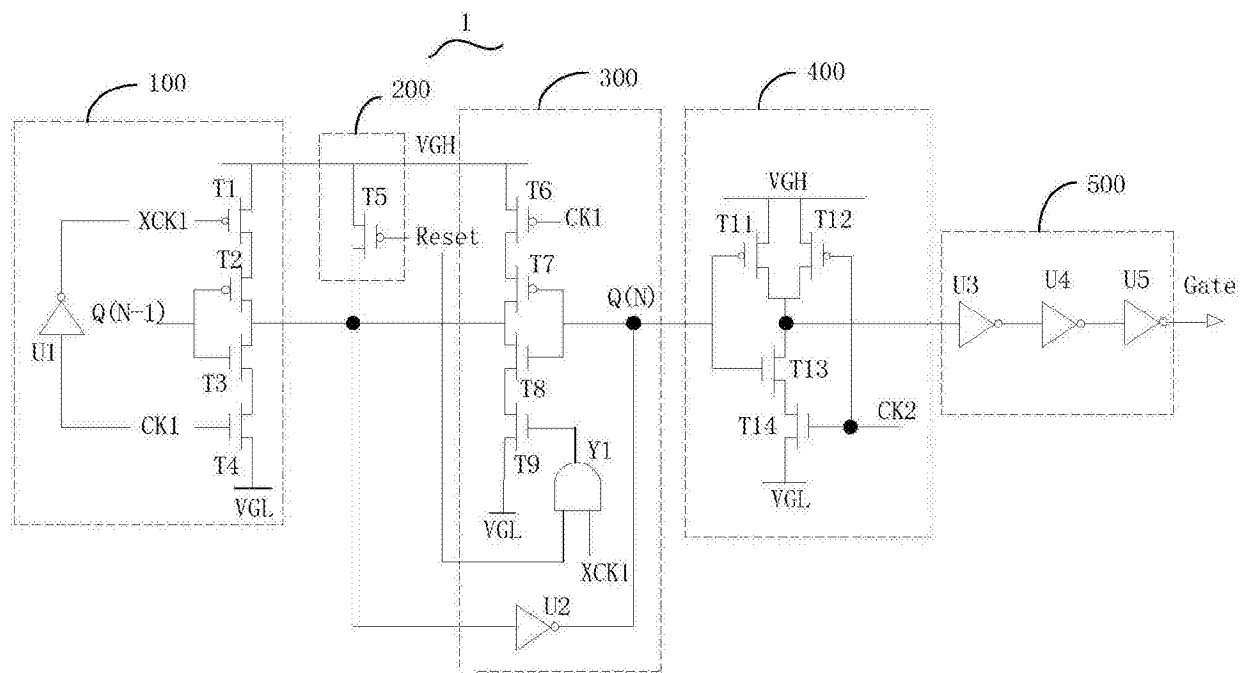


图 3

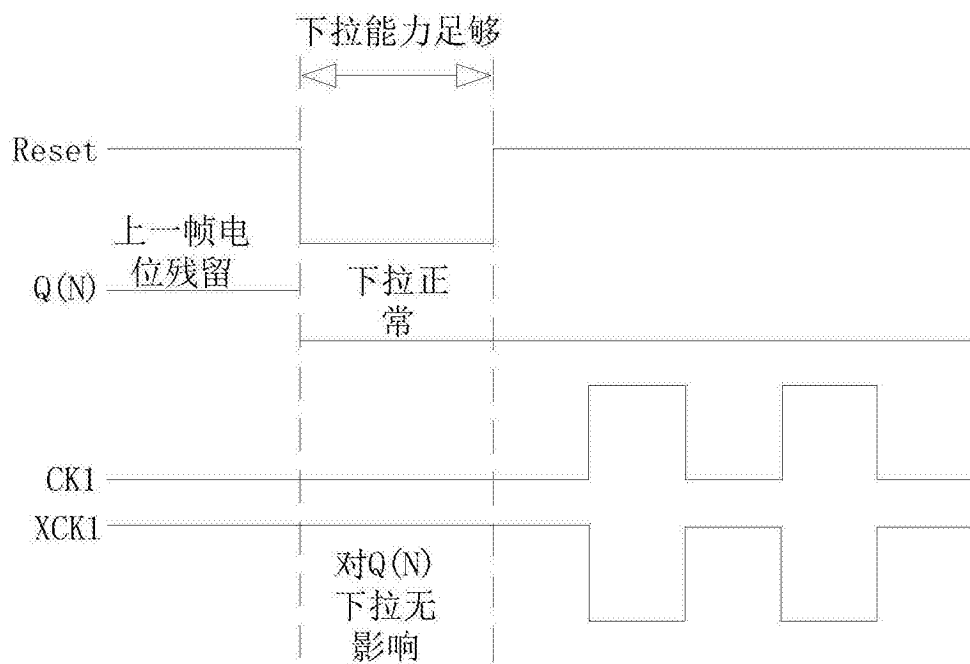


图 4

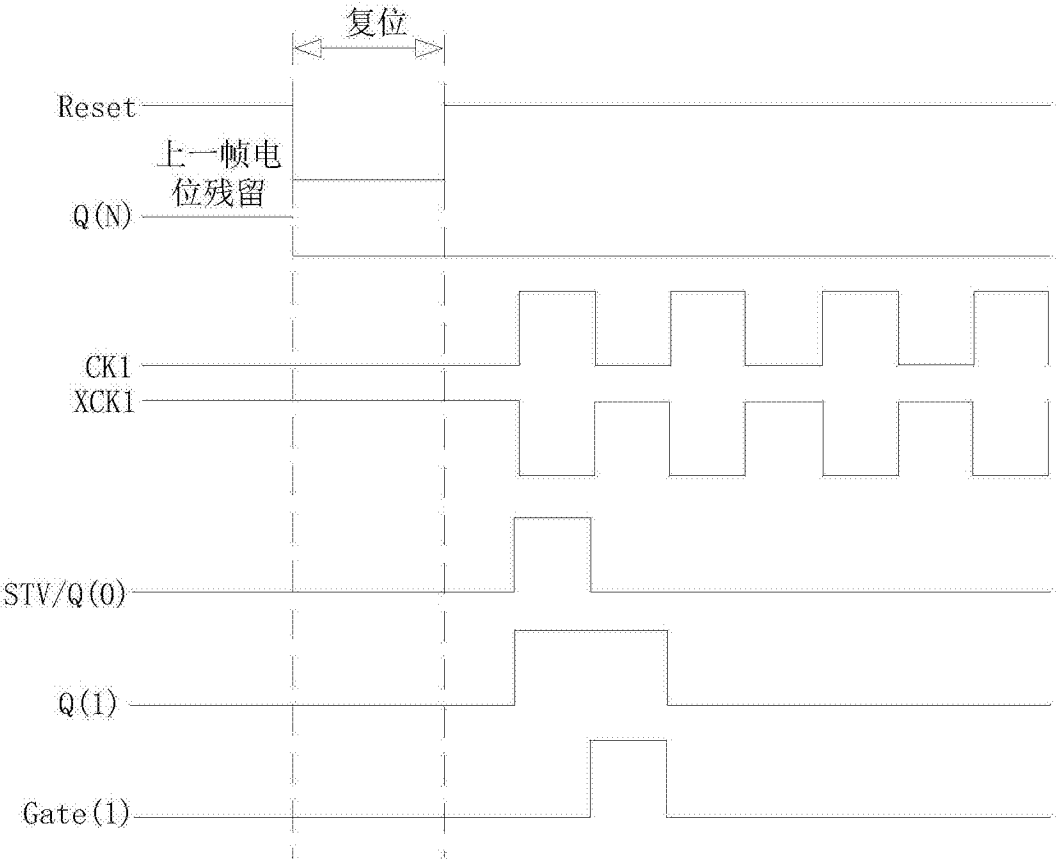


图 5



图 6

专利名称(译)	扫描驱动电路及具有该电路的液晶显示装置		
公开(公告)号	CN105096900A	公开(公告)日	2015-11-25
申请号	CN201510613411.2	申请日	2015-09-23
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
[标]发明人	赵莽		
发明人	赵莽		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G3/3696 G09G2300/0871 G09G2310/0243 G09G2310/0281 G09G2310/0286 G09G2310/0291 G09G2310/08		
其他公开文献	CN105096900B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种扫描驱动电路及液晶显示装置，所述扫描驱动电路包括输入模块，对上级控制信号、第一及第二时钟信号进行运算以获得第一控制信号；复位模块，根据复位信号对控制信号点进行清零；锁存模块，对第一控制信号、第一及第二时钟信号进行运算以获得第二控制信号；逻辑处理模块，对第二控制信号及第三时钟信号进行逻辑运算以获得逻辑控制信号；输出模块，对逻辑控制信号进行运算以获得扫描驱动信号；扫描线，接收扫描驱动信号并传输至像素单元，以此实现控制信号点及扫描驱动信号的复位清零，进而避免造成扫描驱动电路的失效。

