



(12) 发明专利申请

(10) 申请公布号 CN 104183225 A

(43) 申请公布日 2014. 12. 03

(21) 申请号 201410401591. 3

(22) 申请日 2014. 08. 15

(71) 申请人 上海天马微电子有限公司

地址 201201 上海市浦东新区汇庆路 889 号

申请人 天马微电子股份有限公司

(72) 发明人 李军 王桂才 周井雄 张露

(51) Int. Cl.

G09G 3/36(2006. 01)

G11C 19/28(2006. 01)

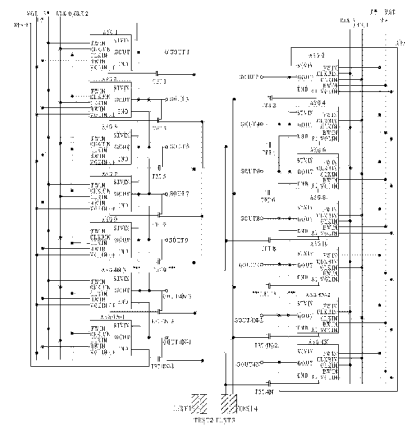
权利要求书2页 说明书10页 附图6页

(54) 发明名称

一种驱动装置、阵列基板和显示装置

(57) 摘要

本发明公开了一种驱动装置,包括多个级联的移位寄存器,多个检测开关,多个检测端;所述多个检测开关的控制端分别与所述多个移位寄存器电连接,所述多个检测开关的第一极分别与所述多个移位寄存器的信号输出端电连接,至少间隔一级的所述检测开关的第二极之间电连接并共同连接到同一检测端,每个所述检测端依次接收所述移位寄存器的数据信号。通过每个检测端依次接收到的数据信号,可以直接快速准确的获得异常移位寄存器的位置,为解析液晶显示面板的异常提供有效解决方案。



1. 一种驱动装置,包括多个级联的移位寄存器,多个检测开关,多个检测端;所述多个检测开关的控制端分别与所述多个移位寄存器电连接,所述多个检测开关的第一极分别与所述多个移位寄存器的信号输出端电连接,至少间隔一级的所述检测开关的第二极之间电连接并共同连接到同一检测端,每个所述检测端依次接收所述移位寄存器的数据信号。

2. 如权利要求 1 所述的驱动装置,其特征在于,所述移位寄存器包括上拉信号端,所述上拉信号端与所述测试开关控制端电连接。

3. 如权利要求 1 所述的驱动装置,其特征在于,所述检测开关为薄膜晶体管,所述控制端为所述薄膜晶体管的栅极。

4. 如权利要求 1 所述的驱动装置,其特征在于,所述检测开关包括奇数级检测开关和偶数级检测开关,所述检测端包括第一检测端和第二检测端,至少间隔一级的所述奇数级检测开关第二极之间电连接并共同连接到第一检测端,至少间隔一级的所述偶数级检测开关第二极之间电连接并共同连接到第二检测端。

5. 如权利要求 4 所述的驱动装置,其特征在于,所述移位寄存器包括奇数级移位寄存器和偶数级移位寄存器,每级所述移位寄存器包括触发信号端,所述第一级移位寄存器的触发信号端接收第一初始触发信号,所述奇数级移位寄存器的触发信号端接收上一级奇数级移位寄存器的数据信号,所述第二级移位寄存器的触发信号端接收第二初始触发信号,所述偶数级移位寄存器的触发信号端接收上一级偶数级移位寄存器的数据信号。

6. 如权利要求 5 所述的驱动装置,其特征在于,所述第一检测端包括第一子检测端和第二子检测端,第 $4N-3$ 级检测开关第二极之间电连接并共同连接到第一子检测端,第 $4N-1$ 级检测开关第二极之间电连接并共同连接到第二子检测端;所述第二检测端包括第三子检测端和第四子检测端,第 $4N-2$ 级检测开关第二极之间电连接并共同连接到第四子检测端,第 $4N$ 级检测开关第二极之间电连接并共同连接到第三子检测端。

7. 如权利要求 6 所述的驱动装置,其特征在于,所述第一检测端包括第一子检测端、第二子检测端、第三子检测端和第四子检测端,第 $8N-7$ 级检测开关第二极之间电连接并共同连接到第一子检测端,第 $8N-5$ 级检测开关第二极之间电连接并共同连接到第二子检测端,第 $8N-3$ 级检测开关第二极之间电连接并共同连接到第三子检测端,第 $8N-1$ 级检测开关第二极之间电连接并共同连接到第四子检测端;所述第二检测端包括第五子检测端、第六子检测端、第七子检测端和第八子检测端,第 $8N-6$ 级检测开关第二极之间电连接并共同连接到第五子检测端,第 $8N-4$ 级检测开关第二极之间电连接并共同连接到第六子检测端,第 $8N-2$ 级检测开关第二极之间电连接并共同连接到第七子检测端,第 $8N$ 级检测开关第二极之间电连接并共同连接到第八子检测端。

8. 如权利要求 6 所述的驱动装置,其特征在于,所述奇数级移位寄存器中第 $4N-3$ 级移位寄存器的反向时钟信号端接收第 0 时钟信号,所述时钟信号端接收第 2 时钟信号,第 $4N-1$ 级移位寄存器的反向时钟信号端接收第 2 时钟信号,所述时钟信号端接收第 0 时钟信号;所述偶数级移位寄存器中第 $4N-2$ 级移位寄存器的反向时钟信号端接收第 3 时钟信号,所述时钟信号端接收第 1 时钟信号,第 $4N$ 级移位寄存器的反向时钟信号端接收第 1 时钟信号,所述时钟信号端接收第 3 时钟信号。

9. 如权利要求 7 所述的驱动装置,其特征在于,所述奇数级移位寄存器中第 $8N-7$ 级移位寄存器的反向时钟信号端接收左侧第 0 时钟信号,所述时钟信号端接收左侧第 2 时钟信

号,第 $8N-5$ 级移位寄存器的反向时钟信号端接收左侧第 1 时钟信号,所述时钟信号端接收左侧第 3 时钟信号,第 $8N-3$ 级移位寄存器的反向时钟信号端接收左侧第 2 时钟信号,所述时钟信号端接收左侧第 0 时钟信号,第 $8N-1$ 级移位寄存器的反向时钟信号端接收左侧第 3 时钟信号,所述时钟信号端接收左侧第 1 时钟信号;所述偶数级移位寄存器中第 $8N-6$ 级移位寄存器的反向时钟信号端接收右侧第 0 时钟信号,所述时钟信号端接收右侧第 2 时钟信号,第 $8N-4$ 级移位寄存器的反向时钟信号端接收右侧第 1 时钟信号,所述时钟信号端接收右侧第 3 时钟信号,第 $8N-2$ 级移位寄存器的反向时钟信号端接收右侧第 2 时钟信号,所述时钟信号端接收右侧第 0 时钟信号,第 $8N$ 级移位寄存器的反向时钟信号端接收右侧第 3 时钟信号,所述时钟信号端接收右侧第 1 时钟信号。

10. 一种阵列基板,包括如权利要求 1 至 9 任一项驱动装置。

11. 如权利要求 10 所述的阵列基板,其特征在于,所述阵列基板包括显示区和非显示区,所述驱动装置设置在所述阵列基板非显示区的一侧。

12. 如权利要求 10 所述的阵列基板,其特征在于,所述移位寄存器包括奇数级移位寄存器和偶数级移位寄存器,所述驱动装置中奇数级移位寄存器和其对应的检测开关设置在所述阵列基板非显示区的一侧,所述驱动装置中偶数级移位寄存器和其对应的检测开关设置在所述阵列基板非显示区的另一侧。

13. 如权利要求 10 所述的驱动装置,其特征在于,还包括与所述检测端电连接的检测装置,用于接收检测端输出的检测信号,确定异常移位寄存器的位置。

14. 一种显示装置,包括如权利要求 10 至 13 任一项所述的阵列基板。

一种驱动装置、阵列基板和显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种驱动装置、阵列基板和显示装置。

背景技术

[0002] 液晶显示器 (liquid crystal display, LCD) 或有机发光二极管 (Organic Light-Emitting Diode, OLED) 具有低辐射、体积小及低耗能等优点,已逐渐在部分应用中取代传统的阴极射线管显示器 (Cathode Ray Tube display, CRT),因而被广泛地应用在笔记本电脑、个人数字助理 (Personal Digital Assistant, PDA)、平面电视,或移动电话等信息产品上。传统液晶显示器的方式是利用外部驱动芯片来驱动面板上的芯片以显示图像,但为了减少元件数目并降低制造成本,近年来逐渐发展成将驱动电路结构直接制作于显示面板上,例如采用将栅极驱动电路 (gate driver) 整合于液晶面板 (Gate On Array, GOA) 的技术。

[0003] 通常,在液晶面板的制造过程中,可能会造成栅极驱动电路中的栅极移位寄存器的存在缺陷,因此,会在液晶面板的外围设置检测端用于检测栅极移位寄存器是否存在异常。如图 1 所示,现有技术的栅极驱动电路包括多个级联的栅极移位寄存器 ASG1、ASG2、ASG3...ASG2N-1、ASG2N,栅极移位寄存器 ASG 接收触发信号 STV 和时钟信号 CLK (图中未示出) 等信号,从信号输出端 Gout 输出栅极信号。倒数第二级栅极移位寄存器 ASG2N-1 连接第一测试端 TEST1,接收倒数第二级栅极移位寄存器 ASG2N-1 输出的栅极信号。最后一级栅极移位寄存器 ASG2N 连接第二测试端 TEST2,接收最后一级栅极移位寄存器 ASG2N-1 输出的栅极信号。

[0004] 目前,栅极驱动电路工作异常后的测试分析方法有两种,第一种是测试驱动 IC 输出的栅极移位寄存器 ASG 工作所需要的时钟信号 CLK、触发信号 STV 等信号,推测栅极移位寄存器 ASG 是否损坏。但是,DriverIC 输出的 ASG 工作所需要的时钟信号 CLK、触发信号 STV 等信号并不是液晶显示面板上像素单元工作所需要的直接信号,而只是通过时钟信号 CLK 和触发信号 STV 信号去产生液晶显示面板上像素单元工作的栅极信号,因此,一般测试驱动 IC 输出的栅极移位寄存器 ASG 所需要的各种信号,只能判断驱动 IC 是否工作正常,而不能直接判断液晶显示面板上的栅极移位寄存器 ASG 是否有异常。

[0005] 第二种是直接分析第一测试端 TEST1 和第二测试端 TEST2 接收到的栅极信号,确定栅极移位寄存器 ASG 是否异常。若测试到最后一级或倒数第二级栅极移位寄存器 ASG 的栅极信号存在异常,那么,在这之前的每一级栅极移位寄存器 ASG 都有可能工作异常,但液晶显示面板上的台阶空间有限,不能将每级栅极移位寄存器 ASG 输出的栅极信号都拉到液晶显示面板的台阶上来,测试的局限性很大。同时,还由于多个栅极移位寄存器 ASG 级联在一起后,当某一级栅极移位寄存器 ASG 有轻微损伤,输出的栅极信号失真但仍然能将下一级栅极移位寄存器 ASG 触发,在此级栅极移位寄存器 ASG 之后的所有栅极移位寄存器 ASG 正常工作,此时,测试最后一级或倒数第二级栅极移位寄存器 ASG 的栅极信号的输出也是正常的,此种情况,某一级栅极移位寄存器 ASG 工作异常不能通过测试最后两级的栅极移

位寄存器 ASG 的栅极信号检测出来。

发明内容

[0006] 本发明实施例提供一种驱动装置、阵列基板和显示装置。

[0007] 有鉴于此,本发明实施例提供一种驱动装置,包括多个级联的移位寄存器,多个检测开关,多个检测端;所述多个检测开关的控制端分别与所述多个移位寄存器电连接,所述多个检测开关的第一极分别与所述多个移位寄存器的信号输出端电连接,至少间隔一级的所述检测开关的第二极之间电连接并共同连接到同一检测端,每个所述检测端依次接收所述移位寄存器的数据信号。

[0008] 本发明实施例还提供一种采用该驱动装置的阵列基板,包括上述的驱动装置。

[0009] 本发明实施例还提供一种显示装置,包括上述的阵列基板。

[0010] 本发明实施例提供的驱动装置、阵列基板和显示装置,由于每级的移位寄存器设置有检测开关,每级移位寄存器的数据信号可以依次的传送给检测端,通过每个检测端依次接收到的数据信号,可以直接快速准确的获得异常移位寄存器的位置,为解析液晶显示面板的异常提供有效解决方案。

附图说明

[0011] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0012] 图 1 是现有技术中的驱动装置的结构示意图;

[0013] 图 2 是本发明实施例提供的一种驱动装置的结构示意图;

[0014] 图 3 是图 2 实施例提供的驱动装置中移位寄存器的电路图;

[0015] 图 4 是图 2 实施例提供的驱动装置的时序图;

[0016] 图 5 是本发明实施例提供的另一种驱动装置的结构示意图;

[0017] 图 6 是本发明实施例提供的另一种驱动装置的结构示意图。

具体实施方式

[0018] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0019] 图 2 是本发明实施例提供的一种驱动装置的结构示意图。如图 2 所示,驱动装置包括多个级联的移位寄存器 ASG,当由 9 根信号线进行驱动时,9 根信号线上传输的信号分别为:正向扫描信号 FW、反向扫描信号 BW、第一初始触发信号 STV1、第二初始触发信号 STV2、第 0 时钟信号 CLK0、第 1 时钟信号 CLK1、第 2 时钟信号 CLK2、第 3 时钟信号 CLK3、低电平信号 VGL。第 0 时钟信号 CLK0、第 1 时钟信号 CLK1、第 2 时钟信号 CLK2 和第 3 时钟信号 CLK3 均为脉冲信号,第 0 时钟信号 CLK0 与第 2 时钟信号 CLK2 互为反相信号,即第 0 时钟信号

CLK0 的周期与第 2 时钟信号 CLK2 的周期相同,相位相反;第 1 时钟信号 CLK1 与第 3 时钟信号 CLK3 互为反相信号,即第 1 时钟信号 CLK1 的周期与第 3 时钟信号 CLK3 的周期相同,相位相反,第 0 时钟信号为高电平的时间段与第 1 时钟信号为高电平的时间段可以交叠,也可以不交叠;第 2 时钟信号为高电平的时间段与第 3 时钟信号为高电平的时间段可以交叠,也可以不交叠。移位寄存器 ASG 接收上述信号后,从信号输出端 GOUT 输出数据信号。

[0020] 移位寄存器 ASG 包括奇数级移位寄存器和偶数级移位寄存器,奇数级移位寄存器包括 ASG1、ASG3、ASG5、ASG7、ASG9... ASG4N-3、ASG4N-1,偶数级移位寄存器包括 ASG2、ASG4、ASG6、ASG8、ASG10、... ASG4N-2、ASG4N, N 为大于等于 1 的正整数。每级移位寄存器 ASG 包括触发信号端 STVIN、正向扫描信号端 FWIN、反向扫描信号端 BWIN、时钟信号端 CLKIN、反向时钟信号端 CLKBIN、低电平信号端 VGLIN、结束信号端 END 和上拉信号端 PU。

[0021] 第一级移位寄存器 ASG1 的触发信号端 STV 接收第一初始触发信号 STV1,正向扫描信号端 FWIN 接收正向扫描信号 FW,反向扫描信号端 BWIN 接收反向扫描信号 BW,时钟信号端 CLKIN 接收第 2 时钟信号 CLK2,反向时钟信号端 CLKBIN 接收第 0 时钟信号 CLK0、低电平信号端 VGLIN 接收低电平信号 VGL,结束信号端 END 接收 ASG3 的信号输出端 GOUT 输出的数据信号,信号输出端 GOUT 输出数据信号。奇数级移位寄存器中第 4N-3 级移位寄存器的反向时钟信号端 CLKBIN 接收第 0 时钟信号 CLK0,时钟信号端 CLKIN 接收第 2 时钟信号 CLK2,第 4N-1 级移位寄存器的反向时钟信号端 CLKBIN 接收第 2 时钟信号 CLK2,时钟信号端接收第 0 时钟信号 CLK0。奇数级移位寄存器 ASG4N-1 的触发信号端 STV 接收上一级奇数级移位寄存器 ASG4N-3 的数据信号。

[0022] 第二级移位寄存器 ASG 的触发信号端 STV 接收第二初始触发信号 STV2,正向扫描信号端 FWIN 接收正向扫描信号 FW,反向扫描信号端 BWIN 接收反向扫描信号 BW,时钟信号端 CLKIN 接收第 1 时钟信号 CLK1,反向时钟信号端 CLKBIN 接收第 3 时钟信号 CLK3、低电平信号端 VGLIN 接收低电平信号 VGL,结束信号端 END 接收 ASG4 的信号输出端 GOUT 输出的数据信号,信号输出端 GOUT 输出数据信号。偶数级移位寄存器中第 4N-2 级移位寄存器的反向时钟信号端接收第 3 时钟信号 CLK3,所述时钟信号端 CLKIN 接收第 1 时钟信号 CLK1,第 4N 级移位寄存器的反向时钟信号端 CLKBIN 接收第 1 时钟信号 CLK1,所述时钟信号端 CLKIN 接收第 3 时钟信号 CLK3。偶数级移位寄存器 ASG4N 的触发信号端 STV 接收上一级偶数级移位寄存器 ASG4N-2 的数据信号。

[0023] 驱动装置还包括多个检测开关 TFT 和多个检测端 TEST,每级检测开关对应该级的移位寄存器,本实施例中检测开关采用薄膜晶体管,检测开关包括用于控制导通和截断的控制端,用于接收信号的第一极和用于向检测端 TEST 输出信号的第二极。其中,每级检测开关 TFT 的控制端分别与对应该级的移位寄存器 ASG 的上拉信号端 PU 电连接,检测开关 TFT 的第一极与移位寄存器 ASG 的信号输出端 GOUT 电连接,至少间隔一级的检测开关 TFT 的第二极之间电连接并共同连接到同一检测端 TEST,每个检测端依次接收所述移位寄存器的数据信号。

[0024] 本实施例中将检测开关分为奇数级检测开关和偶数级检测开关,奇数级检测开关包括 TFT1、TFT3、TFT5、TFT7、TFT9... TFT4N-5、TFT4N-3、TFT4N-1,偶数级检测开关包括 TFT2、TFT4、TFT6、TFT8、TFT10、... TFT4N-4、TFT4N-2、TFT4N。检测端 TEST 包括第一检测端和第二检测端,至少间隔一级的奇数级检测开关第二极之间电连接并共同连接到第一检

测端,第一检测端包括第一子检测端 TEST1 和第二子检测端 TEST2,第二检测端包括第三子检测端 TEST3 和第四子检测端 TEST4,至少间隔一级的偶数级检测开关第二极之间电连接并共同连接到第二检测端。即第一级检测开关 TFT1 的控制端与第一级移位寄存器 ASG1 的上拉信号端 PU 电连接,第一级检测开关 TFT1 的第一极与第一级移位寄存器 ASG1 的信号输出端 GOUT 电连接,第一级检测开关 TFT1 的第二极与第五级检测开关 TFT5 的第二极、第九级检测开关 TFT9 的第二极、…第 $4N-3$ 级检测开关 TFT $4N-3$ 的第二极电连接,共同连接到第一子检测端 TEST1;第三级检测开关 TFT3 的第二极与第七级检测开关 TFT7 的第二极、第十一级检测开关 TFT11 的第二极、…第 $4N-1$ 级检测开关 TFT $4N-1$ 的第二极电连接,共同连接到第二子检测端 TEST2。第二级检测开关 TFT2 的控制端与第二级移位寄存器 ASG2 的上拉信号端 PU 电连接,第二级检测开关 TFT2 的第一极与第二级移位寄存器 ASG2 的信号输出端 GOUT 电连接,第二级检测开关 TFT2 的第二极与第六级检测开关 TFT6 的第二极、第十级检测开关 TFT10 的第二极、…第 $4N-2$ 级检测开关 TFT $4N-2$ 的第二极电连接,共同连接到第四检测端 TEST4;第四级检测开关 TFT4 的第二极与第八级检测开关 TFT8 的第二极、第十二级检测开关 TFT12 的第二极、…第 $4N$ 级检测开关 TFT $4N$ 的第二极电连接,共同连接到第三检测端 TEST3。

[0025] 图 3 是图 2 实施例提供的驱动装置中移位寄存器的电路图。如图 3 所示,移位寄存器 ASG 包括:第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5、第六晶体管 M6、第七晶体管 M7,第一电容 C1 和第二电容 C2。第一晶体管 M1 的栅极与结束信号 END 相连,第一晶体管 M1 的源极与第四晶体管 M4 的栅极连接,第一晶体管 M1 的漏极与反向扫描信号端 BWIN 连接,用于接收反向扫描信号 BWIN;第二晶体管 M2 的栅极与第三晶体管 M3 的源极连接,其源极与第四晶体管 M4 的栅极连接,其漏极与低电平信号端 VGLIN 连接,用于接收低电平信号 VGL;第三晶体管 M3 的栅极与第七晶体管 M7 的源极连接,其漏极与低电平信号端 VGLIN 连接,用于接收低电平信号 VGL,其源极通过一第一电容 C1 与反向时钟信号端 CLKB 连接;第四晶体管 M4 的栅极与第七晶体管 M7 的源极连接,其漏极和反向时钟信号输入端 CLKB 连接,源极与移位寄存器的信号输出端 GOUT 连接,且所述第四晶体管 M4 的栅极通过一第二电容 C2 也与移位寄存器的输出端 GOUT 连接;第五晶体管 M5 的栅极与第三晶体管 M3 的源极连接,其源极与所述移位寄存器的输出端 GOUT 连接,其漏极与低电平信号端 VGLIN 连接,用于接收低电平信号 VGL;第六晶体管 M6 的栅极与时钟信号端 CLK 连接,其漏极与低电平信号端 VGLIN 连接,用于接收低电平信号 VGL,其源极与移位寄存器的信号输出端 GOUT 连接;第七晶体管 M7 的栅极与移位寄存器的触发信号端 STV 连接,其漏极与正向扫描信号端 FWIN 连接,用于接收正向扫描信号 FW;在第三晶体管 M3 和第四晶体管 M4 的栅极设置有上拉信号端 PU,用于控制第三晶体管 M3 和第四晶体管 M4 的导通和截断。

[0026] 在本实施例中,正向扫描信号端 FWIN 输入的正向扫描信号 FW 为高电平信号(即该信号电平值恒定,且电平值相对后续出现的低电平信号的电平值高,正向扫描信号的电压为 $10V \sim 25V$),反向扫描信号端 BWIN 输入的反向扫描信号 BW 为低电平信号(即该信号电平值恒定,且电平值相对于前述出现的高电平信号的电平值低,反向扫描信号的电压为 $-12V \sim -8V$)。

[0027] 图 4 是图 2 实施例提供的驱动装置的时序图。如图 4 所示,驱动装置中奇数级移位寄存器和对应的奇数级检测开关工作方式为:驱动 IC 输出第一触发信号 STV1 等信号给

第一级移位寄存器 ASG1 的触发信号端 STV, 当第一触发信号 STV1 为高电平时, 第一级移位寄存器 ASG1 的上拉信号端 PU 被拉高, 移位寄存器 ASG1 的信号输出端 GOUT 输出第一数据信号 GOUT1, 由于上拉信号端 PU 拉高, 因此, 与第一级移位寄存器 ASG1 的上拉信号端 PU 连接的第一级检测开关 TFT1 被导通, 第一级检测开关 TFT1 的第一极将接收到的第一数据信号 GOUT1, 从第一级检测开关 TFT1 的第二极输出给第一子测试端 TEST1, 即第一子测试端 TEST1 在 t_1 时刻检测到的高电平信号为第一移位寄存器 ASG1 输出的第一数据信号 GOUT1。

[0028] 第一级移位寄存器 ASG1 输出的第一数据信号 GOUT1 输入到第三级移位寄存器 ASG3 的触发信号端 STV, 用于触发第三级移位寄存器 ASG3 的信号输出端输出第三数据信号 GOUT3, 第三级移位寄存器 ASG3 的输出端输出的 GOUT3 信号会同步给到第一级移位寄存器 ASG1 的结束信号端 END, 使第一级移位寄存器 ASG1 的信号输出端 GOUT 输出的低电平信号, 在第一级移位寄存器 ASG1 的信号输出端 GOUT 输出第一数据信号 GOUT1 时, 第三级移位寄存器 ASG3 的上拉信号端 PU 会被同步拉高成高电平, 此时, 第三级移位寄存器 ASG3 的信号输出端 GOUT 输出的是低电平的信号, 但第三级检测开关 TFT3 被导通, 如果第一级检测开关 TFT1 的第二极和第三级检测开关 TFT3 的第二极共同连接到第一子测试端 TEST1, 那么, 第一级检测开关 TFT1 输出第一数据信号 GOUT1 的高电平信号到第一子测试端 TEST1 时, 第三级检测开关 TFT3 也会同步输出第三数据信号 GOUT3 的低电平信号到第一子测试端 TEST1, 此时, 第一子测试端 TEST1 接收到的第一数据信号 GOUT1 会被第三数据信号 GOUT3 拉低, 导致移位寄存器工作异常且测试端不能准确判断第一级移位寄存器 ASG1 是否存在异常。因此, 第三级检测开关 TFT3 的第一极会将接收到的第三数据信号 GOUT3, 从第三级检测开关 TFT3 的第二极输出给第二子测试端 TEST2。

[0029] 第三级移位寄存器 ASG3 输出的第三数据信号 GOUT3 输入到第五级移位寄存器 ASG5 的触发信号端 STV, 用于触发第五级移位寄存器 ASG5 的信号输出端输出第五数据信号 GOUT5, 当第三级移位寄存器 ASG3 的信号输出端输出第三数据信号 GOUT3 时, 第三数据信号 GOUT3 会使第一级移位寄存器 ASG1 的上拉信号端 PU 的信号拉到低电平, 进而第一级检测开关 TFT1 被截断, 同时, 第五级检测开关 TFT5 管被导通, 第五级检测开关 TFT5 的第一极将接收到的第五数据信号 GOUT5, 从第五级检测开关 TFT5 的第二极输出给第一子测试端 TEST1, 即第一子测试端 TEST1 此时检测到的高电平信号为第五移位寄存器 ASG5 输出的第五数据信号 GOUT5。由于第一级检测开关 TFT1 被截断, 因此当第一子检测端 TEST1 接收第五数据信号 GOUT5 时, 不会受到第一数据信号 GOUT1 的影响。以此类推, 第一子测试端 TEST1 可以检测到第一级移位寄存器 ASG1、第五级移位寄存器 ASG5、第九级移位寄存器 ASG9、... 第 $4N-3$ 级移位寄存器 ASG $4N-3$ 依次输出的数据信号; 第二子测试端 TEST2 可以检测到第三级移位寄存器 ASG3、第七级移位寄存器 ASG7、... 第 $4N-1$ 级移位寄存器 ASG $4N-1$ 依次输出的数据信号。检测装置接收每级移位寄存器的数据信号, 逐级检测所述数据信号波形是否完整, 以此判断移位寄存器出现异常的具体位置。

[0030] 驱动装置中偶数级移位寄存器和对应的偶数级检测开关工作方式为: 驱动 IC 输出第二触发信号 STV2 等信号给第二级移位寄存器 ASG2 的触发信号端 STV, 当第二触发信号 STV2 为高电平时, 第二级移位寄存器 ASG2 的上拉信号端 PU 被拉高, 移位寄存器 ASG2 的信号输出端 GOUT 输出第二数据信号 GOUT2, 由于上拉信号端 PU 拉高, 因此, 与第二级移位寄存器 ASG2 的上拉信号端 PU 连接的第二级检测开关 TFT2 被导通, 第二级检测开关 TFT2 的

第一极将接收到的第二数据信号 GOUT2, 从第二级检测开关 TFT2 的第二极输出给第四子测试端 TEST4, 即第四子测试端 TEST4 在 t_1 时刻检测到的高电平信号为第二移位寄存器 ASG2 输出的第二数据信号 GOUT2。

[0031] 第二级移位寄存器 ASG2 输出的第二数据信号 2 输入到第四级移位寄存器 ASG4 的触发信号端 STV, 用于触发第四级移位寄存器 ASG4 的信号输出端输出第四数据信号 GOUT4, 第四级移位寄存器 ASG4 的输出端输出的 GOUT4 信号会同步给到第二级移位寄存器 ASG2 的结束信号端 END, 会使第二级移位寄存器的输出端输出 VGL 的低电平, 在第二级移位寄存器 ASG2 的信号输出端 GOUT 输出第二数据信号 GOUT2 时, 会同步使第四级移位寄存器 ASG4 的上拉信号端 PU 的信号拉高成高电平, 此时, 第四级移位寄存器 ASG4 的信号输出端 GOUT 输出的是低电平的信号, 但第四级检测开关 TFT4 被导通, 如果第二级检测开关 TFT2 的第二极和第四级检测开关 TFT4 的第二极共同连接到第四子测试端 TEST4, 那么, 第二数据信号 GOUT2 的高电平信号到第四子测试端 TEST4 时, 第四级检测开关 TFT4 也会同步输出第四数据信号 GOUT4 的低电平信号到第四子测试端 TEST4, 此时, 第四子测试端 TEST4 接收到的第二数据信号 GOUT2 会被第四数据信号 GOUT4 拉低, 导致移位寄存器工作异常且测试端不能准确判断第二级移位寄存器 ASG2 是否存在异常。因此, 第四级检测开关 TFT4 的第一极会将接收到的第四数据信号 GOUT4, 从第四级检测开关 TFT4 的第二极输出给第三子测试端 TEST3。

[0032] 第四级移位寄存器 ASG4 输出的第四数据信号 GOUT4 输入到第六级移位寄存器 ASG6 的触发信号端 STV, 用于触发第六级移位寄存器 ASG6 的信号输出端输出第六数据信号 GOUT6, 当第四级移位寄存器 ASG4 的信号输出端输出第四数据信号 GOUT4 时, 第四数据信号 GOUT4 会使第二级移位寄存器 ASG2 的上拉信号端 PU 的信号拉到低电平, 进而第二级移位寄存器 ASG2 的第二数据信号 GOUT2 也会被拉到低电平, 第二级检测开关 TFT2 被截断, 同时, 第六级检测开关 TFT6 管被导通, 第六级检测开关 TFT6 的第一极将接收到的第六数据信号 GOUT6, 从第六级检测开关 TFT6 的第二极输出给第四子测试端 TEST4, 即第四子测试端 TEST4 此时检测到的高电平信号为第六移位寄存器 ASG6 输出的第六数据信号 GOUT6, 由于第二级检测开关 TFT2 被截断, 因此当第四子检测端 TEST4 接收第六数据信号 GOUT6 时, 不会受到第二数据信号 GOUT2 的影响。以此类推, 第四子测试端 TEST4 可以检测到第二级移位寄存器 ASG2、第六级移位寄存器 ASG6、... 第 $4N-2$ 级移位寄存器 ASG $4N-2$ 依次输出的数据信号; 第三子测试端 TEST3 可以检测到第四级移位寄存器 ASG4、第八级移位寄存器 ASG8、... 第 $4N$ 级移位寄存器 ASG $4N$ 依次输出的数据信号。检测装置接收每级移位寄存器的数据信号, 逐级检测所述数据信号波形是否完整, 以此判断移位寄存器出现异常的具体位置。

[0033] 由于每级的移位寄存器设置有检测开关, 每级移位寄存器的数据信号可以依次地传送给检测端, 通过每个检测端依次接收到的数据信号, 可以直接快速准确的获得异常移位寄存器的位置, 为解析液晶显示面板的异常提供有效解决方案。

[0034] 需要说明的是, 上述仅提供了间隔一级的检测开关 TFT 的第二极之间电连接并共同连接到同一检测端的实施例, 还可以间隔两级检测开关 TFT 的第二极之间电连接并共同连接到同一检测端, 相应的检测端的数量也对应增加, 以实现每个检测端依次接收到不同移位寄存器的数据信号。检测开关 TFT 的控制端还可以由移位寄存器中其他信号或者外部信号来控制, 只要满足每个检测端可以依次接收到不同移位寄存器的数据信号即可。

[0035] 图 5 是本发明实施例提供的另一种驱动装置的结构示意图。如图 5 所示,驱动装置包括多个级联的移位寄存器 ASG,移位寄存器 ASG 包括奇数级移位寄存器和偶数级移位寄存器,奇数级移位寄存器包括 ASG1、ASG3、ASG5、ASG7、ASG9...ASG4N-3、ASG4N-1,偶数级移位寄存器包括 ASG2、ASG4、ASG6、ASG8、ASG10、...ASG4N-2、ASG4N,N 为大于等于 1 的正整数。与图 2 实施例不同之处在于,奇数级移位寄存器和偶数级移位寄存器间隔设置成一列。驱动装置还包括多个检测开关 TFT 和多个检测端 TEST,每级检测开关对应该级的移位寄存器,本实施例中检测开关采用薄膜晶体管,检测开关包括用于控制导通和截断的控制端,用于接收信号的第一极和用于向检测端 TEST 输出信号的第二极。其中,每级检测开关 TFT 的控制端分别与对应该级的移位寄存器 ASG 的上拉信号端 PU 电连接,检测开关 TFT 的第一极与移位寄存器 ASG 的信号输出端 GOUT 电连接,至少间隔四级的检测开关 TFT 的第二极之间电连接并共同连接到同一检测端 TEST,每个检测端依次接收所述移位寄存器的数据信号。

[0036] 检测开关与移位寄存器的连接方式,以及移位寄存器和对应检测开关的工作方式与图 2 实施例中的驱动装置一致,在此不再赘述。由于每级的移位寄存器设置有检测开关,每级移位寄存器的数据信号可以依次地传送给检测端,通过每个检测端依次接收到的数据信号,可以直接快速准确的获得异常移位寄存器的位置,为解析液晶显示面板的异常提供有效解决方案。

[0037] 图 6 是本发明实施例提供的另一种驱动装置的结构示意图。如图 6 所示,驱动装置包括多个级联的移位寄存器 ASG,移位寄存器 ASG 包括奇数级移位寄存器和偶数级移位寄存器,奇数级移位寄存器包括 ASG1、ASG3、ASG5、ASG7、ASG9...ASG8N-7、ASG8N-5、ASG8N-3、ASG8N-1,偶数级移位寄存器包括 ASG2、ASG4、ASG6、ASG8、ASG10、...ASG8N-6、ASG8N-4、ASG8N-2、ASG8N,N 为大于等于 1 的正整数。

[0038] 奇数级移位寄存器由 9 根信号线进行驱动,9 根信号线上传输的信号分别为:正向扫描信号 FW、反向扫描信号 BW、左侧第一初始触发信号 STV1L、左侧第二初始触发信号 STV2L、第 0 时钟信号 CLK0L、左侧第 1 时钟信号 CLK1L、左侧第 2 时钟信号 CLK2L、左侧第 3 时钟信号 CLK3L、低电平信号 VGL。偶数级移位寄存器也由 9 根信号线进行驱动,9 根信号线上传输的信号分别为:正向扫描信号 FW、反向扫描信号 BW、右侧第一初始触发信号 STV1R、右侧第二初始触发信号 STV2R、右侧第 0 时钟信号 CLK0R、右侧第 1 时钟信号 CLK1R、右侧第 2 时钟信号 CLK2R、右侧第 3 时钟信号 CLK3R、低电平信号 VGL。

[0039] 左侧第 0 时钟信号 CLK0L、左侧第 1 时钟信号 CLK1L、左侧第 2 时钟信号 CLK2L 和左侧第 3 时钟信号 CLK3L 均为脉冲信号,左侧第 0 时钟信号 CLK0L 与左侧第 2 时钟信号 CLK2L 互为反相信号,即左侧第 0 时钟信号 CLK0L 的周期与左侧第 2 时钟信号 CLK2L 的周期相同,相位相反;左侧第 1 时钟信号 CLK1L 与左侧第 3 时钟信号 CLK3L 互为反相信号,即左侧第 1 时钟信号 CLK1L 的周期与左侧第 3 时钟信号 CLK3L 的周期相同,相位相反,左侧第 0 时钟信号、左侧第 1 时钟信号、右侧第 0 时钟信号、右侧第 1 时钟信号为高电平的时间段可以交叠,也可以不交叠;左侧第 2 时钟信号、左侧第 3 时钟信号、右侧第 2 时钟信号、右侧第 3 时钟信号为高电平的时间段可以交叠,也可以不交叠。移位寄存器 ASG 接收上述信号后,从信号输出端 GOUT 输出数据信号。右侧第 0 时钟信号 CLK0R、右侧第 1 时钟信号 CLK1R、右侧第 2 时钟信号 CLK2R 和右侧第 3 时钟信号 CLK3R 与左侧时钟信号一致,在此不再赘述。

[0040] 每级移位寄存器 ASG 包括触发信号端 STVIN、正向扫描信号端 FWIN、反向扫描信号

端 BWIN、时钟信号端 CLKIN、反向时钟信号端 CLKBIN、低电平信号端 VGLIN、结束信号端 END 和上拉信号端 PU。

[0041] 以奇数级移位寄存器信号接收方式为例进行说明：第一级移位寄存器 ASG1 的触发信号端 STV 接收左侧第一初始触发信号 STV1L，正向扫描信号端 FWIN 接收正向扫描信号 FW，反向扫描信号端 BWIN 接收反向扫描信号 BW，时钟信号端 CLKIN 接收左侧第 2 时钟信号 CLK2L，反向时钟信号端 CLKBIN 接收左侧第 0 时钟信号 CLK0L、低电平信号端 VGLIN 接收低电平信号 VGL，信号输出端 GOUT 输出数据信号；第三级移位寄存器 ASG3 的触发信号端 STV 接收左侧第二初始触发信号 STV2L，正向扫描信号端 FWIN 接收正向扫描信号 FW，反向扫描信号端 BWIN 接收反向扫描信号 BW，时钟信号端 CLKIN 接收左侧第 3 时钟信号 CLK3L，反向时钟信号端 CLKBIN 接收左侧第 1 时钟信号 CLK1L、低电平信号端 VGLIN 接收低电平信号 VGL，信号输出端 GOUT 输出数据信号；奇数级移位寄存器中第 $8N-7$ 级移位寄存器的反向时钟信号端 CLKBIN 接收第 0 时钟信号 CLK0L，时钟信号端 CLKIN 接收第 2 时钟信号 CLK2L；奇数级移位寄存器中的第 $8N-5$ 级移位寄存器的反向时钟信号端 CLKBIN 接收第 1 时钟信号 CLK1L，时钟信号端 CLKIN 接收第 3 时钟信号 CLK3L；奇数级移位寄存器中的第 $8N-3$ 级移位寄存器的反向时钟信号端 CLKBIN 接收第 2 时钟信号 CLK2L，时钟信号端 CLKIN 接收第 0 时钟信号 CLK0L；奇数级移位寄存器中第 $8N-1$ 级移位寄存器的反向时钟信号端 CLKBIN 接收第 3 时钟信号 CLK3L，时钟信号端 CLKIN 接收第 1 时钟信号 CLK0L。奇数级移位寄存器 ASG $8N-1$ 的触发信号端 STV 接收上一级奇数级移位寄存器 ASG $8N-5$ 的数据信号。偶数级移位寄存器信号接收方式与奇数级移位寄存器信号接收方式，在此不再赘述。

[0042] 驱动装置还包括多个检测开关 TFT 和多个检测端 TEST，每级检测开关对应该级的移位寄存器，本实施例中检测开关采用薄膜晶体管，检测开关包括用于控制导通和截断的控制端，用于接收信号的第一极和用于向检测端 TEST 输出信号的第二极。其中，每级检测开关 TFT 的控制端分别与对应该级的移位寄存器 ASG 的上拉信号端 PU 电连接，检测开关 TFT 的第一极与移位寄存器 ASG 的信号输出端 GOUT 电连接，至少间隔四级的检测开关 TFT 的第二极之间电连接并共同连接到同一检测端 TEST，每个检测端依次接收所述移位寄存器的数据信号。

[0043] 本实施例中将检测开关分为奇数级检测开关和偶数级检测开关，奇数级检测开关包括 TFT1、TFT3、TFT5、TFT7、TFT9... TFT $8N-7$ 、TFT $8N-5$ 、TFT $8N-3$ 、TFT $8N-1$ ，偶数级检测开关包括 TFT2、TFT4、TFT6、TFT8、TFT10、... TFT $8N-6$ 、TFT $8N-4$ 、TFT $8N-2$ 、TFT $8N$ 。检测端 TEST 包括第一检测端和第二检测端，第一检测端包括第一子检测端 TEST1、第二子检测端 TEST2、第三子检测端 TEST3 和第四子检测端 TEST4，第二检测端包括第五子检测端 TEST5、第六子检测端 TEST6、第七子检测端 TEST7 和第八子检测端 TEST8。至少间隔四级的奇数级检测开关第二极之间电连接并共同连接到第一子检测端 TEST1 或第二子检测端 TEST2 或第三子检测端 TEST3 或第四子检测端 TEST4，至少间隔四级的偶数级检测开关第二极之间电连接并共同连接到第五子检测端 TEST5 或第六子检测端 TEST6 或第七子检测端 TEST7 或第八子检测端 TEST8。即第一级检测开关 TFT1 的控制端与第一级移位寄存器 ASG1 的上拉信号端 PU 电连接，第一级检测开关 TFT1 的第一极与第一级移位寄存器 ASG1 的信号输出端 GOUT 电连接，第一级检测开关 TFT1 的第二极与第九级检测开关 TFT9 的第二极、第十七级检测开关 TFT17 的第二极、...第 $8N-7$ 级检测开关 TFT $8N-7$ 的第二极电连接，共同连接到第一子检测

端 TEST1 ;第三级检测开关 TFT3 的第二极与第十一级检测开关 TFT11 的第二极、第十九级检测开关 TFT19 的第二极、…第 $8N-5$ 级检测开关 TFT $8N-5$ 的第二极电连接,共同连接到第二子检测端 TEST2 ;第五级检测开关 TFT5 的第二极与第十三级检测开关 TFT13 的第二极、第二十一级检测开关 TFT21 的第二极、…第 $8N-3$ 级检测开关 TFT $8N-3$ 的第二极电连接,共同连接到第三子检测端 TEST3 ;第七级检测开关 TFT7 的第二极与第十五级检测开关 TFT15 的第二极、第二十三级检测开关 TFT23 的第二极、…第 $8N-1$ 级检测开关 TFT $8N-1$ 的第二极电连接,共同连接到第四子检测端 TEST4。

[0044] 第二级检测开关 TFT2 的控制端与第二级移位寄存器 ASG2 的上拉信号端 PU 电连接,第二级检测开关 TFT2 的第一极与第二级移位寄存器 ASG2 的信号输出端 GOUT 电连接,第二级检测开关 TFT2 的第二极与第十级检测开关 TFT10 的第二极、第十八级检测开关 TFT18 的第二极、…第 $8N-6$ 级检测开关 TFT $8N-6$ 的第二极电连接,共同连接到第五检测端 TEST5 ;第四级检测开关 TFT4 的第二极与第十二级检测开关 TFT12 的第二极、第二十级检测开关 TFT20 的第二极、…第 $8N-4$ 级检测开关 TFT $8N-4$ 的第二极电连接,共同连接到第六检测端 TEST6 ;第六级检测开关 TFT6 的第二极与第十四级检测开关 TFT14 的第二极、第二十二级检测开关 TFT22 的第二极、…第 $8N-2$ 级检测开关 TFT $8N-2$ 的第二极电连接,共同连接到第七检测端 TEST7 ;第八级检测开关 TFT8 的第二极与第十六级检测开关 TFT16 的第二极、第二十四级检测开关 TFT24 的第二极、…第 $8N$ 级检测开关 TFT $8N$ 的第二极电连接,共同连接到第八检测端 TEST8。

[0045] 驱动装置中奇数级移位寄存器和对应的奇数级检测开关工作方式和偶数级移位寄存器和对应的偶数级检测开关工作方式与图 5 实施例中驱动装置的时序类似,在此不再赘述。

[0046] 由于每级的移位寄存器设置有检测开关,每级移位寄存器的数据信号可以依次地传送给检测端,通过每个检测端依次接收到的数据信号,可以直接快速准确的获得异常移位寄存器的位置,为解析液晶显示面板的异常提供有效解决方案。

[0047] 需要说明的是,上述仅提供了间隔一级和两级奇数级或偶数级移位寄存器的检测开关 TFT 的第二极之间电连接并共同连接到同一检测端的实施例,还可以间隔两级以上检测开关 TFT 的第二极之间电连接并共同连接到同一检测端,相应的检测端的数量也对应增加,以实现每个检测端依次接收到不同移位寄存器的数据信号。检测开关 TFT 的控制端还可以由移位寄存器中其他信号或者外部信号来控制,只要满足每个检测端可以依次接收到不同移位寄存器的数据信号即可。

[0048] 一种阵列基板,包括显示区和非显示区,显示区中设置有多条栅极线和数据线彼此交叉形成多个像素单元,非显示区设置有上述图 2 实施例中的驱动装置,驱动装置中奇数级移位寄存器 ASG1、ASG3、ASG5、ASG7、ASG9…ASG $4N-3$ 、ASG $4N-1$ 和其对应的检测开关设置在所述阵列基板非显示区的一侧,奇数级移位寄存器的信号输出端与阵列基板上的奇数级栅极线电连接,用于驱动奇数行像素单元 ;基板偶数级移位寄存器 ASG2、ASG4、ASG6、ASG8、ASG10、…ASG $4N-2$ 、ASG $4N$ 和其对应的检测开关设置在所述阵列基板非显示区的另一侧,偶数级移位寄存器的信号输出端与阵列基板上的偶数级栅极线电连接,用于驱动偶数行像素单元,N 为大于等于 1 的正整数。

[0049] 在另一种阵列基板中,驱动装置中的奇数级移位寄存器 ASG1、ASG3、ASG5、ASG7、

ASG9...ASG4N-3、ASG4N-1 和其对应的检测开关设置、偶数级移位寄存器 ASG2、ASG4、ASG6、ASG8、ASG10、...ASG4N-2、ASG4N 和其对应的检测开关均设置在阵列基板非显示区的同一侧，N 为大于等于 1 的正整数。

[0050] 阵列基板还可以包括与检测端 TEST 电连接的检测装置（图中未示出），用于接收检测端 TEST 输出的检测信号，即接收每级移位寄存器 ASG 的信号输出端输出的数据信号，来确定异常移位寄存器的位置。阵列基板在非显示区也可以设置有上述图 6 实施例中的驱动装置，驱动装置中的奇数级移位寄存器和偶数级移位寄存器分别设置在非显示区的一侧或者两侧。

[0051] 一种液晶显示装置，包括上述的阵列基板，以及与该阵列基板相对设置的对向基板。

[0052] 以上对本发明实施例所提供的一种驱动装置、阵列基板和显示装置进行了详细介绍，本文中应用了具体个例对本发明的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本发明的方法及其核心思想；同时，对于本领域的一般技术人员，依据本发明的思想，在具体实施方式及应用范围上均会有改变之处，综上所述，本说明书内容不应理解为对本发明的限制。

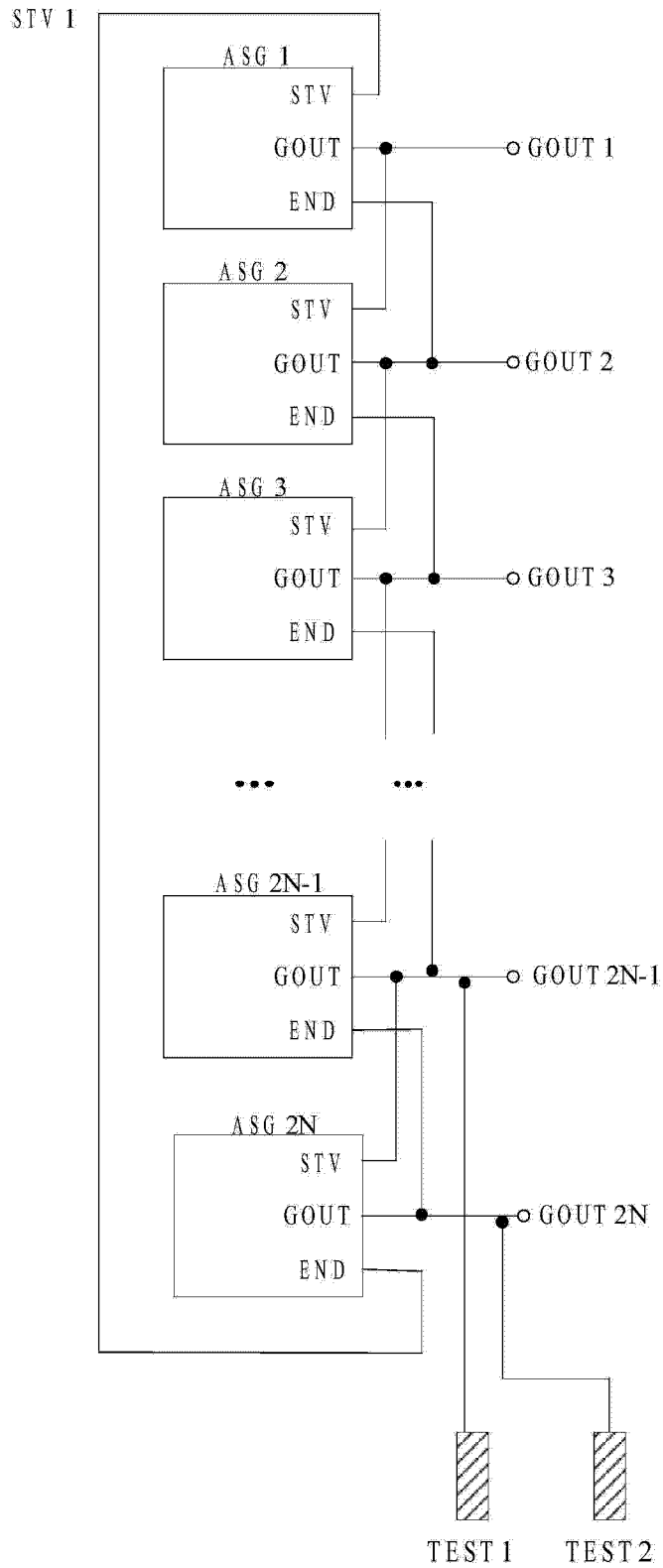


图 1

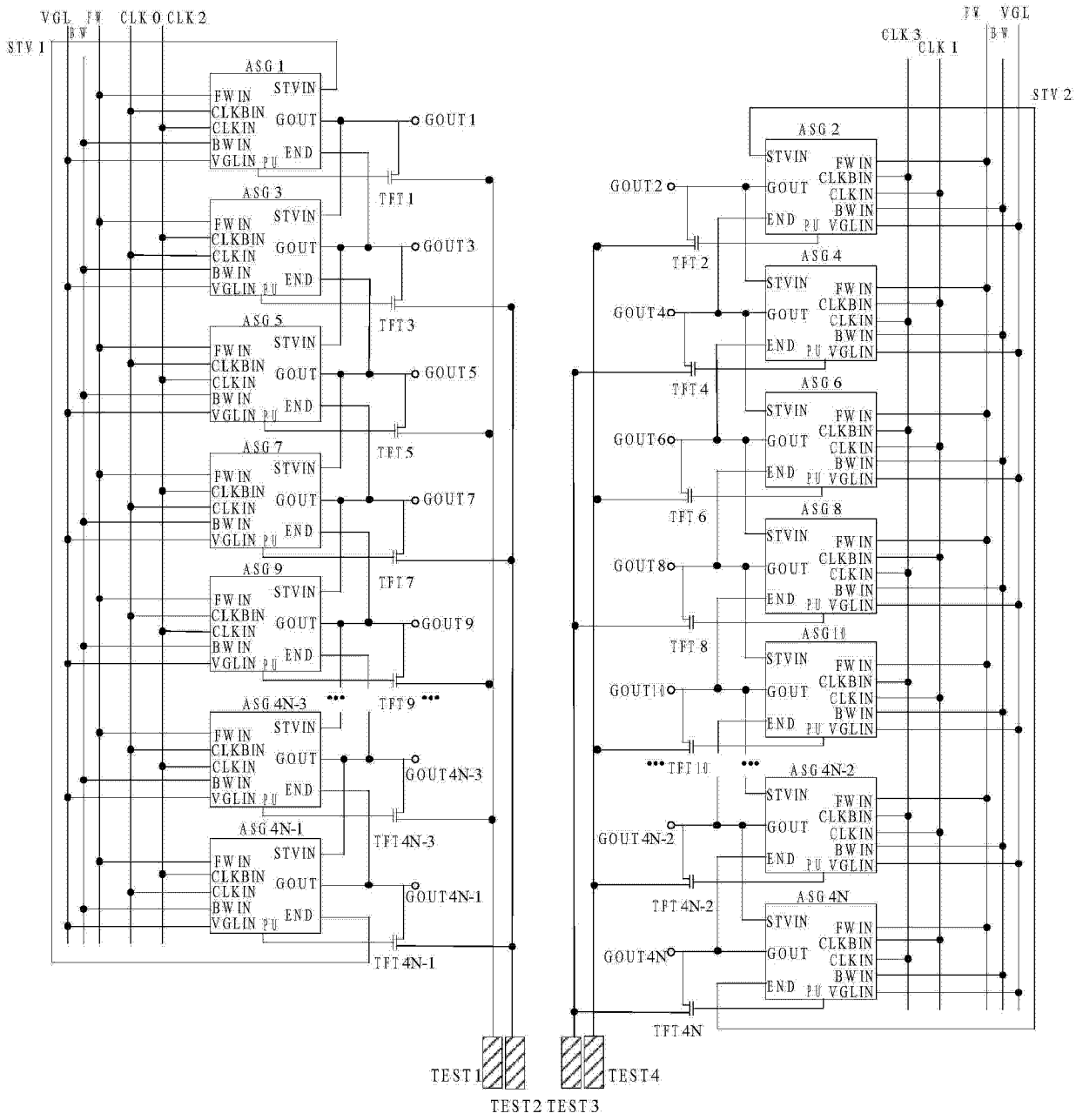


图 2

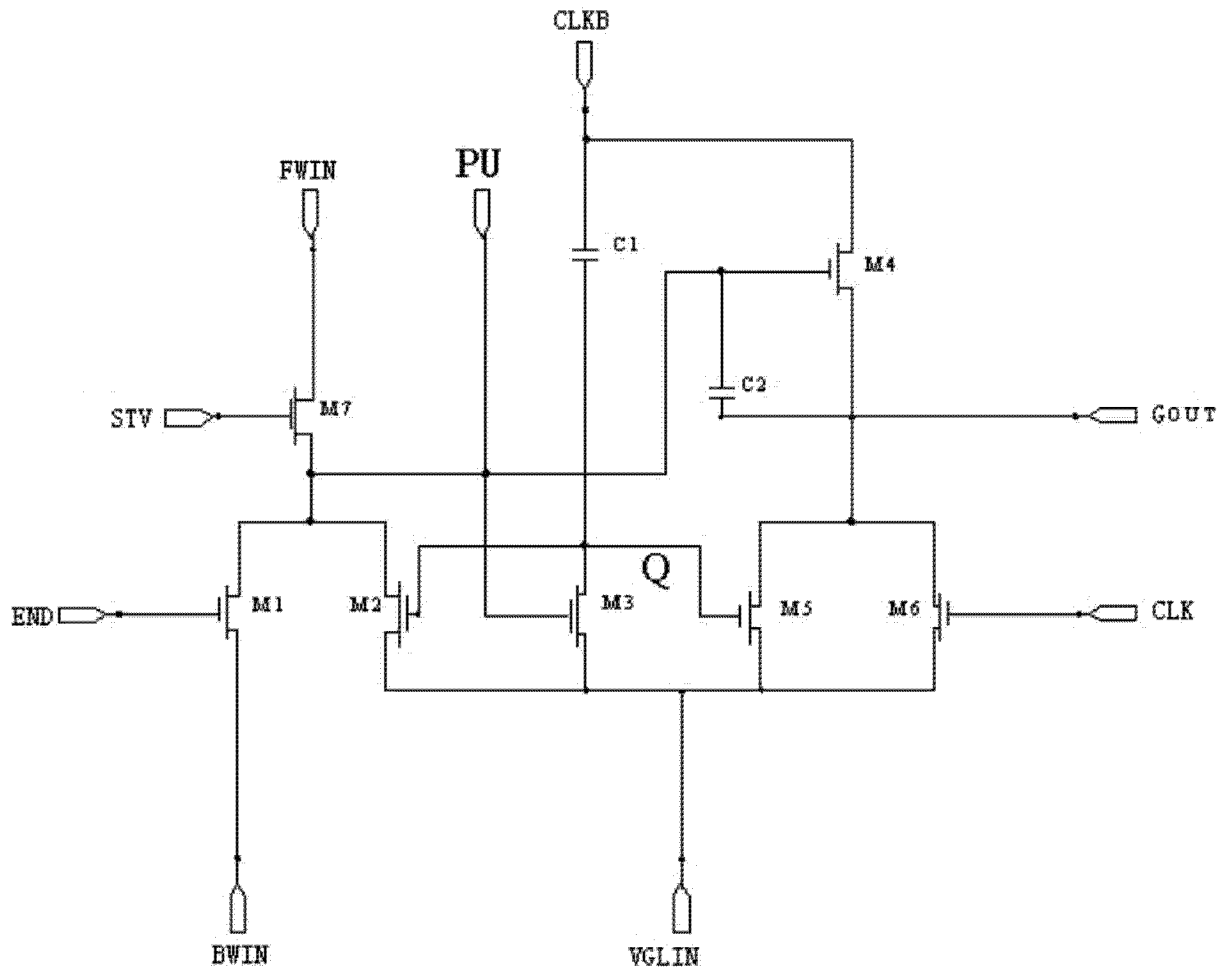


图 3

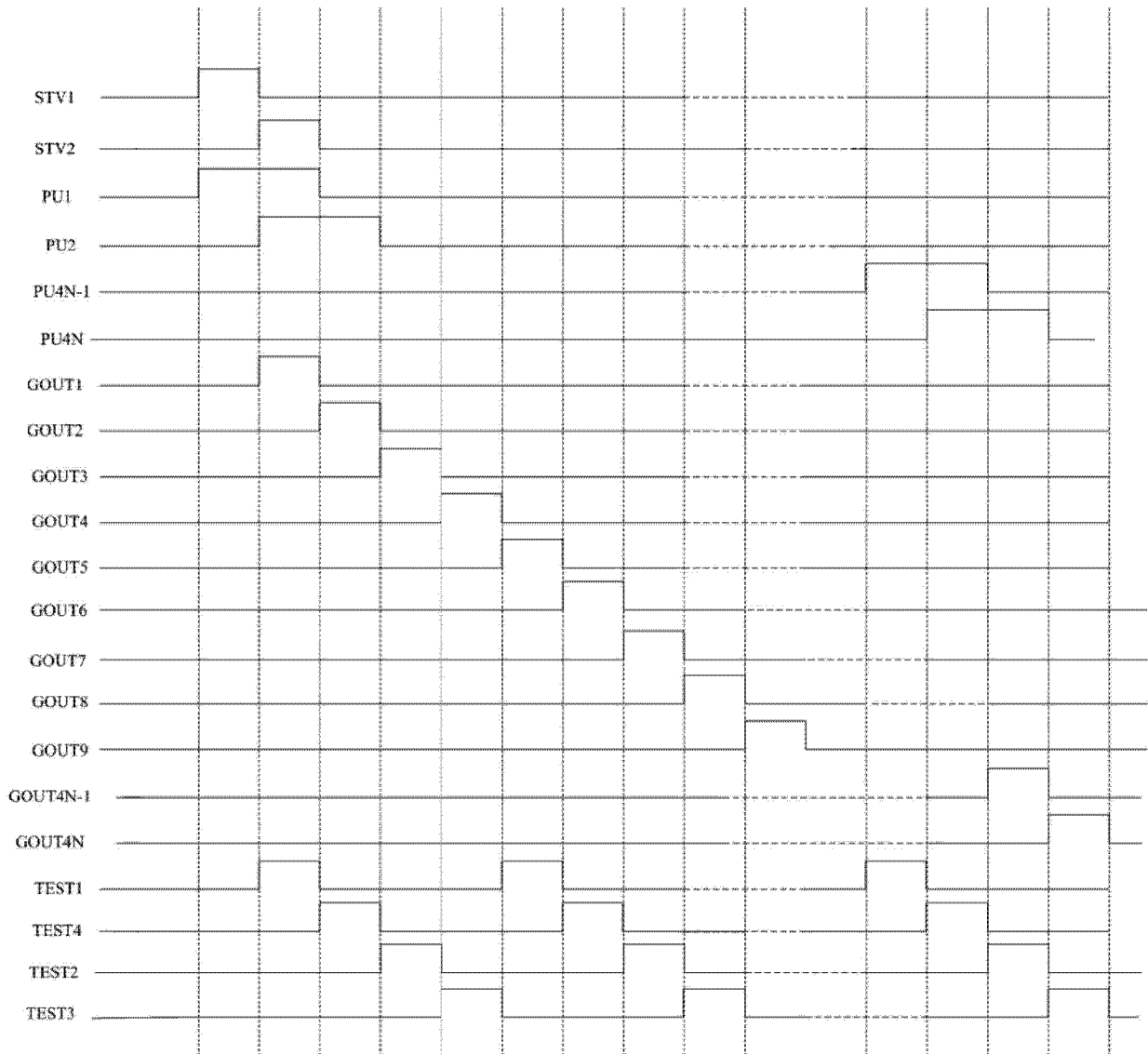


图 4

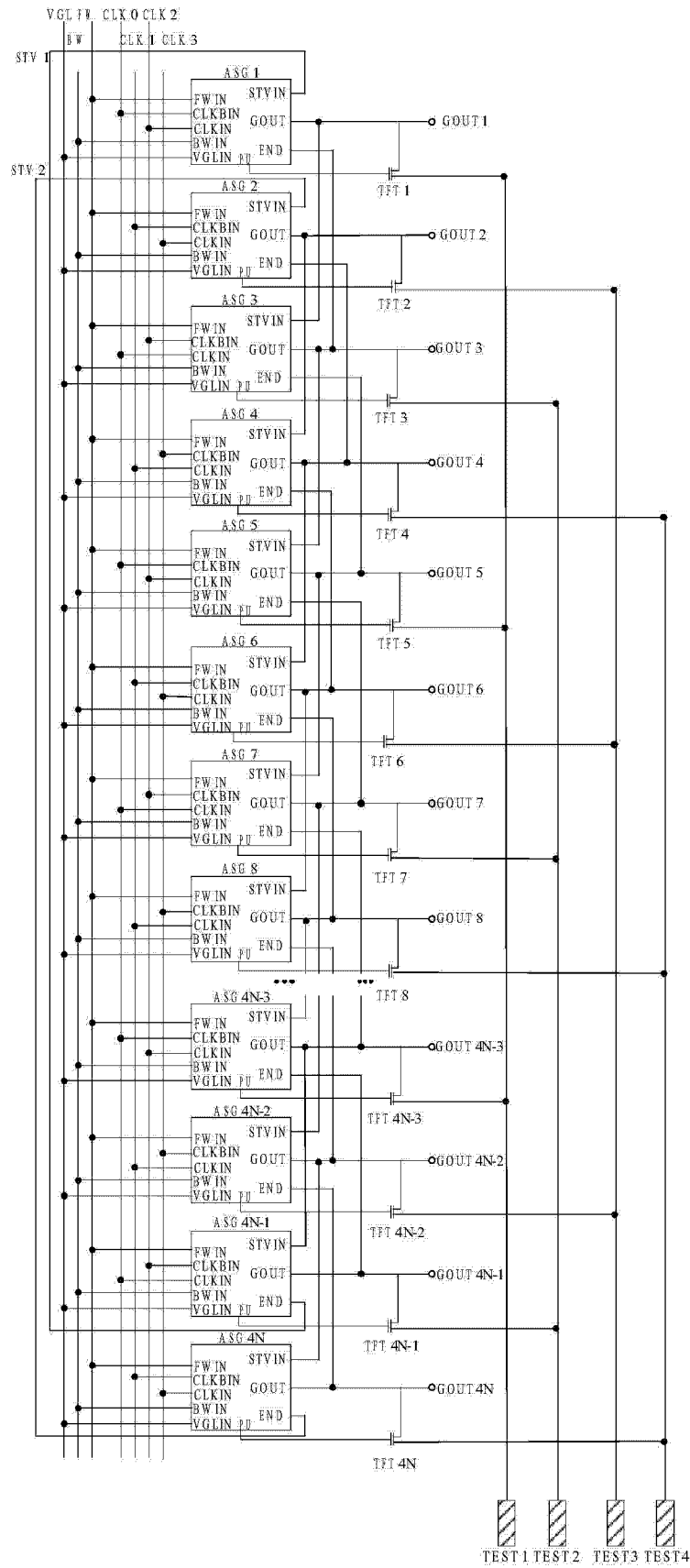


图 5

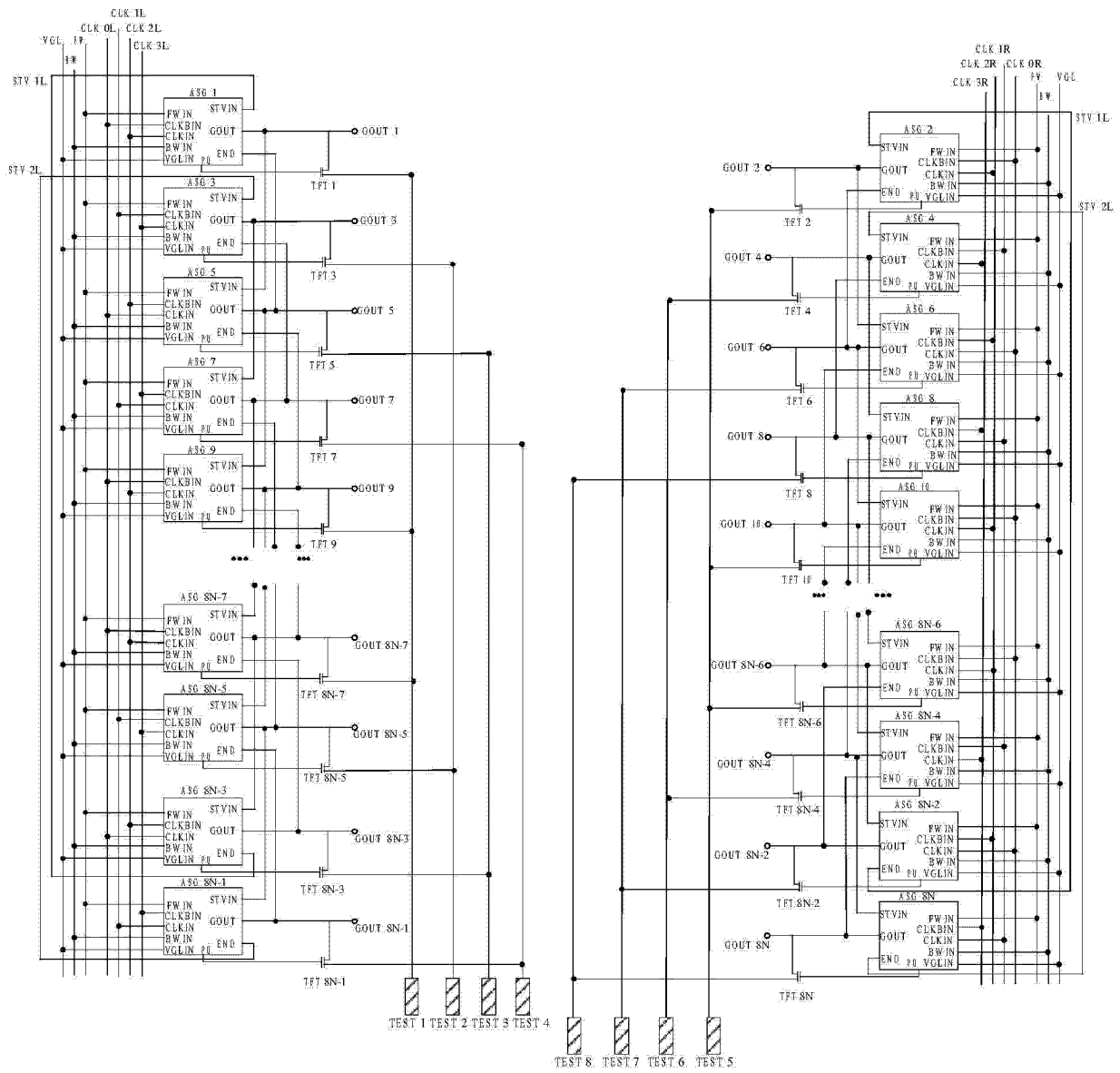


图 6

专利名称(译)	一种驱动装置、阵列基板和显示装置		
公开(公告)号	CN104183225A	公开(公告)日	2014-12-03
申请号	CN201410401591.3	申请日	2014-08-15
[标]申请(专利权)人(译)	上海天马微电子有限公司 天马微电子股份有限公司		
申请(专利权)人(译)	上海天马微电子有限公司 天马微电子股份有限公司		
当前申请(专利权)人(译)	上海天马微电子有限公司 天马微电子股份有限公司		
[标]发明人	李军 王桂才 周井雄 张露		
发明人	李军 王桂才 周井雄 张露		
IPC分类号	G09G3/36 G11C19/28		
其他公开文献	CN104183225B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种驱动装置，包括多个级联的移位寄存器，多个检测开关，多个检测端；所述多个检测开关的控制端分别与所述多个移位寄存器电连接，所述多个检测开关的第一极分别与所述多个移位寄存器的信号输出端电连接，至少间隔一级的所述检测开关的第二极之间电连接并共同连接到同一检测端，每个所述检测端依次接收所述移位寄存器的数据信号。通过每个检测端依次接收到的数据信号，可以直接快速准确的获得异常移位寄存器的位置，为解析液晶显示面板的异常提供有效解决方案。

