



(12) 发明专利

(10) 授权公告号 CN 102937767 B

(45) 授权公告日 2015. 08. 05

(21) 申请号 201210421322. 4

审查员 李剑韬

(22) 申请日 2012. 10. 29

(73) 专利权人 北京京东方光电科技有限公司

地址 100176 北京市经济技术开发区西环中
路 8 号

(72) 发明人 木素真 李成

(74) 专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51) Int. Cl.

G02F 1/1362(2006. 01)

H01L 21/77(2006. 01)

(56) 对比文件

CN 101364019 A, 2009. 02. 11,

CN 102135691 A, 2011. 07. 27,

US 2003227590 A1, 2003. 12. 11,

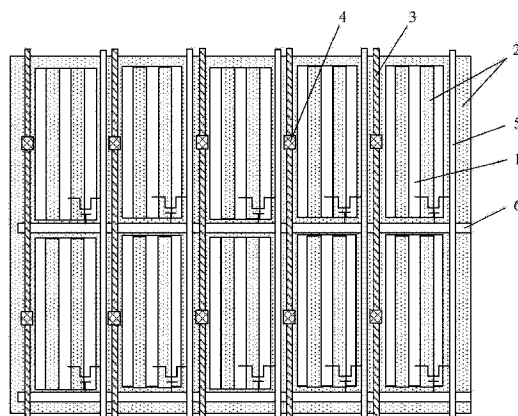
权利要求书1页 说明书4页 附图3页

(54) 发明名称

阵列基板、显示装置和阵列基板的制作方法

(57) 摘要

本发明公开了一种阵列基板、显示装置和阵列基板的制作方法,涉及液晶显示技术领域,减小了公共电极的电阻,并且提高了公共电极电压的均一性。该阵列基板,包括多个像素单元,每个所述像素单元包括像素电极和公共电极,还包括:与所述公共电极位于不同层的金属线;所述金属线所在层与所述公共电极所在层之间设置有绝缘层;所述绝缘层在所述金属线的区域设置有多孔,所述金属线通过所述过孔与所述公共电极连接。该显示装置包括上述的阵列基板。



1. 一种阵列基板,包括多个像素单元,每个所述像素单元包括像素电极和公共电极,其特征在于,还包括:

与所述公共电极位于不同层的金属线;

所述金属线所在层与所述公共电极所在层之间设置有绝缘层;

所述绝缘层在所述金属线的区域设置有多个过孔,所述金属线通过所述过孔与所述公共电极连接;

每行像素单元分为多个像素单元组,每个像素单元组由相邻的两个像素单元组成;

每行像素单元上方设置有第一栅线,每行像素单元下方设置有第二栅线,所述第一栅线和第二栅线用于分别驱动所述每个像素单元组中的两个像素单元,每个像素单元组中的两个像素单元连接于同一条数据线;

相邻的像素单元组之间设置有虚拟数据线,所述金属线为所述虚拟数据线。

2. 根据权利要求 1 所述的阵列基板,其特征在于,

所述金属线位于相邻的像素单元之间。

3. 根据权利要求 1 所述的阵列基板,其特征在于,

所述过孔设置于栅线与所述金属线重叠的区域。

4. 根据权利要求 2 所述的阵列基板,其特征在于,

所述金属线设置于相邻的两列像素单元之间。

5. 根据权利要求 2 所述的阵列基板,其特征在于,

每隔两列像素单元设置一列所述金属线。

6. 根据权利要求 1 所述的阵列基板,其特征在于,

所述过孔设置于相邻两行像素单元之间相邻的第一栅线和第二栅线与所述虚拟数据线重叠的区域。

7. 一种显示装置,其特征在于,包括如权利要求 1-6 任一所述的阵列基板。

8. 一种阵列基板的制造方法,其特征在于,用于制造权利要求 1~6 任一项所述的阵列基板,所述制造方法包括:

在基板上形成包括栅线的图案;

在形成上述图案的基板上形成第一绝缘层;

在形成上述图案的基板上形成包括数据线、金属线和像素电极的图案;

在形成上述图案的基板上形成第二绝缘层,并通过构图工艺,在所述第二绝缘层上形成多个过孔;

在形成上述图案的基板上形成包括公共电极的图案,所述公共电极通过所述过孔与所述金属线连接。

阵列基板、显示装置和阵列基板的制作方法

技术领域

[0001] 本发明涉及液晶显示技术领域，尤其涉及一种阵列基板、显示装置和阵列基板的制作方法。

背景技术

[0002] 目前的液晶显示器中，对于面板中公共电极的设置有多种情况，其中一种是将公共电极设置在彩膜基板中，还有一种是将公共电极和像素电极都设置于阵列基板上的情况，例如高级超维场开关 (Advanced-Super Dimensional Switching, 简称 ADS) 技术。ADS 技术是通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场，使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转。

[0003] 然而，对于将公共电极和像素电极都设置于阵列基板上的情况，公共电极具有较大的电阻，并且由于公共电极的面积较大，使得公共电极电压的均一性较差。

发明内容

[0004] 本发明的实施例提供一种阵列基板、显示装置和阵列基板的制作方法，减小了公共电极的电阻，并且提高了公共电极电压的均一性。

[0005] 为解决上述技术问题，本发明的实施例采用如下技术方案：

[0006] 一种阵列基板，包括多个像素单元，每个所述像素单元包括像素电极和公共电极，还包括：

[0007] 与所述公共电极位于不同层的金属线；

[0008] 所述金属线所在层与所述公共电极所在层之间设置有绝缘层；

[0009] 所述绝缘层在所述金属线的区域设置有多个过孔，所述金属线通过所述过孔与所述公共电极连接。

[0010] 进一步地，所述金属线位于相邻的像素单元之间。

[0011] 进一步地，所述过孔设置于栅线与所述金属线重叠的区域。

[0012] 进一步地，所述金属线设置于相邻的两列像素单元之间。

[0013] 进一步地，每隔两列像素单元设置一列所述金属线。

[0014] 进一步地，每行像素单元分为多个像素单元组，每个像素单元组由相邻的两个像素单元组成；

[0015] 每行像素单元上方设置有第一栅线，每行像素单元下方设置有第二栅线，所述第一栅线和第二栅线用于分别驱动所述每个像素单元组中的两个像素单元，每个像素单元组中的两个像素单元连接于同一条数据线；

[0016] 相邻的像素单元组之间设置有虚拟数据线，所述金属线为所述虚拟数据线。

[0017] 进一步地，所述过孔设置于相邻两行像素单元之间相邻的第一栅线和第二栅线与所述虚拟数据线重叠的区域。

- [0018] 一种显示装置,包括上述的阵列基板。
- [0019] 一种阵列基板的制造方法,包括:
- [0020] 在基板上形成包括栅线的图案;
- [0021] 在形成上述图案的基板上形成第一绝缘层;
- [0022] 在形成上述图案的基板上形成包括数据线、金属线和像素电极的图案;
- [0023] 在形成上述图案的基板上形成第二绝缘层,并通过构图工艺,在所述第二绝缘层上形成多个过孔;
- [0024] 在形成上述图案的基板上形成包括公共电极的图案,所述公共电极通过所述过孔与所述金属线连接。
- [0025] 本发明实施例中的阵列基板、显示装置和阵列基板的制备方法,由于通过多个过孔将金属线和公共电极的多个位置相互连接,相当于金属线和公共电极并联,因此减小了公共电极的电阻,并且提高了公共电极电压的均一性。

附图说明

[0026] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

- [0027] 图1为本发明实施例中一种阵列基板的结构示意图;
- [0028] 图2为本发明实施例中另一种阵列基板的结构示意图;
- [0029] 图3为图2中AA'向的截面图;
- [0030] 图4为图2中BB'向的截面图;
- [0031] 图5为本发明实施例中一种阵列基板的制造方法流程图。
- [0032] 附图标记说明:
- [0033] 1-像素电极;2-公共电极;3-金属线;4-过孔;5-数据线;6-栅线。7-第二绝缘层;8-像素单元组;9-玻璃基板;10-第一绝缘层。

具体实施方式

[0034] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0035] 如图1所示,本发明实施例提供一种阵列基板,包括纵向的数据线5和横向的栅线6,数据线5和栅线6交叉定义多个像素单元,每个像素单元包括像素电极1和公共电极2,图1中点状填充区域为公共电极2,在数据线5和栅线6的位置也有公共电极2以连通每个像素单元中的公共电极,在每个像素单元内的像素电极1和公共电极2分别是板状和狭缝状,该阵列基板还包括:与公共电极2位于不同层的金属线3,具体地,金属线3可以为如图1所示纵向的线,也可以为横向的线;金属线3所在层与公共电极2所在层之间设置有绝缘层;绝缘层在金属线3的区域设置有多过孔4,金属线3通过过孔4与公共电极2连接,

多个过孔 4 位于显示区域。

[0036] 需要说明的是,除了图 1 中所示在每个像素单元内的像素电极 1 是板状,公共电极 2 是狭缝状的情况,还可以为像素电极 1 是狭缝状,公共电极 2 是板状的情况。

[0037] 本发明实施例中的阵列基板,由于通过多个过孔将金属线和公共电极的多个位置相互连接,相当于金属线和公共电极并联,不仅减小了公共电极的电阻,而且提高了公共电极电压的均一性。

[0038] 进一步地,金属线 3 可以位于相邻的像素单元之间。使金属线 3 可以被数据线和栅线处的黑矩阵遮挡,不会影响透过率。

[0039] 进一步地,如图 2 所示,过孔 4 可以设置于栅线 6 与金属线 3 重叠的区域的位置,便于通过栅线 6 处的黑矩阵来遮挡过孔 4。

[0040] 进一步地,金属线 3 设置于相邻的两列像素单元之间。金属线 3 具体的条数和分布方式可以根据成本和公共电极电压的均一性要求来进行设置。

[0041] 进一步地,每隔两列像素单元设置一列金属线 3。

[0042] 如图 2 所示,具体地,上述阵列基板可以为双栅(Dual Gate)阵列基板,即通过两条栅线 6 来驱动同一行的像素,这样可以将数据线 5 的数量减半,从而减少了数据 IC 接头的个数。在双栅阵列基板中,每行像素单元分为多个像素单元组 8,每个像素单元组 8 由相邻的两个像素单元组成;每行像素单元上方设置有第一栅线,每行像素单元下方设置有第二栅线,第一栅线和第二栅线用于分别驱动每个像素单元组 8 中的两个像素单元,每个像素单元组 8 中的两个像素单元连接于同一条数据线 5;相邻的像素单元组 8 之间设置有虚拟数据线(Dummy Data Line),虚拟数据线在驱动的过程中没有实际的作用。上述金属线 3 可以为虚拟数据线。这样可以有效的利用原来在驱动过程中没有实际作用的虚拟数据线作为金属线 3 以减小公共电极的电阻并提高公共电极电压的均一性。

[0043] 相应的,在双栅阵列基板中,相邻的两行像素单元之间设置有两行栅线 6;过孔 4 设置于相邻两行像素单元之间相邻的第一栅线和第二栅线与虚拟数据线重叠的区域。这是因为虚拟数据线较细,不需要太大尺寸的黑矩阵进行遮挡,而制作过孔需要较大的尺寸,如果在虚拟数据线的其他位置制作过孔 4,则需要较大尺寸的黑矩阵进行遮挡,从而降低了透过率,而两行栅线 6 的尺寸足够大以覆盖过孔 4,因此不会降低透过率。

[0044] 需要说明的是,可以在每一行像素单元都设置一行过孔 4,或者每隔一行才设置一行过孔 4。上述过孔 4 不需要额外的掩膜(Mask)制作过程,因为通常阵列基板的显示区域周边就需要制作过孔,只需要在原来的掩膜版中增加上述过孔 4 的图形即可实现。本发明实施例中的阵列基板适用于各种将公共电极和像素电极都设置于阵列基板上的显示装置中,例如采用 ADS 技术的屏幕或者采用平面转换(In-Plane Switching,简称 IPS)技术的屏幕,针对不同应用,ADS 技术的改进技术有高透过率 I-ADS 技术、高开口率 H-ADS 和高分辨率 S-ADS 技术等,本发明实施例所提供的阵列基板为采用 HADS 技术显示装置的阵列基板。

[0045] 本发明实施例中的阵列基板,由于通过多个过孔将金属线和公共电极的多个位置相互连接,相当于金属线和公共电极并联,不仅减小了公共电极的电阻,而且提高了公共电极电压的均一性。

[0046] 本发明实施例还提供一种显示装置,包括上述的阵列基板。

[0047] 本发明实施例中的显示装置,由于阵列基板通过多个过孔将金属线和公共电极的

多个位置相互连接,相当于金属线和公共电极并联,不仅减小了公共电极的电阻,而且提高了公共电极电压的均一性。

[0048] 图 5 所示,本发明实施例还提供一种阵列基板的制造方法,可以用于制造上述各实施例中的阵列基板,该制造方法包括:

[0049] 步骤 101、参考图 2、图 3 和图 4 所示,在玻璃基板 9 上形成包括栅线 6 的图案;

[0050] 步骤 102、在形成上述图案的基板上形成第一绝缘层 10;

[0051] 步骤 103、在形成上述图案的基板上形成包括数据线、金属线 3 和像素电极 1 的图案;

[0052] 步骤 104、在形成上述图案的基板上形成第二绝缘层 7,并通过构图工艺,在第二绝缘层 7 上形成多个过孔 4;

[0053] 步骤 105、在形成上述图案的基板上形成包括公共电极 2 的图案,公共电极 2 通过过孔 4 与金属线 3 连接。

[0054] 具体的阵列基板结构与上述实施例相同,在此不再赘述。

[0055] 本发明实施例中阵列基板的制作方法,由于阵列基板通过多个过孔将金属线和公共电极的多个位置相互连接,相当于金属线和公共电极并联,不仅减小了公共电极的电阻,而且提高了公共电极电压的均一性。

[0056] 另外,对于例如采用 ADS 技术的像素电极在公共电极上方的阵列基板,也可以采用与本发明实施例类似的制造方法,区别仅在于先制作包括公共电极的图案,在形成上述图案的基板上形成绝缘层,并通过构图工艺,在该绝缘层上形成多个过孔,在形成上述图案的基板上形成包括金属线的图案,金属线通过所述过孔与公共电极连接。

[0057] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

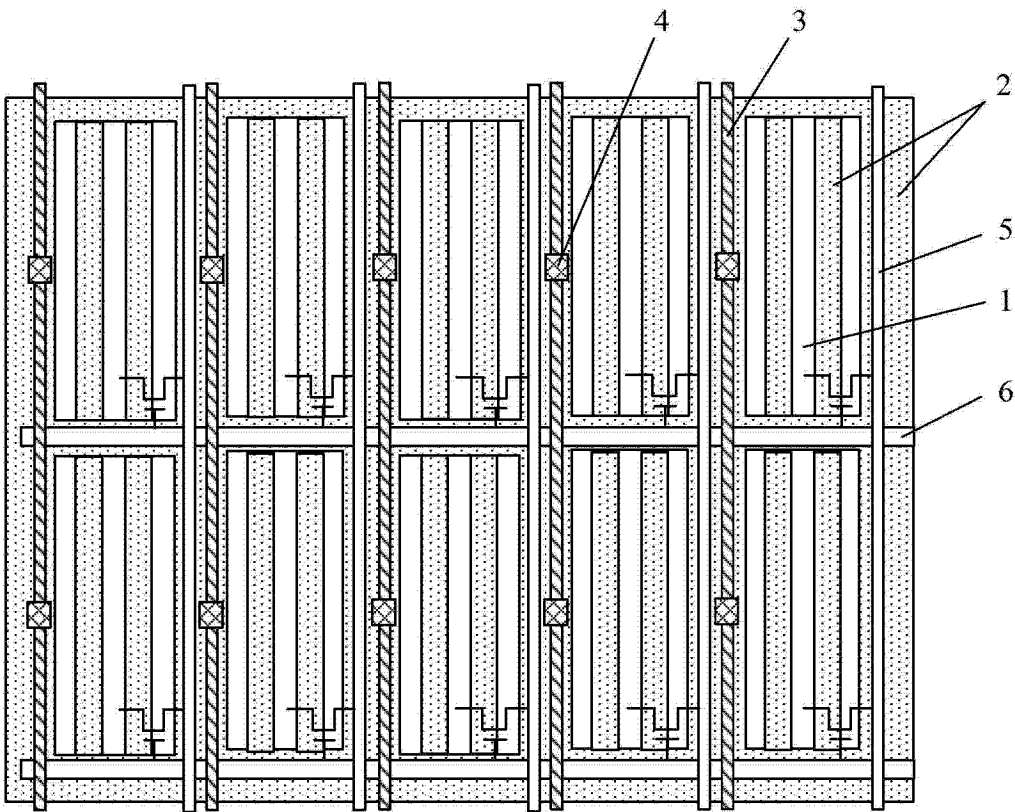


图 1

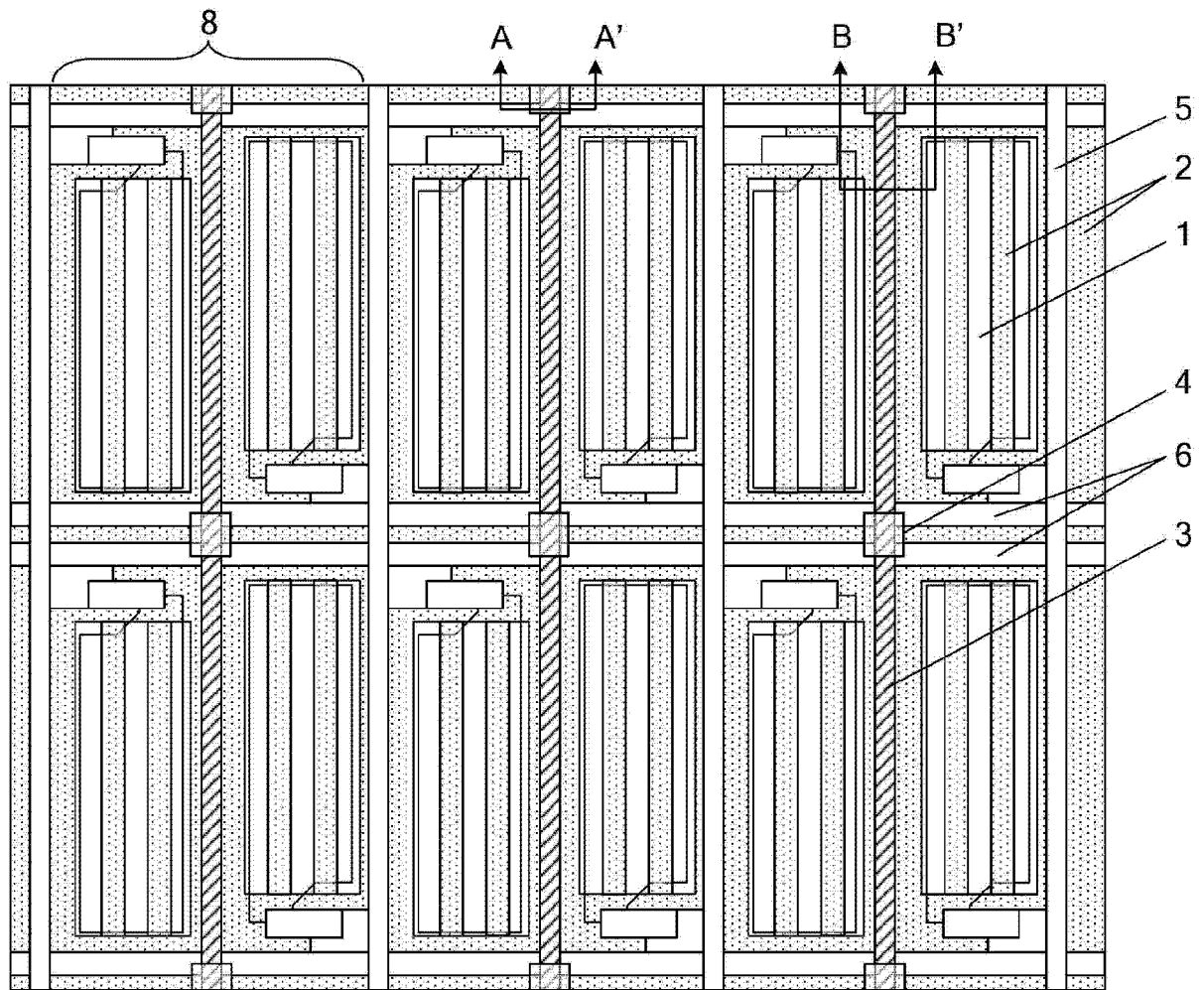


图 2

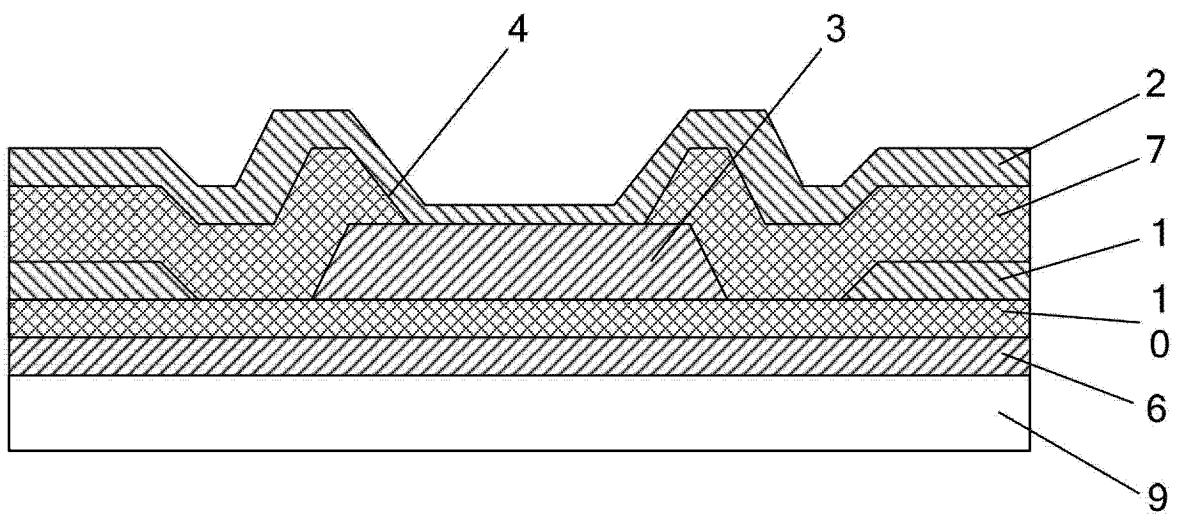


图 3

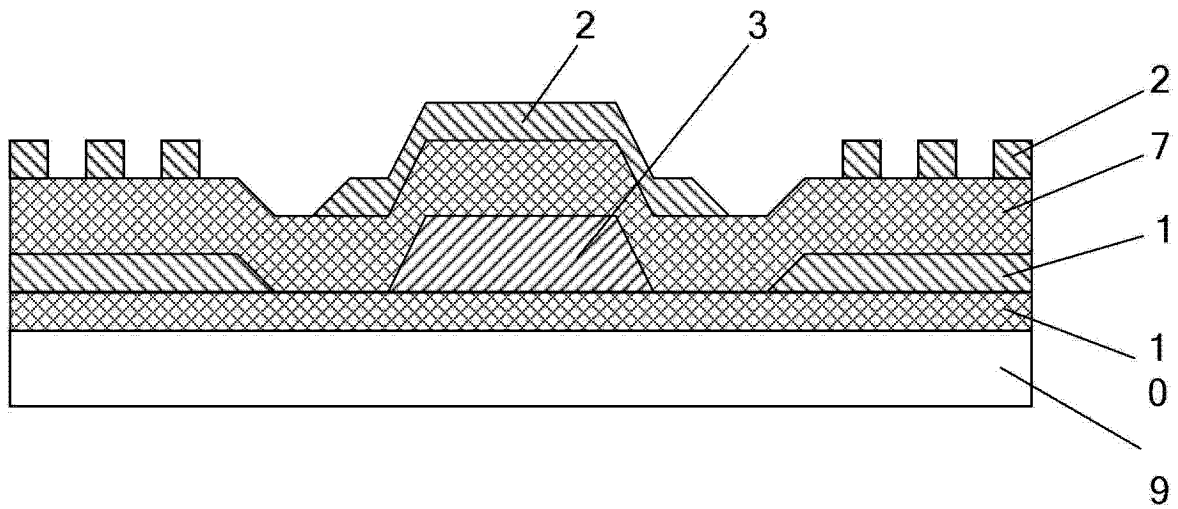


图 4

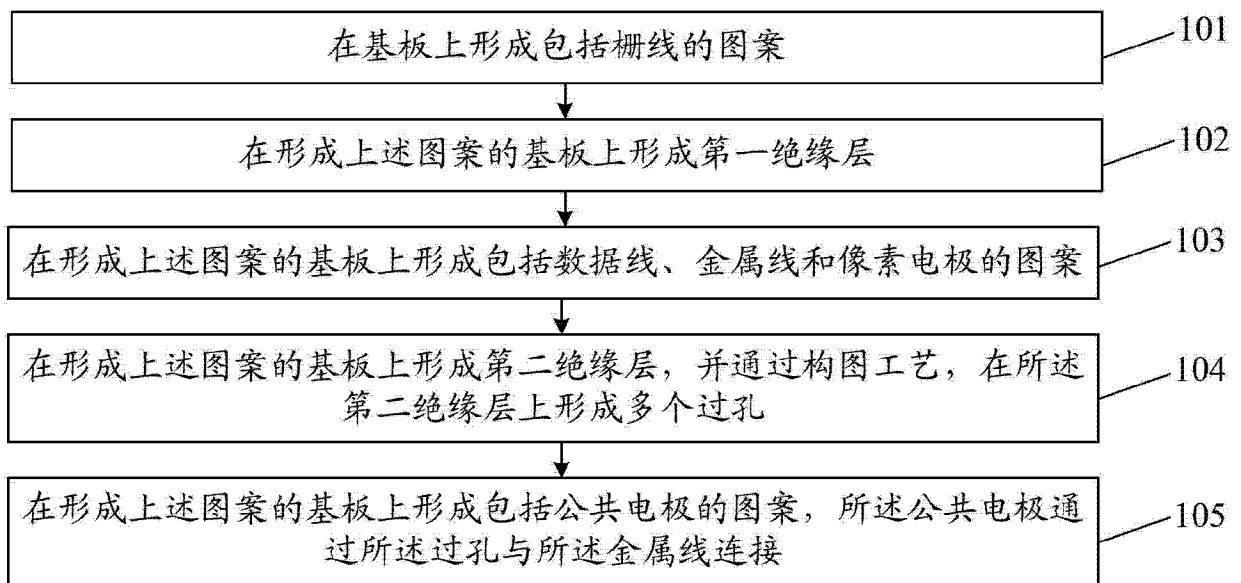


图 5

专利名称(译)	阵列基板、显示装置和阵列基板的制作方法		
公开(公告)号	CN102937767B	公开(公告)日	2015-08-05
申请号	CN201210421322.4	申请日	2012-10-29
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	木素真 李成		
发明人	木素真 李成		
IPC分类号	G02F1/1362 H01L21/77		
代理人(译)	申健		
其他公开文献	CN102937767A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板、显示装置和阵列基板的制作方法，涉及液晶显示技术领域，减小了公共电极的电阻，并且提高了公共电极电压的均一性。该阵列基板，包括多个像素单元，每个所述像素单元包括像素电极和公共电极，还包括：与所述公共电极位于不同层的金属线；所述金属线所在层与所述公共电极所在层之间设置有绝缘层；所述绝缘层在所述金属线的区域设置有多孔，所述金属线通过所述过孔与所述公共电极连接。该显示装置包括上述的阵列基板。

