



(12)发明专利申请

(10)申请公布号 CN 107578757 A

(43)申请公布日 2018.01.12

(21)申请号 201710963742.8

(22)申请日 2017.10.17

(71)申请人 深圳市华星光电技术有限公司

地址 518000 广东省深圳市光明新区塘明
大道9-2号

(72)发明人 陈帅

(74)专利代理机构 深圳汇智容达专利商标事务
所(普通合伙) 44238

代理人 潘中毅 熊贤卿

(51)Int.Cl.

G09G 3/36(2006.01)

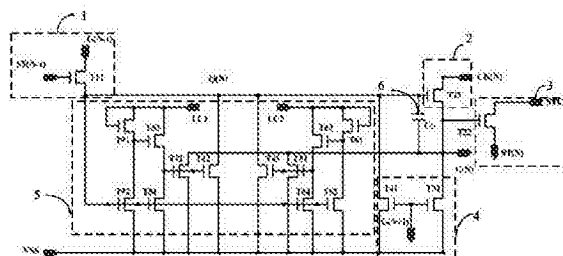
权利要求书1页 说明书5页 附图3页

(54)发明名称

一种GOA电路及液晶面板、显示装置

(57)摘要

本发明提供一种GOA电路,由多个GOA结构单元级联形成,每一个单级GOA结构单元均包括上拉控制电路、上拉电路、下传电路、下拉电路、下拉维持电路和自举电容;每一个单级GOA结构单元的下传电路均由一薄膜晶体管组成,且下传电路的薄膜晶体管的栅极均接入对应同级GOA结构单元中上拉电路与栅极输出信号之间的连线上,漏极均接入一产生时钟修正信号的信号源中,源极均接入下一级GOA结构单元的上拉控制电路中;其中,下传电路接入的时钟修正信号的占空比均小于其对应上拉电路接入的时钟信号的占空比。实施本发明,能够避免单级GOA结构单元上拉控制电路中薄膜晶体管不能被完全关闭的情况,从而提高GOA电路的可靠性和稳定性。



1. 一种GOA电路,其特征在于,其由多个GOA结构单元级联形成;每一个单级GOA结构单元均包括上拉控制电路、上拉电路、下传电路、下拉电路、下拉维持电路和自举电容,且每一个单级GOA结构单元上均设时钟信号、预充点电位信号以及输出至水平扫描线上的栅极输出信号;其中,

所述GOA电路中每一个单级GOA结构单元的下传电路均由一薄膜晶体管组成,且每一个单级GOA结构单元中下传电路的薄膜晶体管的栅极均接入对应同级GOA结构单元中上拉电路与栅极输出信号之间的连线上,漏极均接入一产生时钟修正信号的信号源中,源极均接入下一级GOA结构单元的上拉控制电路中;其中,每一个单级GOA结构单元中下传电路接入的时钟修正信号的占空比均小于其对应上拉电路接入的时钟信号的占空比。

2. 如权利要求1所述的GOA电路,其特征在于,所述GOA电路中每一个单级GOA结构单元中下传电路接入的时钟修正信号均来自同一信号源。

3. 如权利要求2所述的GOA电路,其特征在于,所述GOA电路中每一个单级GOA结构单元上的时钟信号均设置于其对应的上拉电路上。

4. 如权利要求3所述的GOA电路,其特征在于,所述GOA电路中每一个单级GOA结构单元上的预充点电位信号均设置于其对应的上拉控制电路与下拉维持电路之间。

5. 如权利要求4所述的GOA电路,其特征在于,所述GOA电路中每一个单级GOA结构单元上的下拉电路均由两个薄膜晶体管组成;其中,所述每一个单级GOA结构单元中下拉电路的两个薄膜晶体管的栅极进行对接,且两个薄膜晶体管的源极均通过公共的金属线与一产生直流低压信号的电压源相连,两个薄膜晶体管的漏极分别接入其对应同级GOA结构单元上的预充点电位信号和栅极输出信号中。

6. 如权利要求5所述的GOA电路,其特征在于,所述GOA电路中每一个单级GOA结构单元上的上拉电路均由一薄膜晶体管组成;其中,所述每一个单级GOA结构单元中上拉电路的薄膜晶体管的栅极均与其对应同级GOA结构单元中的预充点电位信号相连,源极均与其对应同级GOA结构单元中下传电路的薄膜晶体管的栅极相连,漏极均对应接入时钟信号中。

7. 一种液晶面板,其特征在于,包括如权利要求1至6中任一项所述的GOA电路。

8. 一种显示装置,其特征在于,包括如权利要求7所述的液晶面板。

一种GOA电路及液晶面板、显示装置

技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及一种GOA(Gate Driver On Array,阵列基板行驱动)电路及液晶面板、显示装置。

背景技术

[0002] 液晶显示器具有低辐射、体积小及低耗能等优点,已逐渐在部分应用中取代传统的阴极射线管显示器,因而被广泛地应用于笔记本电脑、个人数字助理PDA、平面电视或移动电话等产品上。传统液晶显示器的方式是利用外部驱动芯片来驱动面板上的芯片以显示图像,但为了减少元件数目并降低制造成本,近年来逐渐发展成将驱动电路结构直接制作于显示面板上,例如采用GOA技术,即将栅极驱动电路集成在玻璃基板上,形成对液晶面板的扫描驱动。

[0003] GOA技术相比传统COF(Chip On Flex/Film,覆晶薄膜)技术,不仅可以大幅度节约制造成本,而且省去了Gate侧COF的Bonging制程,对产能提升也是极为有利的。因此,GOA是未来液晶面板发展的重点技术。

[0004] 如图1所示,现有的GOA 电路,通常包括级联的多个单级GOA 结构单元,每一级GOA 结构单元均对应驱动一级水平扫描线。GOA 结构单元的主要结构包括上拉控制电路①,上拉电路②,下传电路③,下拉电路④和下拉维持电路⑤,以及负责电位抬升的自举电容⑥。其中,上拉控制电路①负责为预充点电位信号 $Q(N)$ 实现预充电,一般连接上一级GOA结构单元传递过来的下传信号和栅极输出信号;上拉电路②主要为提高栅极输出信号 $G(N)$ 电位,控制Gate的打开;下传电路③主要为控制下一级GOA 结构单元中信号的打开和关闭;下拉电路④负责在第一时间拉低 $Q(N)$ 、 $G(N)$ 点电位至直流低电压VSS,从而关闭 $G(N)$ 点信号;下拉维持电路⑤则负责将 $Q(N)$ 、 $G(N)$ 点电位维持在VSS不变,即负电位,通常有两个下拉维持模块交替作用;自举电容⑥则负责 $Q(N)$ 点的二次抬升,这样有利于上拉电路的 $G(N)$ 输出。

[0005] 由于下拉维持电路⑤的电子元件实际上是一种反相器,可以采用达灵顿结构反向器,因此图1的单级GOA 结构单元可变换成图2的单级GOA结构单元。在图2中,通常会设置两个下拉维持单元⑤交替工作防止薄膜晶体管T32、T42、T33、T43长时间受到PBS(Positive Bias Stress,正偏压应力)而使器件的阈值电压 V_{th} 正向偏转严重导致电路失效。以2CK时钟信号为例对单级GOA结构单元中信号变化情况进行说明,上一级GOA结构单元的ST(N-1)及 $G(N-1)$ 将本级GOA结构单元的 $Q(N)$ 点预充电并维持在高电位,而本级GOA结构单元CK(N)将 $Q(N)$ 点升压至更高电位以确保T21、T22可以被正常打开,使得CK(N)能将ST(N)和 $G(N)$ 充电至高位,具体输出的信号波形图,如图3所示。

[0006] 但是,发明人发现,上述单级GOA结构单元下,当ST(N-1)和 $G(N-1)$ 从高电位降低至低电位时,由于RC延时的原因,其下降沿并非阶变而是存在一定程度的延迟,由于此时的栅极电位 $V_{gs}=0V$,使得上拉控制电路中薄膜晶体管T11不能被完全关闭将导致 $Q(N)$ 点产生压降,由此将可能导致T21、T22的开启受到一定程度的影响,造成GOA电路的信赖性问题。

发明内容

[0007] 本发明实施例所要解决的技术问题在于,提供一种GOA电路及液晶面板、显示装置,能够避免单级GOA结构单元中上拉控制电路的薄膜晶体管不能被完全关闭的情况,从而提高GOA电路的可靠性和稳定性。

[0008] 为了解决上述技术问题,本发明实施例提供了一种GOA电路,其由多个GOA结构单元级联形成;每一个单级GOA结构单元均包括上拉控制电路、上拉电路、下传电路、下拉电路、下拉维持电路和自举电容,且每一个单级GOA结构单元上均设时钟信号、预充点电位信号以及输出至水平扫描线上的栅极输出信号;其中,

所述GOA电路中每一个单级GOA结构单元的下传电路均由一薄膜晶体管组成,且每一个单级GOA结构单元中下传电路的薄膜晶体管的栅极均接入对应同级GOA结构单元中上拉电路与栅极输出信号之间的连线上,漏极均接入一产生时钟修正信号的信号源中,源极均接入下一级GOA结构单元的上拉控制电路中;其中,每一个单级GOA结构单元中下传电路接入的时钟修正信号的占空比均小于其对应上拉电路接入的时钟信号的占空比。

[0009] 其中,每一个单级GOA结构单元中下传电路接入的时钟修正信号均来自同一信号源。

[0010] 所述GOA电路中每一个单级GOA结构单元上的时钟信号均设置于其对应的上拉电路上。

[0011] 其中,所述GOA电路中每一个单级GOA结构单元上的预充点电位信号均设置于其对应的上拉控制电路与下拉维持电路之间。

[0012] 其中,所述GOA电路中每一个单级GOA结构单元上的下拉电路均由两个薄膜晶体管组成;其中,所述每一个单级GOA结构单元中下拉电路的两个薄膜晶体管的栅极进行对接,且两个薄膜晶体管的源极均通过公共的金属线与一产生直流低压信号的电压源相连,两个薄膜晶体管的漏极分别接入其对应同级GOA结构单元上的预充点电位信号和栅极输出信号中。

[0013] 其中,所述GOA电路中每一个单级GOA结构单元上的上拉电路均由一薄膜晶体管组成;其中,所述每一个单级GOA结构单元中上拉电路的薄膜晶体管的栅极均与其对应同级GOA结构单元中的预充点电位信号相连,源极均与其对应同级GOA结构单元中下传电路的薄膜晶体管的栅极相连,漏极均对应接入时钟信号中。

[0014] 本发明实施例还提供了一种液晶面板,包括前述的GOA电路。

[0015] 本发明实施例又提供了一种显示装置,包括前述的液晶面板。

[0016] 实施本发明实施例,具有如下有益效果:

在本发明实施例中,通过对GOA电路中每一个单级GOA结构单元的下传电路引入占空比小于上传电路中时钟信号的时钟修正信号,使得下传信号的电位能够在栅极输出信号之前拉低,从而实现下一级GOA结构单元中上拉控制电路的薄膜晶体管能够完全关闭,提高了GOA电路的可靠性和稳定性。

附图说明

[0017] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现

有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,根据这些附图获得其他的附图仍属于本发明的范畴。

[0018] 图1为现有技术中单级GOA结构单元的一电路图;

图2为现有技术中单级GOA结构单元的另一电路图;

图3为图2单级GOA结构单元中各信号的波形图;

图4为本发明实施例一提供的GOA电路中单级GOA结构单元的电路图;

图5为图4中单级GOA结构单元中各信号的波形图。

具体实施方式

[0019] 为使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明作进一步地详细描述。

[0020] 在本发明实施例一中提供一种GOA电路,其由多个GOA结构单元级联形成。每一个单级GOA结构单元均包括上拉控制电路、上拉电路、下传电路、下拉电路、下拉维持电路和自举电容,且每一个单级GOA结构单元上均设有时钟信号、预充点电位信号以及输出至水平扫描线上的栅极输出信号;其中,

该GOA电路中每一个单级GOA结构单元的下传电路均由一薄膜晶体管组成,且每一个单级GOA结构单元中下传电路的薄膜晶体管的栅极均接入对应同级GOA结构单元中上拉电路与栅极输出信号之间的连线上,漏极均接入一产生时钟修正信号的信号源中,源极均接入下一级GOA结构单元的上拉控制电路中;其中,每一个单级GOA结构单元中下传电路接入的时钟修正信号的占空比均小于其对应上拉电路接入的时钟信号的占空比。

[0021] 在本发明实施例一中,GOA电路中每一个单级GOA结构单元上的时钟信号均设置于其对应的上拉电路上。

[0022] 在本发明实施例一中,GOA电路中每一个单级GOA结构单元上的预充点电位信号均设置于其对应的上拉控制电路与下拉维持电路之间。

[0023] 在本发明实施例一中,GOA电路中每一个单级GOA结构单元上的下拉电路均由两个薄膜晶体管组成;其中,每一个单级GOA结构单元中下拉电路的两个薄膜晶体管的栅极进行对接,且两个薄膜晶体管的源极均通过公共的金属线与一产生直流低压信号的电压源相连,两个薄膜晶体管的漏极分别接入其对应同级GOA结构单元上的预充点电位信号和栅极输出信号中。

[0024] 在本发明实施例一中,GOA电路中每一个单级GOA结构单元上的上拉电路均由一薄膜晶体管组成;其中,每一个单级GOA结构单元中上拉电路的薄膜晶体管的栅极均与其对应同级GOA结构单元中的预充点电位信号相连,源极均与其对应同级GOA结构单元中下传电路薄膜晶体管的栅极相连,漏极均对应接入时钟信号中。

[0025] 在本发明实施例一中,GOA电路中每一个单级GOA结构单元上的上拉控制电路均由一薄膜晶体管组成;其中,每一个单级GOA结构单元中上拉控制电路的薄膜晶体管的栅极均与上一级GOA结构单元中下传电路的薄膜晶体管的栅极相连,源极均对应接入同级GOA结构单元的预充点电位信号中,漏极均接入上一级GOA结构单元的栅极输出信号中。

[0026] 如图4所示,以一个单级GOA结构单元为例对本发明实施例一中的GOA电路进行说

明,

该单级GOA结构单元包括上拉控制电路1、上拉电路2、下传电路3、下拉电路4、下拉维持电路5和自举电容6,且该单级GOA结构单元上形成有接入上拉电路2中的时钟信号CK(N)、位于上拉控制电路1和下拉维持电路5之间的预充点电位信号Q(N)以及输出至水平扫描线上的栅极输出信号G(N);其中,

该单级GOA结构单元的下传电路3均由一薄膜晶体管T22组成,且下传电路3的薄膜晶体管T22的栅极均接入对应上拉电路2与栅极输出信号G(N)之间的连线上,漏极接入一产生时钟修正信号STCK的信号源中,源极均接入下一级GOA结构单元的上拉控制电路中,即对应ST(N)点;其中,下传电路3接入的时钟修正信号STCK的占空比小于其对应上拉电路2接入的时钟信号CK(N)的占空比。

[0027] 此时,上拉控制电路1由薄膜晶体管T11组成,上拉控制电路1由薄膜晶体管T11的栅极上一级GOA结构单元中下传电路3的薄膜晶体管T22的栅极相连,即接入上一级信号ST(N-1)中,源极接入本级的预充点电位信号Q(N)中,漏极接入上一级GOA结构单元中的栅极输出信号G(N-1)中。

[0028] 此时,上拉电路2由薄膜晶体管T21组成,上拉电路2的薄膜晶体管T21的栅极与预充点电位信号Q(N)相连,源极与下传电路3的薄膜晶体管T22的栅极相连,漏极均对应接入时钟信号CK(N)中。

[0029] 此时,下拉电路4由两个薄膜晶体管(T31和T41)组成;其中,下拉电路4的两个薄膜晶体管(T31和T41)的栅极进行对接,且两个薄膜晶体管(T31和T41)的源极均通过公共的金属线与一产生直流低压信号VSS的电压源相连,两个薄膜晶体管(T31和T41)的漏极分别接入其对应的预充点电位信号Q(N)和栅极输出信号G(N)中。

[0030] 根据图4,对单级GOA结构单元的工作原理做进一步说明:当上一级GOA结构单元G(N-1)为高电位时,则上一级GOA结构单元中下传电路的T22被打开,对应的时钟修正信号STCK信号被写入ST(N-1),由于时钟修正信号STCK的占空比小于CK(N)的占空比,因此本级GOA结构单元中的ST(N-1)会比G(N-1)提前关闭。因此,当上一级GOA结构单元级传至本级GOA结构单元时,ST(N-1)及G(N-1)为高电位时,则Q(N)被预充入高电位,而当ST(N-1)为低电位,G(N-1)为高电位时,则使得上拉控制单元中T11的 $V_{gs} < 0V$,T11被完全关闭,由此可以避免Q(N)产生压降,形成如图5所示的波形图。

[0031] 应当说明的是,每一个单级GOA结构单元中下传电路接入的时钟修正信号均来自同一信号源。从单级GOA结构单元来说,由于下传电路的栅极信号是由栅极输出信号控制的,只有当栅极输出信号开启时,才会影响下传信号的电位,因此当栅极输出信号关闭时,时钟修正信号的交流信号并不会影响下传信号的波形。以图4为例,GOA电路中的所有ST点均可接在同一条STCK上,由于T22的栅极信号是由G(N)点控制的,只有当G(N)点开启时,才会影响ST(N)点的电位,因此当G(N)点关闭时,STCK的交流信号并不会影响ST(N)点的波形。

[0032] 相应于本发明实施例一的GOA电路,本发明实施例二提供了一种液晶面板,包括本发明实施例一的GOA电路,与本发明实施例一的GOA电路具有相同的结构和连接关系,具体请参见本发明实施例一中的相关内容,在此不再一一赘述。

[0033] 相应于本发明实施例二的液晶面板,本发明实施例三又提供了一种显示装置,包括本发明实施例二中的液晶面板,与本发明实施例二中的液晶面板具有相同的结构和连接

关系,具体请参见本发明实施例二中的相关内容,在此不再一一赘述。

[0034] 实施本发明实施例,具有如下有益效果:

在本发明实施例中,通过对GOA电路中每一个单级GOA结构单元的下传电路引入占空比小于上传电路中时钟信号的时钟修正信号,使得下传信号的电位能够在栅极输出信号之前拉低,从而实现下一级GOA结构单元中上拉控制电路的薄膜晶体管能够完全关闭,提高了GOA电路的可靠性和稳定性。

[0035] 以上所揭露的仅为本发明一种较佳实施例而已,当然不能以此来限定本发明之权利范围,因此依本发明权利要求所作的等同变化,仍属本发明所涵盖的范围。

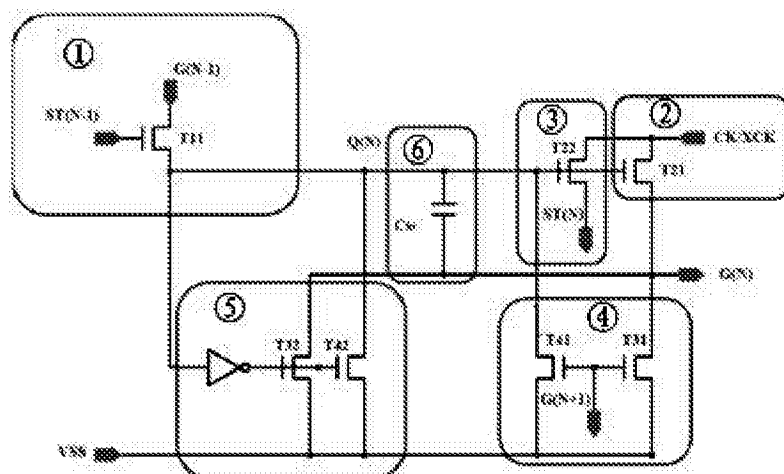


图 1

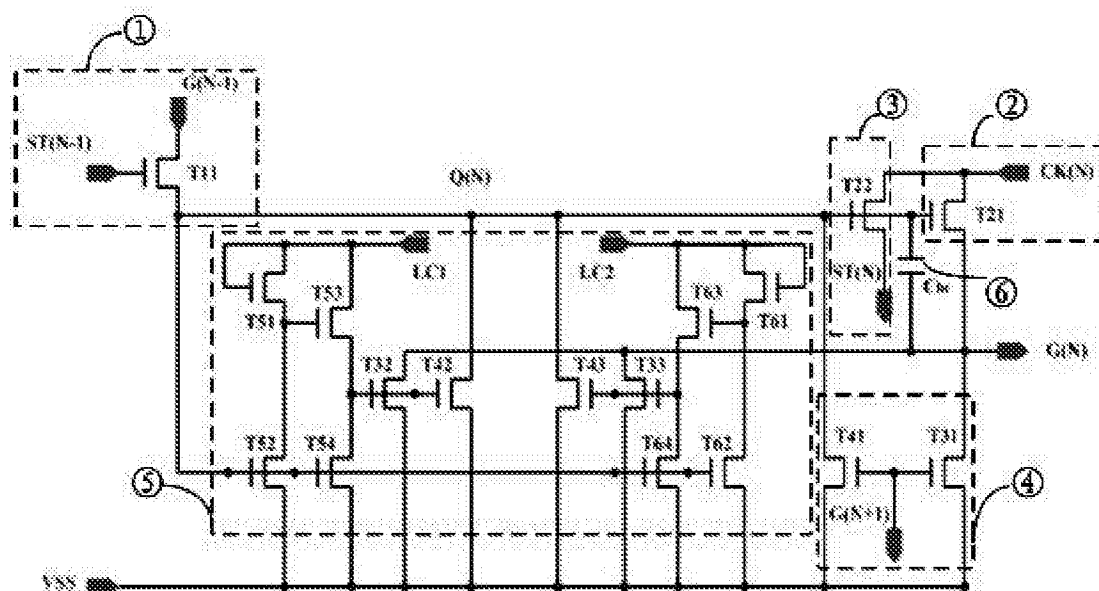


图 2

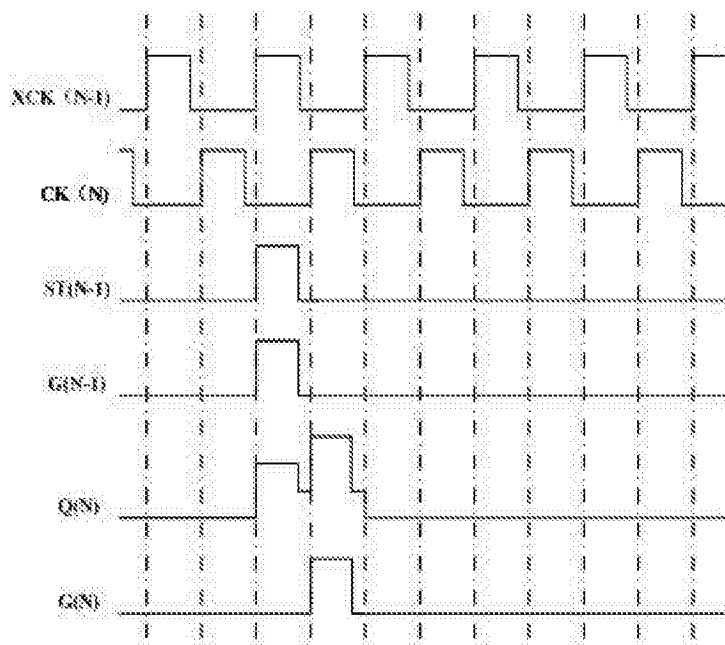


图3

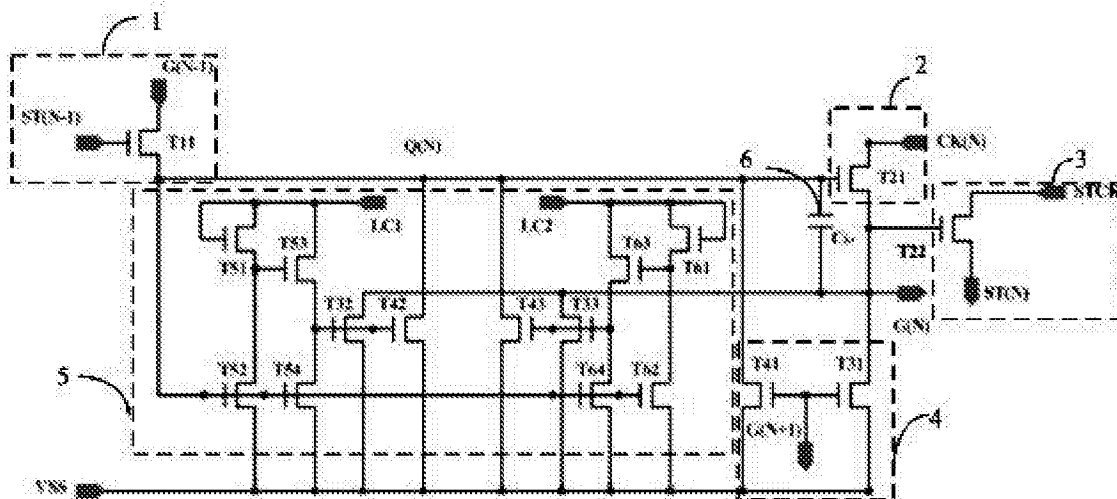


图4

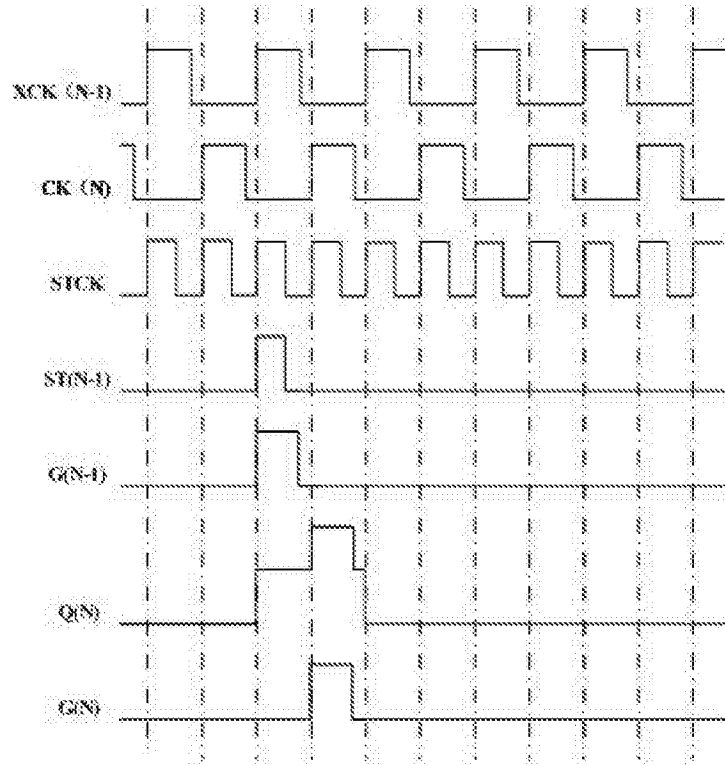


图5

专利名称(译)	一种GOA电路及液晶面板、显示装置		
公开(公告)号	CN107578757A	公开(公告)日	2018-01-12
申请号	CN2017110963742.8	申请日	2017-10-17
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	陈帅		
发明人	陈帅		
IPC分类号	G09G3/36		
其他公开文献	CN107578757B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种GOA电路，由多个GOA结构单元级联形成，每一个单级GOA结构单元均包括上拉控制电路、上拉电路、下传电路、下拉电路、下拉维持电路和自举电容；每一个单级GOA结构单元的下传电路均由一薄膜晶体管组成，且下传电路的薄膜晶体管的栅极均接入对应同级GOA结构单元中上拉电路与栅极输出信号之间的连线上，漏极均接入一产生时钟修正信号的信号源中，源极均接入下一级GOA结构单元的上拉控制电路中；其中，下传电路接入的时钟修正信号的占空比均小于其对应上拉电路接入的时钟信号的占空比。实施本发明，能够避免单级GOA结构单元上拉控制电路中薄膜晶体管不能被完全关闭的情况，从而提高GOA电路的可靠性和稳定性。

