



(12)发明专利申请

(10)申请公布号 CN 106205528 A

(43)申请公布日 2016. 12. 07

(21)申请号 201610575343.X

(22)申请日 2016.07.19

(71)申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明
大道9—2号

(72)发明人 石龙强

(74)专利代理机构 深圳翼盛智成知识产权事务
所(普通合伙) 44300

代理人 黄威

(51)Int.Cl.

G09G 3/36(2006.01)

G02F 1/1345(2006.01)

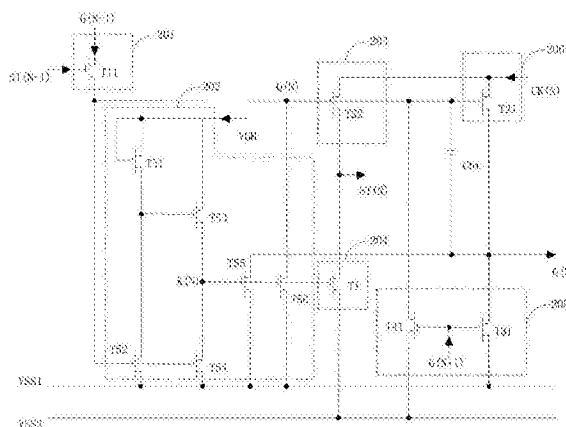
权利要求书2页 说明书7页 附图2页

(54)发明名称

一种GOA电路及液晶显示面板

(57)摘要

本发明提供一种GOA电路及液晶显示面板，其包括上拉控制模块、上拉模块、下传模块、下拉模块、下拉维持模块、自举电容、第一恒压低电平源、第二恒压低电平源以及电容耦合抑制模块；其中，上拉控制模块分别与上拉模块、下传模块、下拉模块、下拉维持模块以及自举电容连接，第一恒压低电平源分别与下拉模块和下拉维持模块连接，第二恒压低电平源分别与下拉模块连接，电容耦合抑制模块分别与下拉维持模块和下传模块连接。本发明的GOA电路及液晶显示面板通过设置电容耦合抑制模块，可以抑制电容耦合效应的产生，从而不会使得扫描信号输出异常，进而不会影响显示。



1. 一种GOA电路,其特征在于,包括:

上拉控制模块,用于接收上一级的扫描信号,并受上一级的级传信号的控制生成本级的扫描电平信号;

上拉模块,用于根据所述本级的扫描电平信号以及本级的时钟信号拉升本级的扫描信号;

下传模块,用于根据所述本级的扫描电平信号以及本级的时钟信号生成本级的级传信号;

下拉模块,用于根据下一级的扫描信号,拉低所述本级的扫描电平信号;

下拉维持模块,用于维持所述本级的扫描电平信号的低电平;

自举电容,用于生成所述本级的扫描信号的高电平;

第一恒压低电平源,用于提供第一恒压低电平;

第二恒压低电平源,用于提供第二恒压低电平;以及,

电容耦合抑制模块,用于受所述下拉维持模块的控制端的电压的控制输出所述第二恒压低电平至所述本级的级传信号的输出端;

其中,所述上拉控制模块分别与所述上拉模块、所述下传模块、所述下拉模块、所述下拉维持模块以及所述自举电容连接,所述第一恒压低电平源分别与所述下拉模块和所述下拉维持模块连接,所述第二恒压低电平源分别与所述下拉模块以及所述电容耦合抑制模块连接,所述电容耦合抑制模块分别与所述下拉维持模块和所述下传模块连接。

2. 根据权利要求1所述的GOA电路,其特征在于,所述电容耦合抑制模块包括第一薄膜晶体管,所述第一薄膜晶体管的栅极电性连接于所述下拉维持模块的控制端,所述第一薄膜晶体管的源极电性连接于所述第二恒压低电平源,所述第一薄膜晶体管的漏极电性连接于所述本级的级传信号的输出端。

3. 根据权利要求1所述的GOA电路,其特征在于,所述上拉控制模块包括第十一薄膜晶体管,所述第十一薄膜晶体管的栅极接入所述上一级的级传信号,所述第十一薄膜晶体管的源极接入所述上一级的扫描信号,所述第十一薄膜晶体管的漏极电性连接于所述上拉控制模块的输出端。

4. 根据权利要求1所述的GOA电路,其特征在于,所述上拉模块包括第二十一薄膜晶体管,所述第二十一薄膜晶体管的栅极电性连接于所述上拉控制模块的输出端,所述第二十一薄膜晶体管的源极接入所述本级的时钟信号,所述第二十一薄膜晶体管的漏极电性连接于所述本级的扫描信号的输出端。

5. 根据权利要求1所述的GOA电路,其特征在于,所述下传模块包括第二十二薄膜晶体管,所述第二十二薄膜晶体管的栅极电性连接于所述上拉控制模块的输出端,所述第二十二薄膜晶体管的源极接入所述本级的时钟信号,所述第二十二薄膜晶体管的漏极电性连接于所述本级的级传信号的输出端。

6. 根据权利要求1所述的GOA电路,其特征在于,所述下拉模块包括第三十一薄膜晶体管和第四十一薄膜晶体管;

所述第三十一薄膜晶体管的栅极接入下一级的扫描信号,所述第三十一薄膜晶体管的源极电性连接于所述第一恒压低电平源,所述第三十一薄膜晶体管的漏极电性连接于所述本级的扫描信号的输出端;

所述第四十一薄膜晶体管的栅极接入所述下一级的扫描信号,所述第四十一薄膜晶体管的源极电性连接于所述第二恒压低电平源,所述第四十一薄膜晶体管的漏极电性连接于所述上拉控制模块的输出端。

7. 根据权利要求1所述的GOA电路,其特征在于,所述下拉维持模块包括第五十一薄膜晶体管、第五十二薄膜晶体管、第五十三薄膜晶体管、第五十四薄膜晶体管、第五十五薄膜晶体管以及第五十六薄膜晶体管;

所述第五十一薄膜晶体管的栅极和漏极电性连接于恒压高电平源,所述第五十一薄膜晶体管的漏极电性连接于所述第五十三薄膜晶体管的栅极和所述第五十二薄膜晶体管的漏极;

所述第五十二薄膜晶体管的栅极电性连接于所述上拉控制模块的输出端,所述第五十二薄膜晶体管的源极电性连接于所述第一恒压低电平源;

所述第五十三薄膜晶体管的源极电性连接于所述恒压高电平源,所述第五十三薄膜晶体管的漏极电性连接于所述下拉维持模块的控制端;

所述第五十四薄膜晶体管的源极电性连接于所述第一恒压低电平源,所述第五十四薄膜晶体管的栅极电性连接于所述上拉控制模块的输出端,所述第五十四薄膜晶体管的漏极电性连接于所述下拉维持模块的控制端;

所述第五十五薄膜晶体管的栅极电性连接于所述下拉维持模块的控制端,所述第五十五薄膜晶体管的源极电性连接于所述第一恒压低电平源,所述第五十五薄膜晶体管的漏极电性连接于所述本级的扫描信号的输出端;

所述第五十六薄膜晶体管的栅极电性连接于所述下拉维持模块的控制端,所述第五十六薄膜晶体管的源极电性连接于所述第一恒压低电平源,所述第五十六薄膜晶体管的漏极电性连接于所述上拉控制模块的输出端。

8. 根据权利要求7所述的GOA电路,其特征在于,所述恒压高电平源的电平值为20~30V。

9. 根据权利要求1所述的GOA电路,其特征在于,所述第一恒压低电平值为-8V;所述第二恒压低电平值为-6V。

10. 一种液晶显示面板,其特征在于,包括权利要求1-9任一所述的GOA电路。

一种GOA电路及液晶显示面板

技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及一种GOA电路及液晶显示面板。

背景技术

[0002] Gate Driver On Array,简称GOA,即在现有薄膜晶体管液晶显示面板的阵列基板上制作扫描驱动电路,实现对扫描线逐行扫描的驱动方式。现有的GOA电路的结构示意图如图1所示,该GOA电路包括上拉控制模块101、上拉模块104、下传模块105、下拉模块106、自举电容103以及下拉维持模块102。

[0003] 下传模块105包括一薄膜晶体管,薄膜晶体管的栅极电性连接于上拉控制模块101的输出端,薄膜晶体管的源极接入时钟信号CK(N),薄膜晶体管的漏极电性连接于级传信号ST(N)输出端。

[0004] 当薄膜晶体管处于关闭状态时,级传信号ST(N)会受到时钟信号CK(N)影响,产生电容耦合效应,造成跟时钟信号CK(N)同步的耦合电位,进而使得扫描信号G(N)输出异常,严重影响显示。

[0005] 故,有必要提供一种GOA电路,以解决现有技术所存在的问题。

发明内容

[0006] 本发明的目的在于提供一种抑制电容耦合效应产生的GOA电路,以解决现有的GOA电路因电容耦合效应使得扫描信号输出异常,进而影响显示的技术问题。

[0007] 为解决上述问题,本发明提供的技术方案如下:

[0008] 本发明实施例提供一种GOA电路,其包括:

[0009] 上拉控制模块,用于接收上一级的扫描信号,并受上一级的级传信号的控制生成本级的扫描电平信号;

[0010] 上拉模块,用于根据本级的扫描电平信号以及本级的时钟信号拉升本级的扫描信号;

[0011] 下传模块,用于根据级的扫描电平信号以及本级的时钟信号生成本级的级传信号;

[0012] 下拉模块,用于根据下一级的扫描信号,拉低本级的扫描电平信号;

[0013] 下拉维持模块,用于维持本级的扫描电平信号的低电平;

[0014] 自举电容,用于生成本级的扫描信号的高电平;

[0015] 第一恒压低电平源,用于提供第一恒压低电平;

[0016] 第二恒压低电平源,用于提供第二恒压低电平;以及,

[0017] 电容耦合抑制模块,用于受下拉维持模块的控制端的电压的控制输出第二恒压低电平至本级的级传信号的输出端;

[0018] 其中,上拉控制模块分别与上拉模块、下传模块、下拉模块、下拉维持模块以及自举电容连接,第一恒压低电平源分别与下拉模块和下拉维持模块连接,第二恒压低电平源

分别与下拉模块以及电容耦合抑制模块连接,电容耦合抑制模块分别与下拉维持模块和下传模块连接。

[0019] 在本发明的GOA电路中,电容耦合抑制模块包括第一薄膜晶体管,第一薄膜晶体管的栅极电性连接于下拉维持模块的控制端,第一薄膜晶体管的源极电性连接于第二恒压低电平源,第一薄膜晶体管的漏极电性连接于本级的级传信号的输出端。

[0020] 在本发明的GOA电路中,上拉控制模块包括第十一薄膜晶体管,第十一薄膜晶体管的栅极接入上一级的级传信号,第十一薄膜晶体管的源极接入上一级的扫描信号,第十一薄膜晶体管的漏极电性连接于上拉控制模块的输出端。

[0021] 在本发明的GOA电路中,上拉模块包括第二十一薄膜晶体管,第二十一薄膜晶体管的栅极电性连接于上拉控制模块的输出端,第二十一薄膜晶体管的源极接入本级的时钟信号,第二十一薄膜晶体管的漏极电性连接于本级的扫描信号的输出端。

[0022] 在本发明的GOA电路中,下传模块包括第二十二薄膜晶体管,第二十二薄膜晶体管的栅极电性连接于上拉控制模块的输出端,第二十二薄膜晶体管的源极接入本级的时钟信号,第二十二薄膜晶体管的漏极电性连接于本级的级传信号的输出端。

[0023] 在本发明的GOA电路中,下拉模块包括第三十一薄膜晶体管和第四十一薄膜晶体管;

[0024] 第三十一薄膜晶体管的栅极接入下一级的扫描信号,第三十一薄膜晶体管的源极电性连接于第一恒压低电平源,第三十一薄膜晶体管的漏极电性连接于本级的扫描信号的输出端;

[0025] 第四十一薄膜晶体管的栅极接入下一级的扫描信号,第四十一薄膜晶体管的源极电性连接于第二恒压低电平源,第四十一薄膜晶体管的漏极电性连接于上拉控制模块的输出端。

[0026] 在本发明的GOA电路中,下拉维持模块包括第五十一薄膜晶体管、第五十二薄膜晶体管、第五十三薄膜晶体管、第五十四薄膜晶体管、第五十五薄膜晶体管以及第五十六薄膜晶体管;

[0027] 第五十一薄膜晶体管的栅极和漏极电性连接于恒压高电平源,第五十一薄膜晶体管的漏极电性连接于第五十三薄膜晶体管的栅极和第五十二薄膜晶体管的漏极;

[0028] 第五十二薄膜晶体管的栅极电性连接于上拉控制模块的输出端,第五十二薄膜晶体管的源极电性连接于第一恒压低电平源;

[0029] 第五十三薄膜晶体管的源极电性连接于恒压高电平源,第五十三薄膜晶体管的漏极电性连接于下拉维持模块的控制端;

[0030] 第五十四薄膜晶体管的源极电性连接于第一恒压低电平源,第五十四薄膜晶体管的栅极电性连接于上拉控制模块的输出端,第五十四薄膜晶体管的漏极电性连接于下拉维持模块的控制端;

[0031] 第五十五薄膜晶体管的栅极电性连接于下拉维持模块的控制端,第五十五薄膜晶体管的源极电性连接于第一恒压低电平源,第五十五薄膜晶体管的漏极电性连接于本级的扫描信号的输出端;

[0032] 第五十六薄膜晶体管的栅极电性连接于下拉维持模块的控制端,第五十六薄膜晶体管的源极电性连接于第一恒压低电平源,第五十六薄膜晶体管的漏极电性连接于上拉控

制模块的输出端。

[0033] 在本发明的GOA电路中,恒压高电平源的电平值为20~30V。

[0034] 在本发明的GOA电路中,第一恒压低电平值为-8V;第二恒压低电平值为-6V。

[0035] 依据本发明的上述目的,提出一种液晶显示面板,包括以上的GOA电路。

[0036] 相较于现有的GOA电路及液晶显示面板,本发明的GOA电路及液晶显示面板通过设置电容耦合抑制模块,可以抑制电容耦合效应的产生,从而不会使得扫描信号输出异常,影响显示;解决了现有的GOA电路及液晶显示面板因电容耦合效应使得扫描信号输出异常,进而影响显示的技术问题。

[0037] 为了让本发明的上述内容能更明显易懂,下文特举优选实施例,并配合所附图式,作详细说明如下:

附图说明

[0038] 下面结合附图,通过对本发明的具体实施方式详细描述,将使本发明的技术方案及其它有益效果显而易见。

[0039] 图1为一种现有的GOA电路的结构示意图;

[0040] 图2为本发明的GOA电路的优选实施例的结构示意图;

[0041] 图3为本发明的GOA电路的优选实施例的信号波形图。

具体实施方式

[0042] 为更进一步阐述本发明所采取的技术手段及其效果,以下结合本发明的优选实施例及其附图进行详细描述。

[0043] 参见图2,为本发明的GOA电路的优选实施例的结构示意图;

[0044] 本优选实施例的GOA电路包括上拉控制模块201、上拉模块206、下传模块203、下拉模块205、下拉维持模块202、自举电容Cbt、第一恒压低电平源Vss1、第二恒压低电平源Vss2以及电容耦合抑制模块204。上拉控制模块201用于接收上一级的扫描信号G(N-1),并受上一级的级传信号ST(N-1)的控制生成本级的扫描电平信号;上拉模块206,用于根据本级的扫描电平信号以及本级的时钟信号CK(N)拉升本级的扫描信号G(N);下传模块203,用于根据本级的扫描电平信号以及本级的时钟信号CK(N)生成本级的级传信号ST(N);下拉模块205,用于根据下一级的扫描信号G(N+1),拉低本级的扫描电平信号;下拉维持模块202,用于维持扫描电平信号的低电平;自举电容Cbt设置在上拉控制模块201的输出端以及本级的扫描信号G(N)的输出端之间,用于生成本级的扫描信号G(N)的高电平;第一恒压低电平源Vss1,用于提供第一恒压低电平;第二恒压低电平源Vss2,用于提供第二恒压低电平;电容耦合抑制模块204,用于受下拉维持模块202的控制端的电压的控制输出第二恒压低电平至本级的级传信号ST(N)的输出端。

[0045] 其中,上拉控制模块201分别与上拉模块206、下传模块203、下拉模块205、下拉维持模块202以及自举电容连接Cbt,第一恒压低电平源Vss1分别与下拉模块205和下拉维持模块202连接,第二恒压低电平源Vss2分别与下拉模块205以及电容耦合抑制模块204连接,电容耦合抑制模块204分别与下拉维持模块202和下传模块203连接。

[0046] 电容耦合抑制模块204包括第一薄膜晶体管T1,第一薄膜晶体管T1的栅极电性连

接于下拉维持模块202的控制端,第一薄膜晶体管T1的源极电性连接于第二恒压低电平源Vss2,第一薄膜晶体管T1的漏极电性连接于本级的级传信号ST(N)的输出端。

[0047] 上拉控制模块201包括第十一薄膜晶体管T11,第十一薄膜晶体管T11的栅极接入上一级的级传信号ST(N-1),第十一薄膜晶体管T11的源极接入上一级的扫描信号G(N-1),第十一薄膜晶体管T11的漏极电性连接于上拉控制模块201的输出端。

[0048] 上拉模块206包括第二十一薄膜晶体管T21,第二十一薄膜晶体管T21的栅极电性连接于上拉控制模块201的输出端,第二十一薄膜晶体管T21的源极接入本级的时钟信号CK(N),第二十一薄膜晶体管T21的漏极电性连接于本级的扫描信号G(N)的输出端。

[0049] 下传模块203包括第二十二薄膜晶体管T22,第二十二薄膜晶体管T22的栅极电性连接于上拉控制模块201的输出端,第二十二薄膜晶体管T22的源极接入本级的时钟信号CK(N),第二十二薄膜晶体管T22的漏极电性连接于本级的级传信号ST(N)的输出端。

[0050] 下拉模块205包括第三十一薄膜晶体管T31和第四十一薄膜晶体管T41;

[0051] 第三十一薄膜晶体管T31的栅极接入下一级的扫描信号G(N+1),第三十一薄膜晶体管T31的源极电性连接于第一恒压低电平源Vss1,第三十一薄膜晶体管T31的漏极电性连接于本级的扫描信号G(N)的输出端;

[0052] 第四十一薄膜晶体管T41的栅极接入下一级的扫描信号G(N+1),第四十一薄膜晶体管T41的源极电性连接于第二恒压低电平源Vss2,第四十一薄膜晶体管T41的漏极电性连接于上拉控制模块201的输出端。

[0053] 下拉维持模块202包括第五十一薄膜晶体管T51、第五十二薄膜晶体管T52、第五十三薄膜晶体管T53、第五十四薄膜晶体管T54、第五十五薄膜晶体管T55以及第五十六薄膜晶体管T56;

[0054] 第五十一薄膜晶体管T51的栅极和漏极电性连接于恒压高电平源VGH,第五十一薄膜晶体管T51的漏极电性连接于第五十三薄膜晶体管T53的栅极和第五十二薄膜晶体管T52的漏极;

[0055] 第五十二薄膜晶体管T52的栅极电性连接于上拉控制模块201的输出端,第五十二薄膜晶体管T52的源极电性连接于第一恒压低电平源Vss1;

[0056] 第五十三薄膜晶体管T53的源极电性连接于恒压高电平源VGH,第五十三薄膜晶体管T53的漏极电性连接于下拉维持模块202的控制端;

[0057] 第五十四薄膜晶体管T54的源极电性连接于第一恒压低电平源Vss1,第五十四薄膜晶体管T54的栅极电性连接于上拉控制模块201的输出端,第五十四薄膜晶体管T54的漏极电性连接于下拉维持模块202的控制端;

[0058] 第五十五薄膜晶体管T55的栅极电性连接于下拉维持模块202的控制端,第五十五薄膜晶体管T55的源极电性连接于第一恒压低电平源Vss1,第五十五薄膜晶体管T55的漏极电性连接于本级的扫描信号G(N)的输出端;

[0059] 第五十六薄膜晶体管T56的栅极电性连接于下拉维持模块202的控制端,第五十六薄膜晶体管T56的源极电性连接于第一恒压低电平源Vss1,第五十六薄膜晶体管T56的漏极电性连接于上拉控制模块201的输出端。

[0060] 其中,恒压高电平源VGH的电平值为20~30V;第一恒压低电平值为-8V;第二恒压低电平值为-6V。

[0061] 参见图3,为本发明的GOA电路的优选实施例的信号波形图;

[0062] 参见图2、图3,本优选实施例的GOA电路使用时,当上一级的级传信号 $ST(N-1)$ 为高电平,上一级的扫描信号 $G(N-1)$ 为高电平时,第十一薄膜晶体管T11导通,上一级的扫描信号 $G(N-1)$ 通过第十一薄膜晶体管T11给自举电容 C_{bt} 充电,使得第一参考点 $Q(N)$ 上升到一较高的电平。

[0063] 随后上一级的级传信号 $ST(N-1)$ 转为低电平,第十一薄膜晶体管T11关闭,第一参考点 $Q(N)$ 通过自举电容 C_{bt} 维持一较高的电平。同时,本级的时钟信号 $CK(N)$ 转为高电平,时钟信号 $CK(N)$ 通过第二十一薄膜晶体管T21继续给自举电容 C_{bt} 充电,使得第一参考点 $Q(N)$ 达到一更高的电平,本级的扫描信号 $G(N)$ 和级传信号 $ST(N)$ 也转为高电平。

[0064] 当下一级的扫描信号 $G(N+1)$ 转为高电平时,第三十一薄膜晶体管T31和第四十一薄膜晶体管T41打开,第一恒压低电平源 V_{ss1} 产生的第一恒压低电平传至第一参考点 $Q(N)$,第二恒压低电平源 V_{ss2} 产生的第二恒压低电平传至本级的扫描信号 $G(N)$ 的输出端,第一参考点 $Q(N)$ 处的电压和本级的扫描信号 $G(N)$ 被拉低。

[0065] 由于第一参考点 $Q(N)$ 转为低电平,使得第五十二薄膜晶体管T52和第五十四薄膜晶体管T54关闭,同时,恒压高电平源 V_{GH} 产生的恒压高电平使得第五十一薄膜晶体管T51和第五十三薄膜晶体管T53打开,恒压高电平源 V_{GH} 产生的恒压高电平传至第二参考点 $K(N)$,使得第五十五薄膜晶体管T55和第五十六薄膜晶体管T56打开,第一恒压低电平源 V_{ss1} 产生的第一恒压低电平维持第一参考点 $Q(N)$ 和本级扫描信号 $G(N)$ 输出端的低电平。

[0066] 进一步地,当第一参考点 $Q(N)$ 为低电位时,第五十二薄膜晶体管T52和第五十四薄膜晶体管T54关闭,同时,恒压高电平源 V_{GH} 产生的恒压高电平传至第二参考点 $K(N)$,使得第一薄膜晶体管T1打开,第二恒压低电平源 V_{ss2} 产生的第二恒压低电平传至本级的级传信号 $ST(N)$ 的输出端,这样可以抑制因第二十二薄膜晶体管T22关闭,时钟信号 $CK(N)$ 与本级的级传信号 $ST(N)$ 产生耦合效应而导致本级的扫描信号 $G(N)$ 输出异常。

[0067] 特别注意的是,当第五十四薄膜晶体管T54打开,第一恒压低电平源 V_{ss1} 产生的第一恒压低电平传至第一薄膜晶体管T1的栅极,同时第一薄膜晶体管T1的源极电性连接于第二恒压低电平源 V_{ss2} ,由于第一恒压低电平源 V_{ss1} 提供的第一恒压低电平为-8V,第二恒压低电平源 V_{ss2} 提供的第二恒压低电平为-6V,这样可以有效避免因第一薄膜晶体管T1漏电致使此时第一薄膜晶体管T1打开,从而影响本级的级传信号 $ST(N)$ 的输出。

[0068] 本优选实施例的GOA电路的电容耦合抑制模块204可在第二十二薄膜晶体管T22关闭的情况下,通过第一薄膜晶体管T1将第二恒压低电平源 V_{ss2} 产生的第二恒压低电平传至本级的级传信号 $ST(N)$ 的输出端。

[0069] 本发明的GOA电路通过设置电容耦合抑制模块204,可以很好的抑制耦合效应的产生,从而不会使扫描信号输出异常,进而不会影响显示。

[0070] 本发明还提供一种液晶显示面板,本优选实施例的液晶显示面板包括一种GOA电路,其包括上拉控制模块201、上拉模块206、下传模块203、下拉模块205、下拉维持模块202、自举电容 C_{bt} 、第一恒压低电平源 V_{ss1} 、第二恒压低电平源 V_{ss2} 以及电容耦合抑制模块204。上拉控制模块201用于接收上一级的扫描信号 $G(N-1)$,并受上一级的级传信号 $ST(N-1)$ 的控制生成本级的扫描电平信号;上拉模块206,用于根据本级的扫描电平信号以及本级的时钟信号 $CK(N)$ 拉升本级的扫描信号 $G(N)$;下传模块203,用于根据本级的扫描电平信号以及本

级的时钟信号CK(N)生成本级的级传信号ST(N);下拉模块205,用于根据下一级的扫描信号G(N+1),拉低本级的扫描电平信号;下拉维持模块202,用于维持扫描电平信号的低电平;自举电容Cbt设置在上拉控制模块201的输出端以及本级的扫描信号G(N)的输出端之间,用于生成本级的扫描信号G(N)的高电平;第一恒压低电平源Vss1,用于提供第一恒压低电平;第二恒压低电平源Vss2,用于提供第二恒压低电平;电容耦合抑制模块204,用于受下拉维持模块202的控制端的电压的控制输出第二恒压低电平至本级的级传信号ST(N)的输出端。

[0071] 其中,上拉控制模块201分别与上拉模块206、下传模块203、下拉模块205、下拉维持模块202以及自举电容连接Cbt,第一恒压低电平源Vss1分别与下拉模块205和下拉维持模块202连接,第二恒压低电平源Vss2分别与下拉模块205以及电容耦合抑制模块204连接,电容耦合抑制模块204分别与下拉维持模块202和下传模块203连接。

[0072] 优选地,电容耦合抑制模块204包括第一薄膜晶体管T1,第一薄膜晶体管T1的栅极电性连接于下拉维持模块202的控制端,第一薄膜晶体管T1的源极电性连接于第二恒压低电平源Vss2,第一薄膜晶体管T1的漏极电性连接于本级的级传信号ST(N)的输出端。

[0073] 优选地,上拉控制模块201包括第十一薄膜晶体管T11,第十一薄膜晶体管T11的栅极接入上一级的级传信号ST(N-1),第十一薄膜晶体管T11的源极接入上一级的扫描信号G(N-1),第十一薄膜晶体管T11的漏极电性连接于上拉控制模块的201输出端。

[0074] 优选地,上拉模块206包括第二十一薄膜晶体管T21,第二十一薄膜晶体管T21的栅极电性连接于上拉控制模块201的输出端,第二十一薄膜晶体管T21的源极接入本级的时钟信号CK(N),第二十一薄膜晶体管T21的漏极电性连接于本级的扫描信号G(N)的输出端。

[0075] 优选地,下传模块203包括第二十二薄膜晶体管T22,第二十二薄膜晶体管T22的栅极电性连接于上拉控制模块201的输出端,第二十二薄膜晶体管T22的源极接入本级的时钟信号CK(N),第二十二薄膜晶体管T22的漏极电性连接于本级的级传信号ST(N)的输出端。

[0076] 优选地,下拉模块205包括第三十一薄膜晶体管T31和第四十一薄膜晶体管T41;

[0077] 第三十一薄膜晶体管T31的栅极接入下一级的扫描信号G(N+1),第三十一薄膜晶体管T31的源极电性连接于第一恒压低电平源Vss1,第三十一薄膜晶体管T31的漏极电性连接于本级的扫描信号G(N)的输出端;

[0078] 第四十一薄膜晶体管T41的栅极接入下一级的扫描信号G(N+1),第四十一薄膜晶体管T41的源极电性连接于第二恒压低电平源Vss2,第四十一薄膜晶体管T41的漏极电性连接于上拉控制模块201的输出端。

[0079] 下拉维持模块202包括第五十一薄膜晶体管T51、第五十二薄膜晶体管T52、第五十三薄膜晶体管T53、第五十四薄膜晶体管T54、第五十五薄膜晶体管T55以及第五十六薄膜晶体管T56;

[0080] 第五十一薄膜晶体管T51的栅极和漏极电性连接于恒压高电平源VGH,第五十一薄膜晶体管T51的漏极电性连接于第五十三薄膜晶体管T53的栅极和第五十二薄膜晶体管T52的漏极;

[0081] 第五十二薄膜晶体管T52的栅极电性连接于上拉控制模块201的输出端,第五十二薄膜晶体管T52的源极电性连接于第一恒压低电平源Vss1;

[0082] 第五十三薄膜晶体管T53的源极电性连接于恒压高电平源VGH,第五十三薄膜晶体管T53的漏极电性连接于下拉维持模块202的控制端;

[0083] 第五十四薄膜晶体管T54的源极电性连接于第一恒压低电平源 V_{ss1} ,第五十四薄膜晶体管T54的栅极电性连接于上拉控制模块201的输出端,第五十四薄膜晶体管T54的漏极电性连接于下拉维持模块202的控制端;

[0084] 第五十五薄膜晶体管T55的栅极电性连接于下拉维持模块202的控制端,第五十五薄膜晶体管T55的源极电性连接于第一恒压低电平源 V_{ss1} ,第五十五薄膜晶体管T55的漏极电性连接于本级的扫描信号G(N)的输出端;

[0085] 第五十六薄膜晶体管T56的栅极电性连接于下拉维持模块202的控制端,第五十六薄膜晶体管T56的源极电性连接于第一恒压低电平源 V_{ss1} ,第五十六薄膜晶体管T56的漏极电性连接于上拉控制模块201的输出端。

[0086] 其中,恒压高电平源VGH的电平值为20~30V;第一恒压低电平值为-8V;第二恒压低电平值为-6V。

[0087] 本优选实施例的液晶显示面板的工作原理跟上述优选实施例的GOA电路的工作原理一致,具体可参考上述优选实施例的GOA电路的合作原理,此处不再做赘述。

[0088] 本优选实施例的液晶显示面板的电容耦合抑制模块204可在第二十二薄膜晶体管T22关闭的情况下,通过第一薄膜晶体管T1将第二恒压低电平源 V_{ss2} 产生的第二恒压低电平传至本级的级传信号ST(N)的输出端。

[0089] 本发明的液晶显示面板通过设置电容耦合抑制模块204,可以很好的抑制耦合效应的产生,从而不会使扫描信号输出异常,进而不会影响显示。

[0090] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

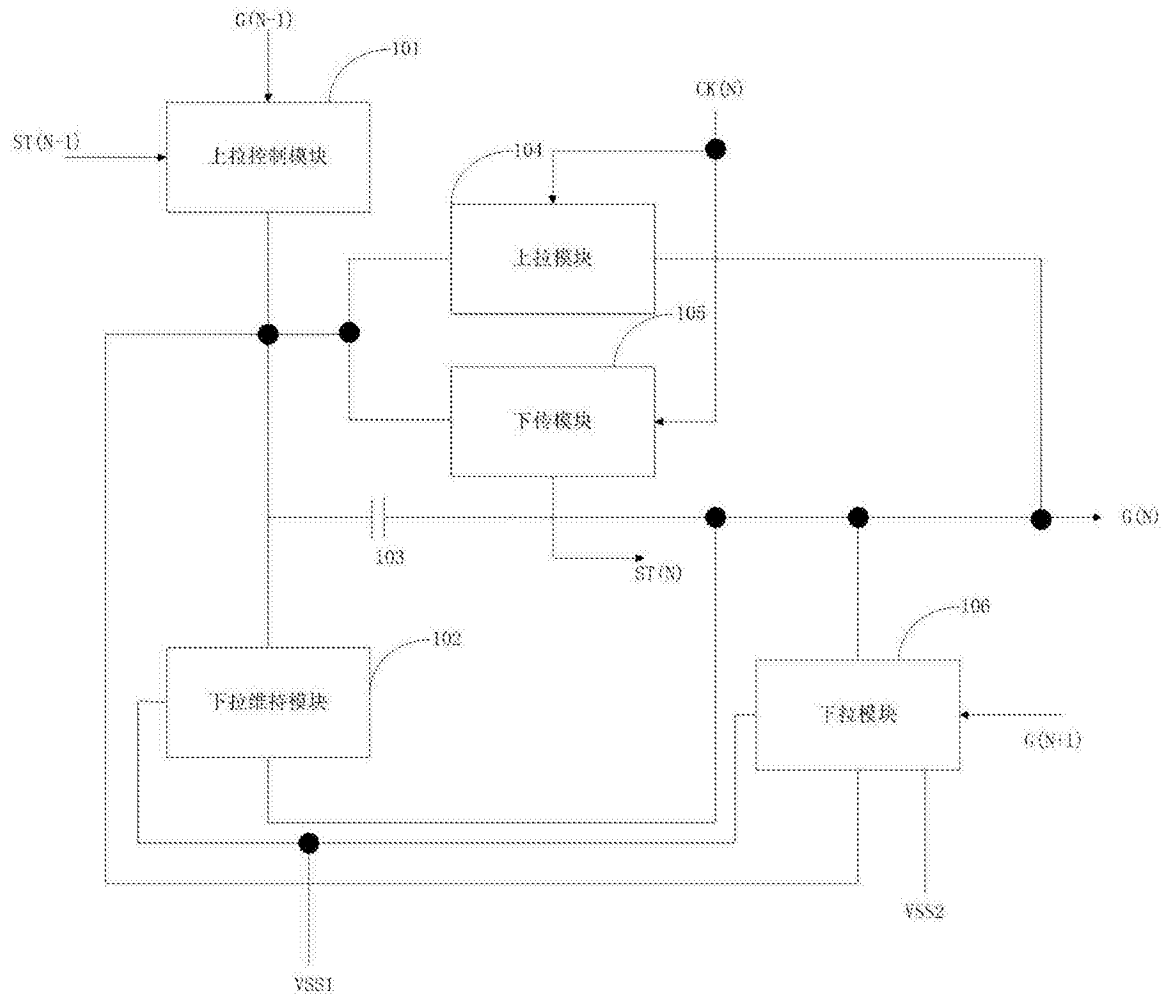


图1

专利名称(译)	一种GOA电路及液晶显示面板		
公开(公告)号	CN106205528A	公开(公告)日	2016-12-07
申请号	CN201610575343.X	申请日	2016-07-19
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	石龙强		
发明人	石龙强		
IPC分类号	G09G3/36 G02F1/1345		
CPC分类号	G02F1/13454 G09G3/3677		
代理人(译)	黄威		
其他公开文献	CN106205528B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种GOA电路及液晶显示面板，其包括上拉控制模块、上拉模块、下传模块、下拉模块、下拉维持模块、自举电容、第一恒压低电平源、第二恒压低电平源以及电容耦合抑制模块；其中，上拉控制模块分别与上拉模块、下传模块、下拉模块、下拉维持模块以及自举电容连接，第一恒压低电平源分别与下拉模块和下拉维持模块连接，第二恒压低电平源分别与下拉模块连接，电容耦合抑制模块分别与下拉维持模块和下传模块连接。本发明的GOA电路及液晶显示面板通过设置电容耦合抑制模块，可以抑制电容耦合效应的产生，从而不会使得扫描信号输出异常，进而不会影响显示。

