



(12) 发明专利申请

(10) 申请公布号 CN 103744209 A

(43) 申请公布日 2014.04.23

(21) 申请号 201410044916.7

(22) 申请日 2014.02.07

(71) 申请人 友达光电股份有限公司

地址 中国台湾新竹科学工业园区新竹市力行二路1号

(72)发明人 侯冠州

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国 田景宜

(51) Int. Cl.

G02F 1/133 (2006.01)

G02F 1/1362 (2006, 01)

G02F 1/1368 (2006, 01)

G09G 3/36 (2006.01)

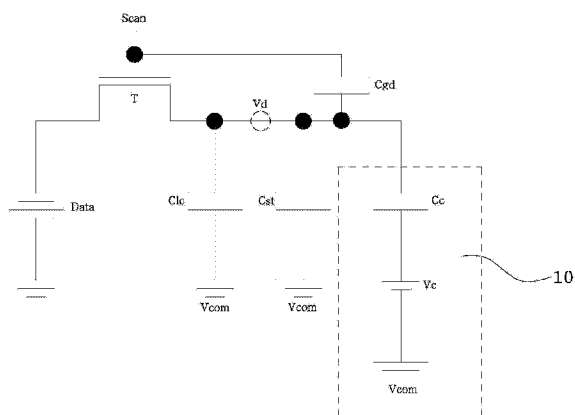
权利要求书1页 说明书5页 附图5页

(54) 发明名称

一种馈通电压补偿电路及其像素电路

(57) 摘要

本发明提供一种馈通电压补偿电路及其像素电路。该馈通电压补偿电路包括：一补偿电容，具有一第一端和一第二端，补偿电容的第一端电性耦接至薄膜晶体管的漏极；以及一补偿电压，其一端电性耦接至补偿电容的第二端，另一端电性耦接至一共通电压。补偿电容与补偿电压的乘积等于寄生电容与一电压阈值的乘积，该电压阈值为薄膜晶体管的栅极线高电压与栅极线低电压之间的电压差值。相比于现有技术，本发明的馈通电压补偿电路利用补偿电容与补偿电压的特性，可将寄生电容所造成的馈通电压补偿回来，进而降低液晶面板的画面闪烁现象，提升产品的显示品质。



1. 一种馈通电压补偿电路,适于补偿薄膜晶体管的栅极与漏极间的寄生电容所引起的馈通电压,其特征在于,所述馈通电压补偿电路包括:

一补偿电容,具有一第一端和一第二端,所述补偿电容的第一端电性耦接至薄膜晶体管的漏极;以及

一补偿电压,其一端电性耦接至所述补偿电容的第二端,另一端电性耦接至一共通电压,

其中,所述补偿电容与所述补偿电压的乘积等于所述寄生电容与一电压阈值的乘积,所述电压阈值为所述薄膜晶体管的栅极线高电压与栅极线低电压之间的电压差值。

2. 根据权利要求1所述的馈通电压补偿电路,其特征在于,所述栅极线高电压驱动所述薄膜晶体管时,所述补偿电压为零;所述栅极线低电压驱动所述薄膜晶体管时,所述补偿电压开启。

3. 根据权利要求1所述的馈通电压补偿电路,其特征在于,该补偿电容的尺寸和形状与该寄生电容的尺寸和形状完全相同。

4. 根据权利要求1所述的馈通电压补偿电路,其特征在于,所述补偿电容为第一金属层与第二金属层形成的垂直电容。

5. 根据权利要求1所述的馈通电压补偿电路,其特征在于,所述补偿电容为第一金属层与铟锡氧化物层形成的垂直电容。

6. 根据权利要求1所述的馈通电压补偿电路,其特征在于,所述补偿电容为第二金属层与铟锡氧化物层形成的垂直电容。

7. 根据权利要求1所述的馈通电压补偿电路,其特征在于,所述补偿电容为第二金属层形成的横向电容。

8. 根据权利要求7所述的馈通电压补偿电路,其特征在于,所述补偿电容为环状的第二金属层所形成的横向电容。

9. 一种薄膜晶体管液晶显示器的像素电路,其特征在于,所述像素电路包括:

一薄膜晶体管,具有一第一端、一第二端和一控制端,所述薄膜晶体管的第一端电性耦接至一数据线,所述薄膜晶体的控制端电性耦接至一栅极线;

一液晶电容,其一端电性耦接至所述薄膜晶体管的第二端,另一端电性耦接至一共通电压;

一存储电容,其一端电性耦接至所述薄膜晶体管的第二端,另一端电性耦接至所述共通电压;以及

一馈通电压补偿电路,包括串联连接的一补偿电容和一补偿电压,所述补偿电路的一端电性耦接至所述薄膜晶体管的第二端,所述补偿电压的一端电性耦接至所述共通电压,其中所述补偿电容与所述补偿电压的乘积等于所述寄生电容与一电压阈值的乘积,所述电压阈值为所述薄膜晶体管的栅极线高电压与栅极线低电压之间的电压差值。

10. 根据权利要求9所述的像素电路,其特征在于,所述补偿电容为第一金属层与第二金属层形成的垂直电容、第一金属层与铟锡氧化物层形成的垂直电容、第二金属层与铟锡氧化物层形成的垂直电容、或者环状的第二金属层所形成的横向电容。

一种馈通电压补偿电路及其像素电路

技术领域

[0001] 本发明涉及一种薄膜晶体管液晶显示器,尤其涉及一种用于该薄膜晶体管液晶显示器中的馈通电压补偿电路以及包含该馈通电压补偿电路的像素电路。

背景技术

[0002] 液晶显示器通常包括上基板、下基板以及夹于该上基板与下基板之间的液晶层。而且,液晶显示器包括多个像素单元,每个像素单元包括像素电极和共通电极,该像素电极与共通电极之间形成有液晶电容,像素电极与共通电极之间的电压称之为像素电压。液晶分子的偏转方向会随着加载在像素电极和共通电极之间的电压改变而改变,从而控制液晶层的光通过率,进而控制液晶显示器的每个像素单元的亮度。

[0003] 具体来说,以薄膜晶体管液晶显示器为例,现有的液晶面板制作出多条栅极线和多条源极线以定义各个像素的区域,并据此在各个像素的区域中制作出像素电极。每一像素的等效电路由一薄膜晶体管(Thin Film Transistor, TFT)、一液晶电容(C_{lc})、一像素存储电容(C_{st})组成,且该像素通过薄膜晶体管的栅极并且经由栅极线电性连接一栅极驱动芯片(Gate Driver IC),以及通过薄膜晶体管的源极并且经由源极线电性连接一源极驱动芯片(Source Driver IC),薄膜晶体管的漏极电性连接一像素电极、液晶电容和像素存储电容。当栅极驱动芯片通过栅极线驱动薄膜晶体管的栅极导通时,从源极驱动芯片输入的数据电压信号即可经由源极线自薄膜晶体管的源极和漏极传递至液晶电容和像素存储电容,并由液晶电容和像素存储电容储存其所接收到的电压信号。

[0004] 然而,传统的薄膜晶体管液晶面板中也存有若干个寄生电容,例如,栅极/漏极电容(C_{gd})。该寄生电容是由于栅极线和像素电极之间有部分投影面积为上下重叠而存在,其与液晶电容、像素存储电容的总和被称为总电容值C,即 $C = C_{gd} + C_{lc} + C_{st}$ 。当栅极驱动芯片将栅极线上的电压升到栅极线高电压(V_{gh})之际,源极驱动芯片也将源极线上的电压上升从而开始对像素电极充电。当像素电极的电压上升到预定电压时,栅极线上的电压降到栅极线低电压(V_{gl})。此时,栅极线上的压降对像素电极造成耦合效应而使像素电极上的电压亦产生一压降 ΔV_p 。该压降 ΔV_p 也被称为馈通电压(Feed Through Voltage),其以栅极/漏极电容(C_{gd})、液晶电容(C_{lc})、像素存储电容(C_{st})、栅极线高电压(V_{gh})与栅极线低电压(V_{gl})所表示的数学关系式如下:

$$[0005] \quad \Delta V_p = \frac{C_{gd}}{C_{gd} + C_{lc} + C_{st}} \times (V_{gh} - V_{gl})$$

[0006] 众所周知,该馈通电压 ΔV_p 将造成像素电压极性反转时的不平衡,使得各像素的灰阶电压基准有若干误差,因而使人眼观察到显示画面产生闪烁的现象,降低了液晶面板的显示品质。

[0007] 有鉴于此,如何设计一种馈通电压补偿电路,以改善或消除薄膜晶体管的栅极与漏极之间的寄生电容所引起的馈通电压,避免显示画面出现闪烁情形,提升液晶面板的显示品质,是业内相关技术人员亟待解决的一项课题。

发明内容

[0008] 针对现有技术中的液晶面板因薄膜晶体管的栅极与漏极间的寄生电容所引起的馈通电压造成显示画面闪烁的情形,本发明提供了一种馈通电压补偿电路以及包含该馈通电压补偿电路的像素电路。

[0009] 依据本发明的一个方面,提供了一种馈通电压补偿电路,适于补偿薄膜晶体管的栅极与漏极间的寄生电容所引起的馈通电压,该馈通电压补偿电路包括:

[0010] 一补偿电容,具有一第一端和一第二端,所述补偿电容的第一端电性耦接至薄膜晶体管的漏极;以及

[0011] 一补偿电压,其一端电性耦接至所述补偿电容的第二端,另一端电性耦接至一共通电压,

[0012] 其中所述补偿电容与所述补偿电压的乘积等于所述寄生电容与一电压阈值的乘积,所述电压阈值为所述薄膜晶体管的栅极线高电压与栅极线低电压之间的电压差值。

[0013] 在其中的一实施例,栅极线高电压驱动薄膜晶体管时,补偿电压为零;栅极线低电压驱动薄膜晶体管时,补偿电压开启。

[0014] 在其中的一实施例,该补偿电容的尺寸和形状与该寄生电容的尺寸和形状完全相同。

[0015] 在其中的一实施例,补偿电容为第一金属层与第二金属层形成的垂直电容。

[0016] 在其中的一实施例,补偿电容为第一金属层与铟锡氧化物层形成的垂直电容。

[0017] 在其中的一实施例,补偿电容为第二金属层与铟锡氧化物层形成的垂直电容。

[0018] 在其中的一实施例,补偿电容为第二金属层形成的横向电容。

[0019] 在其中的一实施例,补偿电容为环状的第二金属层所形成的横向电容。

[0020] 依据本发明的另一个方面,提供了一种薄膜晶体管液晶显示器的像素电路,包括:

[0021] 一薄膜晶体管,具有一第一端、一第二端和一控制端,所述薄膜晶体管的第一端电性耦接至一数据线,所述薄膜晶体管的控制端电性耦接至一栅极线;

[0022] 一液晶电容,其一端电性耦接至所述薄膜晶体管的第二端,另一端电性耦接至一共通电压;

[0023] 一存储电容,其一端电性耦接至所述薄膜晶体管的第二端,另一端电性耦接至所述共通电压;以及

[0024] 一馈通电压补偿电路,包括串联连接的一补偿电容和一补偿电压,所述补偿电路的一端电性耦接至所述薄膜晶体管的第二端,所述补偿电压的一端电性耦接至所述共通电压,其中所述补偿电容与所述补偿电压的乘积等于所述寄生电容与一电压阈值的乘积,所述电压阈值为所述薄膜晶体管的栅极线高电压与栅极线低电压之间的电压差值。

[0025] 在其中的一实施例,补偿电容为第一金属层与第二金属层形成的垂直电容、第一金属层与铟锡氧化物层形成的垂直电容、第二金属层与铟锡氧化物层形成的垂直电容、或者环状的第二金属层所形成的横向电容。

[0026] 采用本发明的馈通电压补偿电路,其包括串联连接的补偿电容和补偿电压,该补偿电容的第一端电性耦接至薄膜晶体管的漏极,该补偿电压的一端电性耦接至一共通电

压,并且补偿电容与补偿电压的乘积等于薄膜晶体管的栅极与漏极之间的寄生电容 C_{gd} 与一电压阈值的乘积。相比于现有技术,本发明的馈通电压补偿电路利用补偿电容与补偿电压的特性,可将寄生电容 C_{gd} 所造成的馈通电压补偿回来,并且还可避免制程变异造成的像素电压变化。此外,由于本发明的补偿电容设计在像素内部,因此寄生电容 C_{gd} 与补偿电容的变异环境相同,使得馈通电容的补偿效果更好,进而降低液晶面板的画面闪烁现象,提升产品的显示品质。

附图说明

[0027] 读者在参照附图阅读了本发明的具体实施方式以后,将会更清楚地了解本发明的各个方面。其中,

[0028] 图 1A 示出现有的像素等效电路在栅极驱动电压为栅极线高电压时的状态示意图;

[0029] 图 1B 示出图 1A 的像素等效电路在栅极驱动电压为栅极线低电压时的状态示意图;

[0030] 图 2 示出依据本发明一实施方式的馈通电压补偿电路的电路结构示意图;

[0031] 图 3 示出采用图 2 的馈通电压补偿电路对主像素(main pixel)中的馈通电压进行补偿的示意性实施例;

[0032] 图 4 示出图 2 的馈通电压补偿电路中的补偿电容的第一具体实施例;

[0033] 图 5 示出图 2 的馈通电压补偿电路中的补偿电容的第二具体实施例;

[0034] 图 6 示出图 2 的馈通电压补偿电路中的补偿电容的第三具体实施例;以及

[0035] 图 7 示出图 2 的馈通电压补偿电路中的补偿电容的第四具体实施例。

具体实施方式

[0036] 为了使本申请所揭示的技术内容更加详尽与完备,可参照附图以及本发明的下述各种具体实施例,附图中相同的标记代表相同或相似的组件。然而,本领域的普通技术人员应当理解,下文中所提供的实施例并非用来限制本发明所涵盖的范围。此外,附图仅仅用于示意性地加以说明,并未依照其原尺寸进行绘制。

[0037] 下面参照附图,对本发明各个方面的具体实施方式作进一步的详细描述。

[0038] 图 1A 示出现有的像素等效电路在栅极驱动电压为栅极线高电压时的状态示意图。图 1B 示出图 1A 的像素等效电路在栅极驱动电压为栅极线低电压时的状态示意图。

[0039] 参照图 1A 和图 1B,现有液晶面板包括多条沿水平方向延伸的栅极线(或称为扫描线)和多条沿竖直方向延伸的多条源极线(或称为数据线),以定义各个像素的区域,并据此在各个像素的区域中制作出像素电极。每一像素的等效电路由一薄膜晶体管 T、一液晶电容 C_{lc} 、一像素存储电容 C_{st} 组成。

[0040] 其中,薄膜晶体管 T 的栅极电性耦接至扫描线,源极电性耦接至数据线,漏极电性耦接至液晶电容 C_{lc} 和像素存储电容 C_{st} 的一端。液晶电容 C_{lc} 的另一端以及像素存储电容 C_{st} 的另一端均电性耦接至共通电压 V_{com} 。此外,在薄膜晶体管 T 的栅极与漏极之间还包括一寄生电容 C_{gd} ,该寄生电容 C_{gd} 的存在将引起像素电路中出现馈通电压,该馈通电压会导致像素电压变化,显示画面出现闪烁(flicker)现象。

[0041] 在图 1A 中,当像素电压为 V_{d1} 且薄膜晶体管 T 的栅极为栅极线高电压 V_{gh} 时,存在如下数学关系式:

$$[0042] \quad Q1 = (V_{d1} - V_{gh}) \times C_{gd} + (V_{d1} - V_{com}) \times (C_{lc} + C_{st});$$

[0043] 在图 1B 中,当像素电压为 V_{d2} 且薄膜晶体管 T 的栅极为栅极线低电压 V_{gl} 时,存在如下数学关系式:

$$[0044] \quad Q2 = (V_{d2} - V_{gl}) \times C_{gd} + (V_{d2} - V_{com}) \times (C_{lc} + C_{st});$$

[0045] 根据电荷恒定准则, $Q1$ 等于 $Q2$, 则上述关系式可转化为

$$[0046] \quad \Delta V_p = \frac{C_{gd}}{C_{gd} + C_{lc} + C_{st}} \times \Delta V_g$$

[0047] 其中, ΔV_p 表示像素电压 V_{d1} 与 V_{d2} 之差, ΔV_g 表示栅极线高电压 V_{gh} 与栅极线低电压 V_{gl} 之差。从上式可以看出,当薄膜晶体管的栅极线电压 V_{gh} 与 V_{gl} 恒定时,馈通电压 ΔV_p 与薄膜晶体管的栅极与漏极之间的寄生电容 C_{gd} 密切相关。换言之,由于寄生电容 C_{gd} 的存在,造成了像素电压不稳定。

[0048] 针对现有电路中的馈通电压所造成的画面闪烁现象,本发明提供了一种新颖的馈通电压补偿电路,藉由补偿电容和补偿电压来对馈通电压进行补偿。图 2 示出依据本发明一实施方式的馈通电压补偿电路的电路结构示意图。

[0049] 参照图 2,该像素电路包括一薄膜晶体管 T、一液晶电容 C_{lc} 、一存储电容 C_{st} 和一馈通电压补偿电路 10。

[0050] 薄膜晶体管 T 的源极电性耦接至一数据线(诸如数据电压 $Data$),薄膜晶体管 T 的栅极电性耦接至一栅极线(诸如扫描电压 $Scan$),薄膜晶体管 T 的漏极电性耦接至液晶电容 C_{lc} 和存储电容 C_{st} 。并且,液晶电容 C_{lc} 和存储电容 C_{st} 各自的另一端均电性耦接至共通电压 V_{com} 。

[0051] 需要特别指出的是,本发明的馈通电压补偿电路 10 可对寄生电容 C_{gd} 所引起的馈通电压进行有效地补偿。具体而言,馈通电压补偿电路 10 包括串联连接的一补偿电容 C_c 和一补偿电压 V_c 。补偿电容 C_c 的一端电性耦接至薄膜晶体管 T 的漏极,另一端与补偿电压 V_c 相连接。补偿电压 V_c 的另一端电性耦接至共通电压 V_{com} 。

[0052] 类似地,考虑栅极线上的扫描电压为高电压 V_{gh} 和低电压 V_{gl} 的情形,当像素电压为 V_{d1} 且薄膜晶体管 T 的栅极为高电压 V_{gh} 时,存在如下数学关系式:

$$[0053] \quad Q3 = (V_{d1} - V_{gh}) \times C_{gd} + (V_{d1} - V_{com}) \times (C_{lc} + C_{st}) + (V_{d1} - V_{com}) \times C_c;$$

[0054] 当像素电压为 V_{d2} 且薄膜晶体管 T 的栅极为低电压 V_{gl} 时,存在如下数学关系式:

$$[0055] \quad Q4 = (V_{d2} - V_{gl}) \times C_{gd} + (V_{d2} - V_{com}) \times (C_{lc} + C_{st}) + (V_{d2} - V_{com}) \times C_c;$$

[0056] 根据电荷恒定准则, $Q3$ 等于 $Q4$, 则上述关系式可转化为

$$[0057] \quad \Delta V_p = \frac{C_{gd} \times \Delta V_g - C_c \times V_c}{C_{gd} + C_{lc} + C_{st} + C_c}$$

[0058] 如此一来,本发明在对馈通电压进行补偿时,使补偿电容 C_c 与补偿电压 V_c 的乘积等于寄生电容 C_{gd} 与一电压阈值 ΔV_g 的乘积即可,该电压阈值 ΔV_g 为薄膜晶体管的栅极线高电压 V_{gh} 与栅极线低电压 V_{gl} 之间的电压差值。

[0059] 在一具体实施例中,当栅极线高电压 V_{gh} 驱动薄膜晶体管 T 时,补偿电压 V_c 为零;当栅极线低电压 V_{gl} 驱动薄膜晶体管 T 时,补偿电压 V_c 开启。

[0060] 此外,为了提升补偿效果,还可将补偿电容 C_c 的尺寸大小和形状设计为与该寄生电容 C_{gd} 的尺寸大小和形状完全相同,则只需要将补偿电压 V_c 设置为栅极电压的反向极性就可实现补偿。

[0061] 图 3 示出采用图 2 的馈通电压补偿电路对主像素(main pixel)中的馈通电压进行补偿的示意性实施例。

[0062] 参照图 3,该像素包括一主像素单元和一子像素单元。其中,主像素单元包括薄膜晶体管 T1、液晶电容 C_{lc} 和存储电容 C_{st} ,且液晶电容 C_{lc} 和存储电容 C_{st} 各自一端与薄膜晶体管 T1 的漏极相连形成节点 main,亦即主像素电压电位。子像素单元包括薄膜晶体管 T2 和 T3、液晶电容 C_{lc} 和存储电容 C_{st} ,且液晶电容 C_{lc} 和存储电容 C_{st} 各自一端与薄膜晶体管 T2 的漏极相连形成节点 sub,亦即子像素电压电位。主像素单元的电压电位直接与数据线 D_n 上的数据电压相同,为了使子像素单元的显示灰阶不同于主像素单元的显示灰阶,当栅极线 G_n 打开时,薄膜晶体管 T2 开通,数据线 D_n 藉由薄膜晶体管 T2 对子像素单元中的液晶电容进行充电;当栅极线 G_n 关闭且栅极线 G_{n+1} 打开时,薄膜晶体管 T3 开通,液晶电容上的充电电压与来自辅助电容 C_{cs} 上的储存电荷实现共享,因而子像素单元的显示灰阶为数据线上的数据电压与辅助电容 C_{cs} 共享之后的电压,该共享电压值并不等于数据电压。

[0063] 在此需强调的是,为了对主像素单元中的馈通电压进行补偿,在液晶电容 C_{lc} 和存储电容 C_{st} 的右侧还额外增加了一馈通电压补偿电路。该馈通电压补偿电路已在前文结合图 2 进行了详细描述,为描述方便起见,此处不再赘述。

[0064] 图 4 至图 7 分别示出了图 2 的馈通电压补偿电路中的补偿电容的若干具体实施例。

[0065] 具体地,在图 4 中,补偿电压 V_c 等于薄膜晶体管的栅极电压 V_{gate} 的反向极性电压,即, $-V_{gate}$ 。与此同时,补偿电容 C_c 为第二金属层 M2 与铟锡氧化层 IT0 所形成的垂直电容,如虚线框所示。在图 5 中,补偿电压 V_c 仍然等于薄膜晶体管的栅极电压的反向极性电压 $-V_{gate}$,但补偿电容 C_c 的形成方式有别于图 4,其为第二金属层 M2 所形成的横向电容。在图 6 中,补偿电容 C_c 为第一金属层 M1 与第二金属层 M2 形成的垂直电容。此外,补偿电容还可为环状的第二金属层 M2 所形成的横向电容,如图 7 所示。

[0066] 采用本发明的馈通电压补偿电路,其包括串联连接的补偿电容和补偿电压,该补偿电容的第一端电性耦接至薄膜晶体管的漏极,该补偿电压的一端电性耦接至一共通电压,并且补偿电容与补偿电压的乘积等于薄膜晶体管的栅极与漏极之间的寄生电容 C_{gd} 与一电压阈值的乘积。相比于现有技术,本发明的馈通电压补偿电路利用补偿电容与补偿电压的特性,可将寄生电容 C_{gd} 所造成的馈通电压补偿回来,并且还可避免制程变异造成的像素电压变化。此外,由于本发明的补偿电容设计在像素内部,因此寄生电容 C_{gd} 与补偿电容的变异环境相同,使得馈通电容的补偿效果更好,进而降低液晶面板的画面闪烁现象,提升产品的显示品质。

[0067] 上文中,参照附图描述了本发明的具体实施方式。但是,本领域中的普通技术人员能够理解,在不偏离本发明的精神和范围的情况下,还可以对本发明的具体实施方式作各种变更和替换。这些变更和替换都落在本发明权利要求书所限定的范围内。

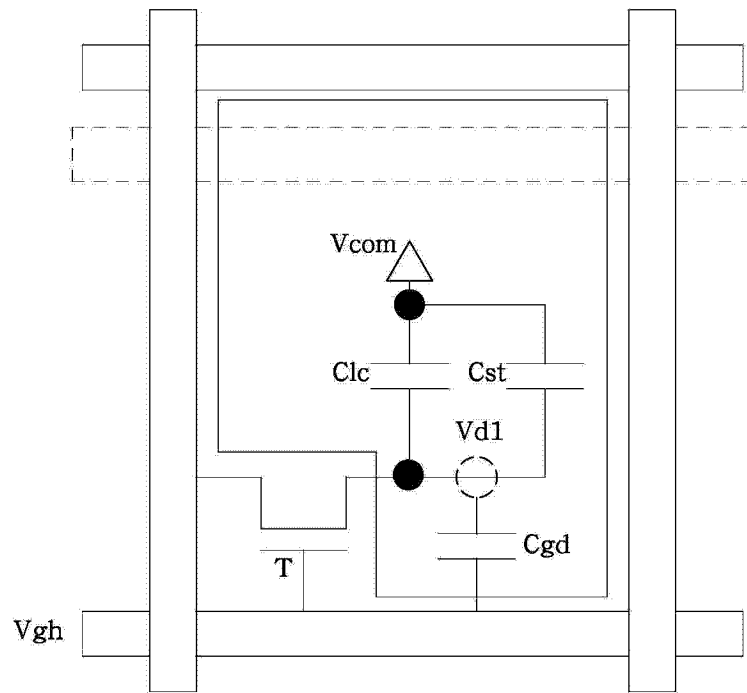


图 1A

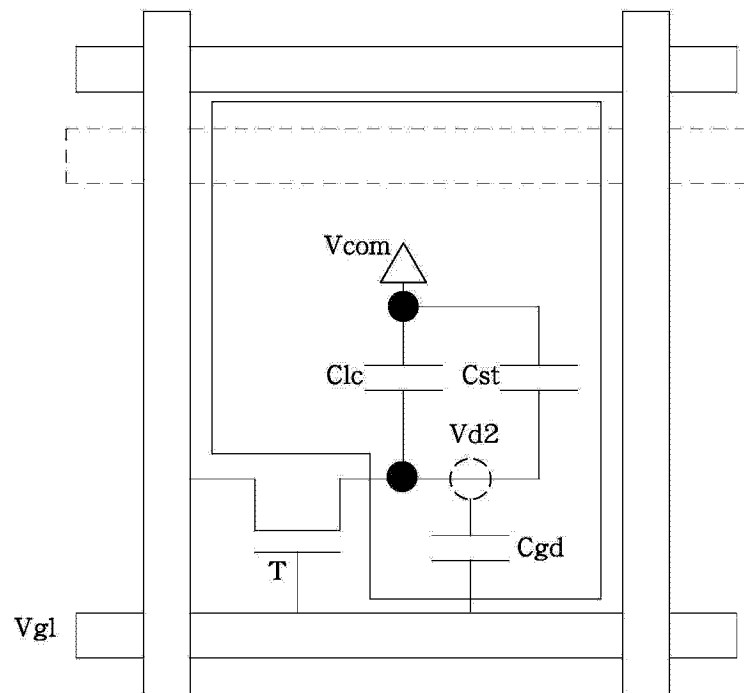


图 1B

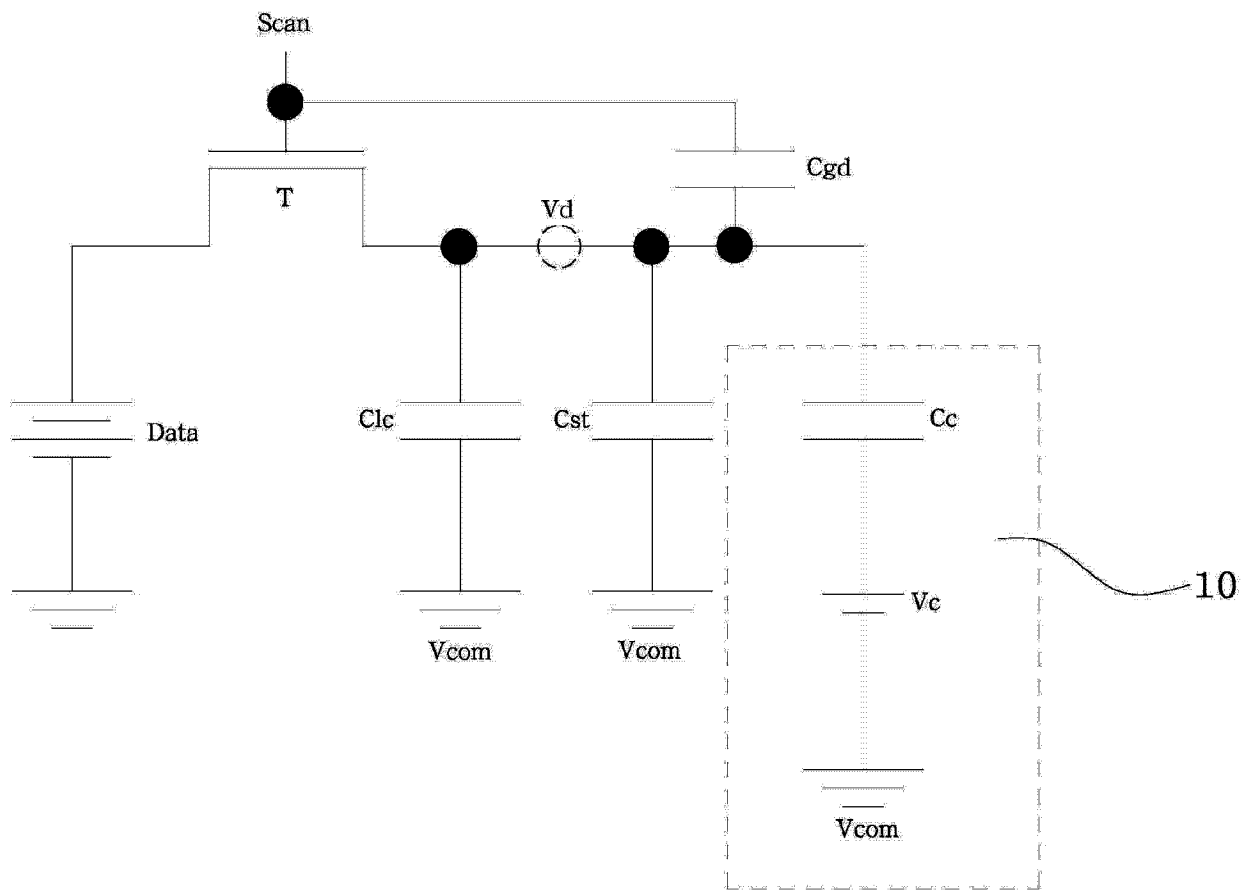


图 2

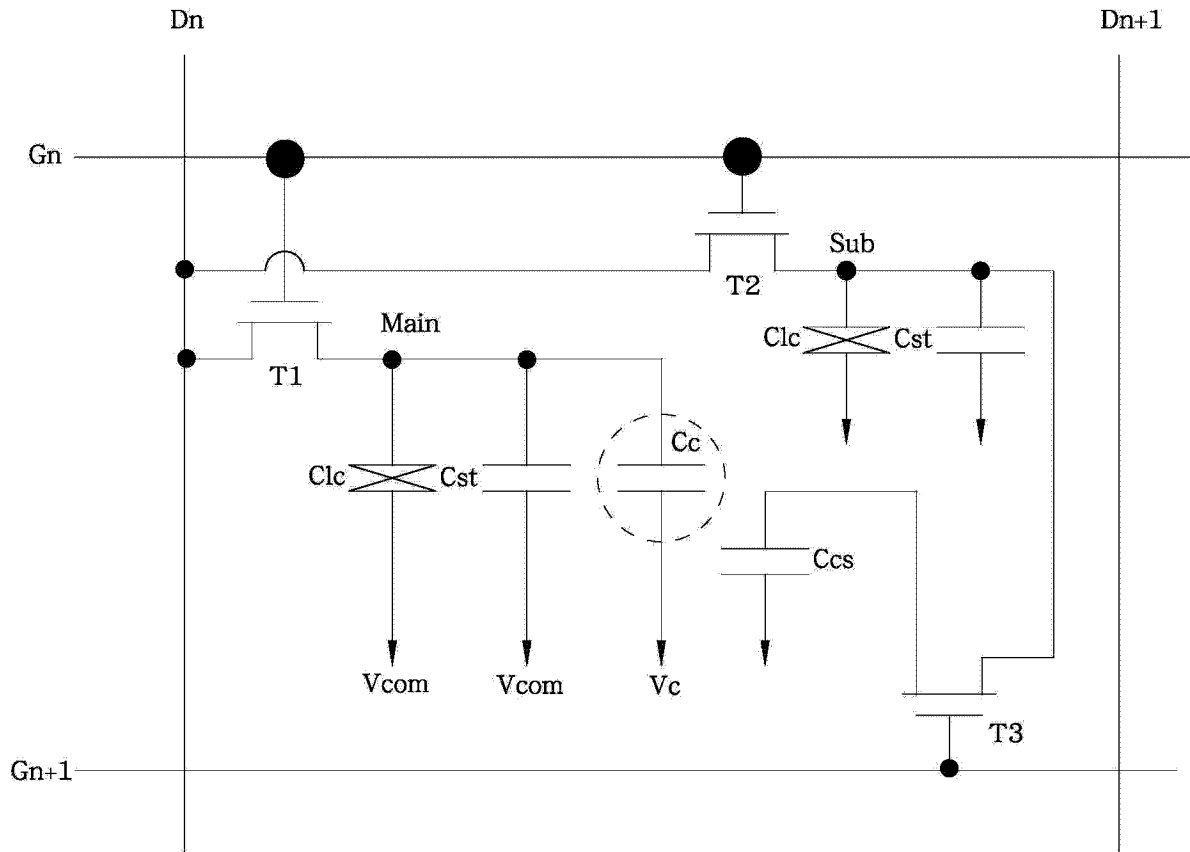


图 3

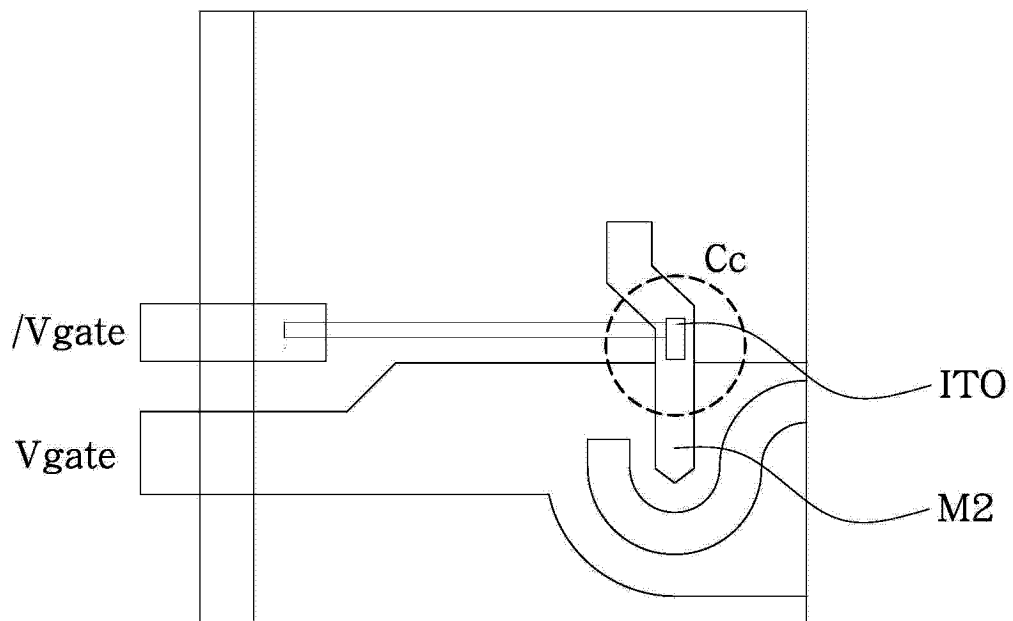


图 4

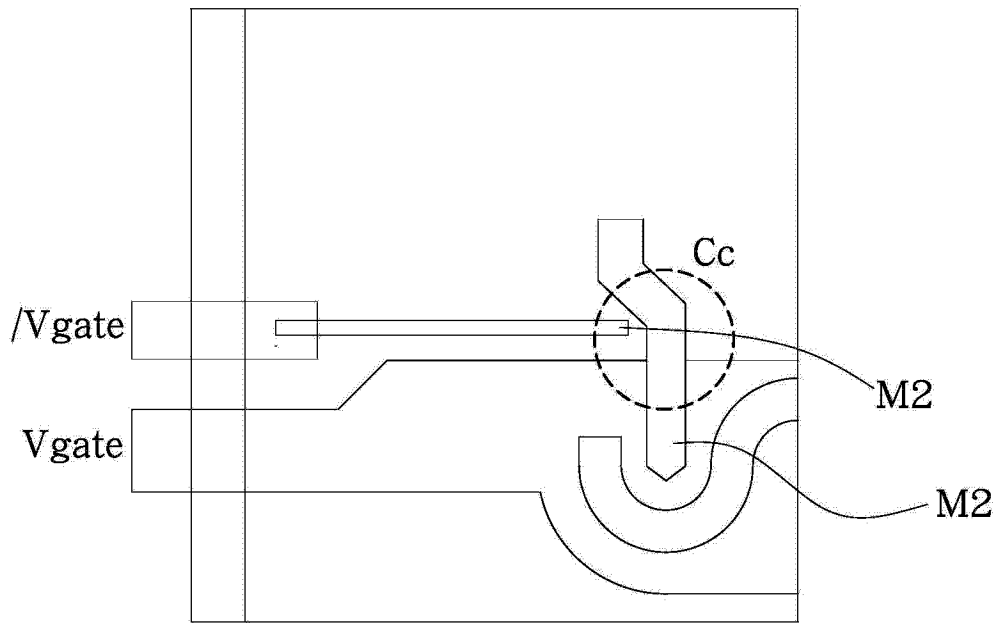


图 5

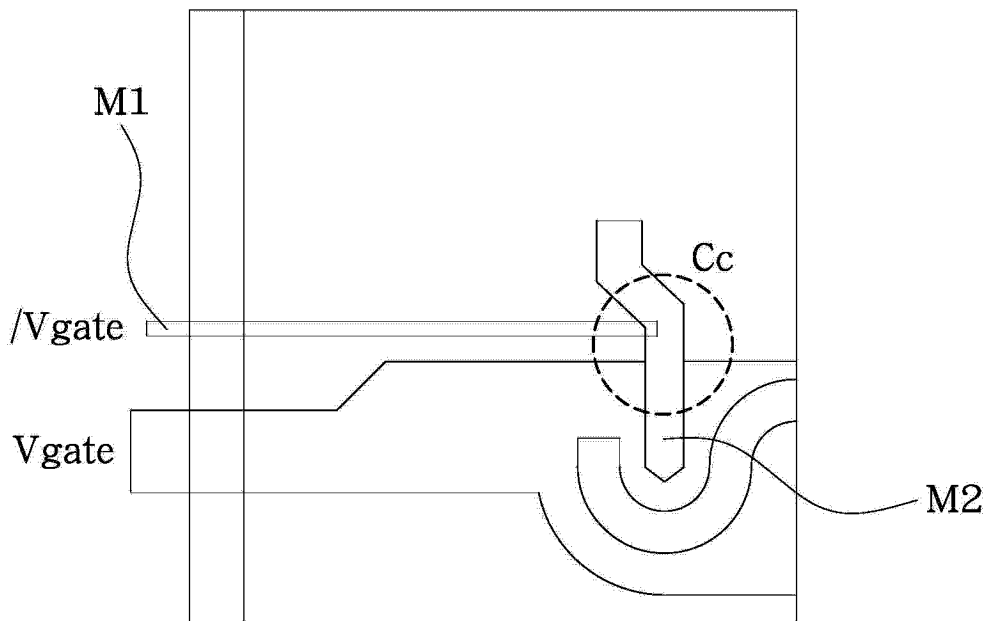


图 6

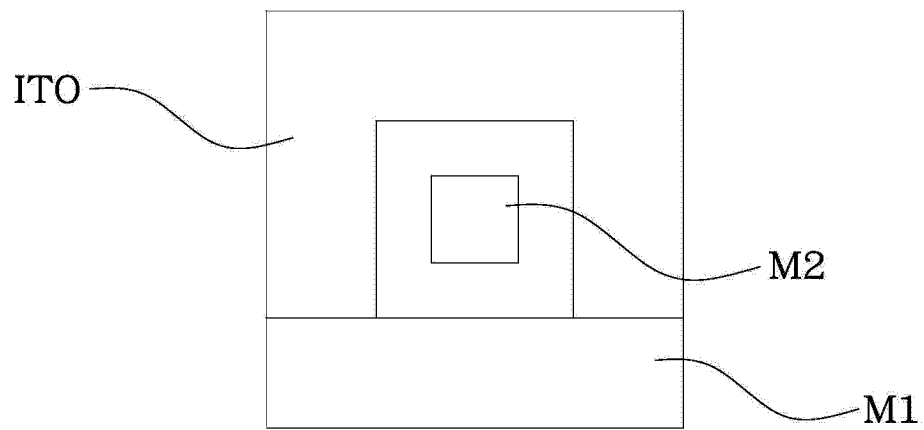


图 7

专利名称(译)	一种馈通电压补偿电路及其像素电路		
公开(公告)号	CN103744209A	公开(公告)日	2014-04-23
申请号	CN201410044916.7	申请日	2014-02-07
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	侯冠州		
发明人	侯冠州		
IPC分类号	G02F1/133 G02F1/1362 G02F1/1368 G09G3/36		
代理人(译)	徐金国		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种馈通电压补偿电路及其像素电路。该馈通电压补偿电路包括：一补偿电容，具有一第一端和一第二端，补偿电容的第一端电性耦接至薄膜晶体管的漏极；以及一补偿电压，其一端电性耦接至补偿电容的第二端，另一端电性耦接至一共通电压。补偿电容与补偿电压的乘积等于寄生电容与一电压阈值的乘积，该电压阈值为薄膜晶体管的栅极线高电压与栅极线低电压之间的电压差值。相比于现有技术，本发明的馈通电压补偿电路利用补偿电容与补偿电压的特性，可将寄生电容所造成的馈通电压补偿回来，进而降低液晶面板的画面闪烁现象，提升产品的显示品质。

