



(12) 发明专利申请

(10) 申请公布号 CN 103123771 A

(43) 申请公布日 2013. 05. 29

(21) 申请号 201310023991. 0

G09G 3/36 (2006. 01)

(22) 申请日 2013. 01. 22

(30) 优先权数据

101146226 2012. 12. 07 TW

(71) 申请人 友达光电股份有限公司

地址 中国台湾新竹科学工业园区新竹市力行二路 1 号

(72) 发明人 吕美如 曹韶文 龚晏莹 陈卓彦
丁天伦

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 梁挥 王颖

(51) Int. Cl.

G09G 3/20 (2006. 01)

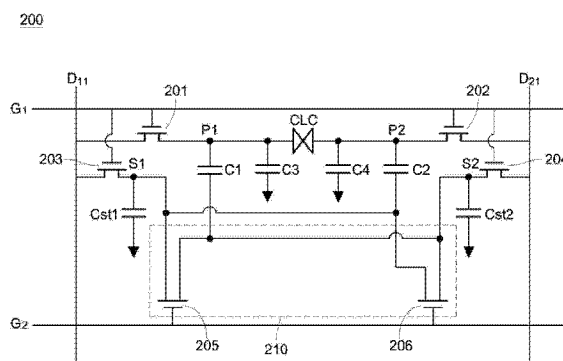
权利要求书3页 说明书7页 附图7页

(54) 发明名称

像素驱动电路、驱动方法与像素矩阵

(57) 摘要

本发明公开一种像素驱动电路、适用于像素驱动电路的驱动方法以及像素矩阵。像素驱动电路电性耦接于第一数据线与第二数据线之间以及第一扫描线与第二扫描线之间, 像素驱动电路包括第一开关、第二开关、第三开关、第四开关、液晶电容、第一电容、第二电容、第一储存电容、第二储存电容以及至少一开关单元。其中液晶电容电性连接于第一开关与第二开关之间; 第一电容电性连接至第一开关; 第二电容电性连接至第二开关; 第一储存电容电性连接至第三开关及一参考电位; 第二储存电容电性连接至第四开关及参考电位; 至少一开关单元, 用以重新分配像素驱动电路内的电荷。



1. 一种像素驱动电路,其特征在于,耦接于一第一数据线与一第二数据线,以及耦接于一第一扫描线与一第二扫描线,该像素驱动电路包括:

一第一开关,具有一第一端、一第二端以及一控制端,该第一开关的该第一端电性连接至该第一数据线,该第一开关的该控制端电性连接至该第一扫描线;

一第二开关,具有一第一端、一第二端以及一控制端,该第二开关的该第一端电性连接至该第二数据线,该第二开关的该控制端电性连接至该第一扫描线;

一第三开关,具有一第一端、一第二端以及一控制端,该第三开关的该第一端电性连接至该第一数据线,该第三开关的该控制端电性连接至该第一扫描线;

一第四开关,具有一第一端、一第二端以及一控制端,该第四开关的该第一端电性连接至该第二数据线,该第四开关的该控制端电性连接至该第一扫描线;

一液晶电容形成于该第一开关的该第二端与该第二开关的该第二端之间;

一第一电容,具有一第一端以及一第二端,该第一电容的该第一端电性连接至该第一开关的该第二端;

一第二电容,具有一第一端以及一第二端,该第二电容的该第一端电性连接至该第二开关的该第二端;

一第一储存电容,具有一第一端以及一第二端,该第一端电性连接至该第三开关的该第二端,以及该第一储存电容的第二端用以接收一参考电位;

一第二储存电容,具有一第一端以及一第二端,该第一端电性连接至该第四开关的该第二端,以及该第二储存电容的第二端用以接收该参考电位;以及

至少一开关单元,该至少一开关单元具有一第一端、一第二端以及一控制端,该至少一开关单元的该第一端电性连接至该第一储存电容的该第一端及该第二电容的该第二端,该至少一开关单元的该控制端电性连接至该第二扫描线,以及该至少一开关单元的该第二端电性连接至该第二储存电容的该第一端及该第一电容的该第二端。

2. 根据权利要求1所述的像素驱动电路,其特征在于,其中该至少一开关单元为多个开关单元,每一开关单元具有一第一端、一第二端以及一控制端,每一开关单元的该第一端电性连接至该第一储存电容的该第一端及该第二电容的该第二端,每一开关单元的该控制端电性连接至该第二扫描线,以及每一开关单元的该第二端电性连接至该第二储存电容的该第一端及该第一电容的该第二端。

3. 根据权利要求1所述的像素驱动电路,其特征在于,另包含一第三电容以及一第四电容,该第三电容具有一第一端以及一第二端,该第四电容具有一第一端以及一第二端,其中该第三电容的该第一端电连接于该第一开关的该第二端,该第三电容的该第二端用以接收该参考电位,且该第四电容的该第一端电连接于该第二开关的该第二端,该第三电容的该第二端用以接收该参考电位。

4. 一种适用于权利要求1的像素驱动电路的驱动方法,其特征在于,该驱动方法包括:

在一第一时间时,致能该第一扫描线,施加一第一数据电压以及一极性不同于该第一数据电压的第二数据电压至该像素驱动电路;以及

在一第二时间时,致能该第二扫描线,导通该至少一开关单元用以分配该像素驱动单元内的电荷。

5. 根据权利要求4所述的驱动方法,其特征在于,其中在该第一时间时,另包含储存该

第一数据电压于该第一电容以及该第一储存电容,并且储存该第二数据电压于该第二电容以及该第二储存电容。

6. 根据权利要求4所述的驱动方法,其特征在于,其中在该第二时间时,另包含中和该第一电容、该第二电容、该第一储存电容、以及该第二储存电容之间的电荷。

7. 根据权利要求6所述的驱动方法,其特征在于,其中中和该第一电容、该第二电容、该第一储存电容、以及该第二储存电容之间的电荷包含提高该第一电容及该第二电容的电荷差。

8. 一种像素矩阵,其特征在于,包括:

多条第一扫描线与多条第二扫描线;

多条第一数据线与多条第二数据线;

多个子像素,每一该子像素电性连接至对应的该第一扫描线以及对应的该第二扫描线,且每一该子像素电性连接至对应的该第一数据线以及对应的该第二数据线,其中每一该子像素包括:一第一开关、一第二开关、一第三开关、一第四开关、一液晶电容、一第一电容、一第二电容、一第一储存电容、一第二储存电容以及至少一开关单元;

该第一开关,具有一第一端、一第二端以及一控制端,该第一开关的该第一端电性连接至对应的该第一数据线,该第一开关的该控制端电性连接至对应的该第一扫描线;

该第二开关,具有一第一端、一第二端以及一控制端,该第二开关的该第一端电性连接至对应的该第二数据线,该第二开关的该控制端电性连接至对应的该第一扫描线;

该第三开关,具有一第一端、一第二端以及一控制端,该第三开关的该第一端电性连接至对应的该第一数据线,该第三开关的该控制端电性连接至对应的该第一扫描线;

该第四开关,具有一第一端、一第二端以及一控制端,该第四开关的该第一端电性连接至对应的该第二数据线,该第四开关的该控制端电性连接至对应的该第一扫描线;

该液晶电容形成于该第一开关的该第二端与该第二开关的该第二端之间;

该第一电容,具有一第一端以及一第二端,该第一电容的该第一端电性连接至该第一开关的该第二端;

该第二电容,具有一第一端以及一第二端,该第二电容的该第一端电性连接至该第二开关的该第二端;

该第一储存电容,具有一第一端以及一第二端,该第一端电性连接至该第三开关的该第二端,以及该第一储存电容的第二端用以接收一参考电位;

该第二储存电容,具有一第一端以及一第二端,该第一端电性连接至该第四开关的该第二端,以及该第二储存电容的第二端用以接收该参考电位;以及

该至少一开关单元具有一第一端、一第二端以及一控制端,该至少一开关单元的该第一端电性连接至该第一储存电容的该第一端及该第二电容的该第二端,该至少一开关单元的该控制端电性连接至该第二扫描线,以及该至少一开关单元的该第二端电性连接至该第二储存电容的该第一端及该第一电容的该第二端。

9. 根据权利要求8所述的像素矩阵,其特征在于,其中该至少一开关单元为多个开关单元,每一该开关单元具有一第一端、一第二端以及一控制端,每一开关单元的该第一端电性连接至该第一储存电容的该第一端及该第二电容的该第二端,每一开关单元的该控制端电性连接至该第二扫描线,以及每一开关单元的该第二端电性连接至该第二储存电容的该

第一端及该第一电容的该第二端。

10. 根据权利要求 8 所述的像素矩阵,其特征在于,其中每一该像素驱动电路还包含:

一第三电容以及一第四电容,该第三电容具有一第一端以及一第二端,该第四电容具有一第一端以及一第二端,其中该第三电容的该第一端电连接于该第一开关的该第二端,该第三电容的该第二端用以接收该参考电位,且该第四电容的该第一端电连接于该第二开关的该第二端,该第三电容的该第二端用以接收该参考电位。

像素驱动电路、驱动方法与像素矩阵

技术领域

[0001] 本发明关于一种像素驱动电路,特别是有关于一种具有较佳穿透度的像素驱动电路。

背景技术

[0002] 随着液晶显示装置不断地朝向大尺寸的显示规格发展,为了克服大尺寸显示下的视角问题,液晶显示面板的广视角技术也必须不停地进步与突破。目前能够达成广视角要求的技术例如包括有多域垂直配向(MVA)、多域水平配向(MHA)、扭转向列加视角扩大膜(TN+film)及横向电场形式(In Plane Switching, IPS)。

[0003] 通过上述所列的技术的液晶显示器可以达到广视角的目的,但是会有色偏(color washout)的问题发生。一般而言,所谓的色偏指的是当使用者以不同的观赏角度观看液晶显示器所显示的影像画面时,使用者会看见不同灰阶调的影像画面。举例来说,假若使用者站在以较为偏斜的角度(例如60度)观看液晶显示器所显示的影像画面时,使用者所看见的影像画面的色彩阶调会较亮于站在正视的角度所看见的影像画面的色彩阶调。

[0004] 为了解决液晶显示器大视角的色偏问题,目前已提出了将液晶显示面板内的每一个像素分成两个可独立驱动的子像素,其中之一会显示较高灰阶的色彩,而另一会显示较低灰阶的色彩。如此一来,以较高灰阶的色彩与较低灰阶的色彩来混合成一中间灰阶的色彩后,即可让使用者不论从正视或以倾斜的角度观看液晶显示器所显示的影像画面时,皆可观看到相近色彩阶调的影像画面。

[0005] 针对液晶显示以同一平面的电极搭配垂直配向的液晶类型,可使用同一平面电极的驱动方式。其中,液晶分子的倾倒程度取决与所感受到的电场强度(E),而电场强度(E)则是决定于ITO电极间距(d)与驱动电压(V),此关系式可以用 $E = V/d$ 来近似表示。因此可以知道电场强度是受到电极间距以及驱动电压的影响。

[0006] 为了改善色偏的问题,通常会设计多组的电极间距(multi-pitches),使得其像素显示有广视角的表现。若要达到最佳的侧视色偏问题的解决方案,在ITO电极间距的设计部分,会希望较宽的电极间距所占的像素面积与较窄的电极间距所占的像素面积比例约为7:3。

[0007] 然而,较宽电极间距则需要较高的数据(data)驱动电压来产生足够的电场,使得液晶分子有更大的倾斜角度,进而有充足的穿透率。举例来说,大于16 μm 的电极间距,至少要16V的电压驱动才勉强趋近于饱和程度。而现行通用的集成电路输出电压一般最高输出只有到16V,液晶所感受到的电压夹差不足以驱动大于16 μm 的电极间距,使得较宽的电极间距的穿透率的表现不佳,无法运用更宽的电极间距来进一步改善侧视色偏的问题。

发明内容

[0008] 本发明提出一种像素驱动电路,其通过电荷分享结合两条数据线的驱动方式,以在液晶电容两端提供较高的液晶跨压,使得液晶分子受到更强的电场驱动并有较大的倾倒

角度,进而有更佳穿透率表现。

[0009] 根据本发明实施例所公开的一种像素驱动电路,其电性耦接于第一数据线与第二数据线之间,以及电性耦接于第一扫描线与第二扫描线之间,像素驱动电路包括有第一开关、第二开关、第三开关、第四开关、液晶电容、第一电容、第二电容、第一储存电容、第二储存电容以及至少一开关单元。其中第一开关具有第一端、第二端以及控制端,第一开关的第一端电性连接至第一数据线,第一开关的控制端电性连接至第一扫描线;第二开关具有第一端、第二端以及控制端,第二开关的第一端电性连接至第二数据线,第二开关的控制端电性连接至第一扫描线;第三开关具有第一端、第二端以及控制端,第三开关的第一端电性连接至第一数据线,第三开关的控制端电性连接至第一扫描线;第四开关具有第一端、第二端以及控制端,第四开关的第一端电性连接至第二数据线,第四开关的控制端电性连接至第一扫描线;液晶电容形成于第一开关的第二端与第二开关的第二端之间;第一电容具有第一端以及第二端,第一电容的第一端电性连接至第一开关的第二端;第二电容具有第一端以及第二端,第二电容的第一端电性连接至第二开关的第二端;第一储存电容,具有第一端以及第二端,第一端电性连接至第三开关的第二端,以及储存电容的第二端用以接收参考电位;第二储存电容具有第一端以及第二端,第一端电性连接至第四开关的第二端,以及储存电容的第二端用以接收参考电位;至少一开关单元具有第一端、第二端以及控制端,至少一开关单元的第一端电性连接至第一储存电容的第一端及第二电容的第二端,至少一开关单元的控制端电性连接至第二扫描线,以及至少一开关单元的第二端电性连接至第二储存电容的第一端及第一电容的第二端。

[0010] 根据本发明实施例所公开的一种像素矩阵,其包括多条第一扫描线与多条第二扫描线;多条第一数据线与多条第二数据线;以及多个子像素,其中每一像素电性连接至对应的第一扫描线以及对应的第二扫描线,且每一像素电性连接至对应的第一数据线以及对应的第二数据线。每一像素包括第一开关、第二开关、第三开关、第四开关、液晶电容、第一电容、第二电容、第一储存电容、第二储存电容以及至少一开关单元。第一开关具有第一端、第二端以及控制端,第一开关的第一端电性连接至对应的第一数据线,第一开关的控制端电性连接至对应的第一扫描线;第二开关具有第一端、第二端以及控制端,第二开关的第一端电性连接至对应的第二数据线,第二开关的控制端电性连接至对应的第一扫描线;第三开关具有第一端、第二端以及控制端,第三开关的第一端电性连接至对应的第一数据线,第三开关的控制端电性连接至对应的第一扫描线;第四开关具有第一端、第二端以及控制端,第四开关的第一端电性连接至对应的第二数据线,第四开关的控制端电性连接至对应的第一扫描线;液晶电容形成于第一开关的第二端与第二开关的第二端之间;第一电容具有第一端以及第二端,第一电容的第一端电性连接至第一开关的第二端;第二电容具有第一端以及第二端,第二电容的第一端电性连接至第二开关的第二端;第一储存电容具有第一端以及第二端,第一端电性连接至第三开关的第二端,以及储存电容的第二端用以接收参考电位;第二储存电容具有第一端以及第二端,第一端电性连接至第四开关的第二端,以及储存电容的第二端用以接收参考电位;以及至少一开关单元具有第一端、第二端以及控制端,至少一开关单元的第一端电性连接至第一储存电容的第一端及第二电容的第二端,至少一开关单元的控制端电性连接至第二扫描线,以及至少一开关单元的第二端电性连接至第二储存电容的第一端及第一电容的第二端。

[0011] 以上关于本发明内容的说明及以下的实施方式的说明用以示范与解释本发明的精神与原理,并且提供本发明的专利申请范围更进一步的解释。

附图说明

- [0012] 图 1,为本发明所公开的像素矩阵的示意图;
 [0013] 图 2,为本发明所公开的像素驱动电路 200 的电路示意图;
 [0014] 图 3,为本发明所公开的像素驱动电路 200 的像素阵列电路布局的示意图;
 [0015] 图 4,为本发明所公开的像素驱动电路 200 的模拟波形图;
 [0016] 图 5,为本发明所公开的像素驱动电路 500 的电路示意图;
 [0017] 图 6,为本发明所公开的像素驱动电路 500 的像素阵列电路布局的示意图;
 [0018] 图 7,为本发明所公开的像素驱动电路 500 的模拟波形图。
 [0019] 其中,附图标记

[0020]	100	像素矩阵	G_1, G_2	扫描线
[0021]	D_{11}	第一数据线	D_{21}	第二数据线
[0022]	$P_{1,1}$	第一子像素	200	像素驱动电路
[0023]	201	第一开关	202	第二开关
[0024]	203	第三开关	204	第四开关
[0025]	205	第五开关	206	第六开关
[0026]	CLC	液晶电容	C1	第一电容
[0027]	C2	第二电容	C3	第三电容
[0028]	C4	第四电容	Cst1	第一储存电容
[0029]	Cst2	第二储存电容	210	至少一开关单元
[0030]	300	像素阵列电路布局	V(D1)	第一数据电压
[0031]	V(D2)	第二数据电压	V(P1)	P1 电压
[0032]	V(P2)	P2 电压	V(S1)	S1 电压
[0033]	V(S2)	S2 电压	500	像素驱动电路
[0034]	207	第七开关	P1	节点
[0035]	P2	节点	S1	节点
[0036]	S2	节点		

具体实施方式

[0037] 以下在实施方式中详细叙述本发明的详细特征以及优点,其内容足以使任何本领域技术人员了解本发明的技术内容并据以实施,且根据本说明书所公开的内容、申请专利范围及附图,任何本领域技术人员可轻易地理解本发明相关的目的及优点。以下的实施例进一步详细说明本发明的观点,但非以任何观点限制本发明的范畴。

[0038] 请参考图 1,为一种像素矩阵 100 的电路架构示意图。像素矩阵 100 包括多条扫描线 $G_1, G_2, \dots, G_{n-1}, G_n$ 、多条第一数据线 $D_{11}, D_{12}, \dots, D_{1m-1}, D_{1m}$ 与多条第二数据线 $D_{21}, D_{22}, \dots, D_{2m-1}, D_{2m}$ 、以及多个子像素 $P_{1,1}, P_{1,2}, \dots, P_{n,m}$, 第一数据线 $D_{11}, D_{12}, \dots, D_{1m-1}, D_{1m}$ 与第二数据线 $D_{21}, D_{22}, \dots, D_{2m-1}, D_{2m}$ 相互平行设置,且第一数据线 $D_{11}, D_{12}, \dots, D_{1m-1}, D_{1m}$ 与第二数据线 $D_{21},$

$D_{22} \cdots D_{2m-1}, D_{2m}$ 与扫描线 $G_1, G_2 \cdots G_{n-1}, G_n$ 大体上为垂直方向的设置像素矩阵的连接方式, 举例来说, 第一子像素 $P_{1,1}$ 电性连接至对应的扫描线 G_1 , 且第一子像素 $P_{1,1}$ 电性连接至对应的第一数据线 D_{11} 以及对应的第二数据线 D_{21} 。像素矩阵 100 中第一子像素 $P_{1,1}$ 为像素驱动电路 200, 如下所述。

[0039] 请参考图 2, 为像素驱动电路 200 的电路示意图, 主要以图 1 中的第一子像素 $P_{1,1}$ 作为说明。像素驱动电路 200 电性耦接于第一数据线 D_{11} 与第二数据线 D_{21} 之间, 以及电性耦接于扫描线 G_1 与扫描线 G_2 之间。像素驱动电路 200 包括有第一开关 201、第二开关 202、第三开关 203、第四开关 204、液晶电容 CLC、第一电容 C1、第二电容 C2、第一储存电容 Cst1、第二储存电容 Cst2 以及至少一开关单元 210。

[0040] 其中第一开关 201 为晶体管, 具有第一端、第二端、以及控制端, 第一开关 201 的第一端电性连接至第一数据线 D_{11} , 第一开关 201 的第二端电连接于节点 P1, 第一开关 201 的控制端电性连接至扫描线 G_1 。

[0041] 第二开关 202 为晶体管, 具有第一端、第二端、以及控制端, 第二开关 202 的第一端电性连接至第二数据线 D_{21} , 第二开关 202 的第二端电连接于节点 P2, 第二开关 202 的控制端电性连接至扫描线 G_1 , 液晶电容 CLC 形成于第一开关 201 的第二端与第二开关 202 的第二端之间。

[0042] 第三开关 203 为晶体管, 具有第一端、第二端、以及控制端, 第三开关 203 的第一端电性连接至第一数据线 D_{11} , 第三开关 203 的第二端电连接于节点 S1, 第三开关 203 的控制端电性连接至扫描线 G_1 。

[0043] 第四开关 204 为晶体管, 具有第一端、第二端、以及控制端, 第四开关 204 的第一端电性连接至第二数据线 D_{21} , 第四开关 204 的第二端电连接于节点 S2, 第四开关 204 的控制端电性连接至扫描线 G_1 。

[0044] 第一电容 C1 具有第一端以及第二端, 第一电容 C1 的第一端电性连接至第一开关 201 的第二端。第二电容 C2 具有第一端以及第二端, 第二电容 C2 的第一端电性连接至第二开关 202 的第二端。第一储存电容 Cst1 具有第一端以及第二端, 第一储存电容 Cst1 的第一端电性连接至第三开关 203 的第二端以及第一储存电容 Cst1 的第二端电性连接至参考电位; 第二储存电容 Cst2 具有第一端电性连接至第四开关 204 的第二端以及第二端电性连接至参考电位。

[0045] 至少一开关单元 210 电性连接至扫描线 G_2 、第一储存电容 Cst1 的第一端、第二储存电容 Cst2 的第一端、第一电容 C1 的第二端、以及第二电容 C2 的第二端, 用以重新分配第一储存电容 Cst1 与第二电容 C2 之间的电荷以及第二储存电容 Cst2 与第一电容 C1 之间的电荷。

[0046] 在此实施例中, 至少一开关单元 210 实质上为多个开关单元, 可包括第五开关 205 以及第六开关 206。第五开关 205 为晶体管, 第一端电性连接至第二储存电容 Cst2 的第一端及第一电容 C1 的第二端, 控制端电性连接至扫描线 G_2 , 第二端电性连接至第一储存电容 Cst1 的第一端及第二电容 C2 的第二端。第六开关 206 为晶体管, 第一端电性连接至第一储存电容 Cst1 的第一端及第二电容 C2 的第二端, 控制端电性连接至扫描线 G_2 , 第二端电性连接至第二储存电容 Cst2 的第一端及第一电容 C1 的第二端。在另一实施例中, 像素驱动电路 200 可另包含第三电容 C3 及第四电容 C4, 分别具有第一端以及第二端, 第三电容 C3 的

第一端电连接于第一电容 C1 的第一端,第三电容 C3 的第二端用以接收参考电压,第四电容 C4 的第一端电连接于第二电容 C2 的第一端,第四电容 C4 的第二端用以接收参考电压。

[0047] 请参考图 3,其为本发明一实施例的像素阵列电路布局 300 的示意图。这边为了与前述的实施例对应,因此同样的元件采用同样的标号,并以其中一个像素作为说明。像素阵列电路布局 300 包括第一开关 201、第二开关 202、第三开关 203、第四开关 204、第五开关 205、第六开关 206、第一电容 C1、第二电容 C2、第一储存电容 Cst1、第二储存电容 Cst2、扫描线 G_1 与扫描线 G_2 以及第一数据线 D_{11} 与第二数据线 D_{21} 。其中扫描线 G_1 与扫描线 G_2 与第一数据线 D_{11} 与第二数据线 D_{21} 相交排列,各个开关连接于扫描线以及数据线。第一开关 201 与扫描线 G_1 以及第一数据线 D_{11} 电性连接;第二开关 202 与扫描线 G_1 以及第二数据线 D_{21} 电性连接;第三开关 203 与扫描线 G_1 以及第一数据线 D_{11} 电性连接;第四开关 204 与扫描线 G_1 以及第二数据线 D_{21} 电性连接。第三开关 203 与扫描线 G_1 以及第五开关 205 电性连接,第一储存电容 Cst1 相邻第二储存电容 Cst2。此外,第四开关 204 与扫描线 G_1 以及第六开关 206 电性连接,而第二储存电容 Cst2 位于第二电容 C2 的下方。节点 P1 为指状电极,其电性连接于第一开关 201 以及第一电容 C1,而节点 P2 为指状电极,其电性连接于第二开关 202 以及第二电容 C2。

[0048] 请参考图 4,其为本发明一实施例的模拟波形图,并同时说明本发明的驱动方法与运作。像素驱动电路 200 的驱动方法包括在第一时间导通第一开关 201、第二开关 202、第三开关 203 以及第四开关 204,并在致能扫描线 G_1 时,提供第一数据电压经该第一数据线 D_{11} 至第一电容 C1 及第一储存电容 Cst1,提供极性不同于第一数据电压的第二数据电压经第二数据线 D_{21} 至第二电容 C2 及第二储存电容 Cst2。此时,节点 P1 与节点 S1 被第一数据线 D_{11} 充电至正电位,而节点 P2 与节点 S2 被第二数据线 D_{21} 充电至负电位。

[0049] 接着,在第二时间导通至少一开关单元 210,致能扫描线 G_2 时,储存于第一储存电容 Cst1 的第一数据电压与储存于第二电容 C2 以及第二储存电容 Cst2 的第二数据电压中和重新分配,并且储存于第二储存电容 Cst2 的第二数据电压与储存于第一电容 C1 以及第一储存电容 Cst1 的第一数据电压中和重新分配。扫描线 G_1 关闭,而扫描线 G_2 打开时,节点 S1 与节点 S2 接通,使得节点 S1 的电位被往下拉,同时影响属于浮动电位的节点 P2 往下降。同时间,节点 S2 电位被往上抬升,进而拉高节点 P1 的浮动电位,如此,液晶电容 CLC 的液晶跨压被大幅提升并且高于驱动电压范围。

[0050] 在第一时间时致能扫描线 G_1 时,导通第一开关 201、第二开关 202、第三开关 203 以及第四开关 204,并提供第一数据电压 $V(D1)$,节点 P1 电压 $V(P1)$ 以及节点 S1 电压 $V(S1)$ 也随着第一数据电压 $V(D1)$ 而上升。另外提供极性不同于第一数据电压 $V(D1)$ 的第二数据电压 $V(D2)$,节点 P2 电压 $V(P2)$ 以及节点 S2 电压 $V(S2)$ 也随着第二数据电压 $V(D2)$ 而下降。此时,节点 P1 与节点 S1 被第一数据线 D_{11} 充电至正电压,而节点 P2 与节点 S2 被第二数据线 D_{21} 充电至负电压。

[0051] 接着,在第二时间关闭扫描线 G_1 并致能扫描线 G_2 时,第一开关 201、第二开关 202、第三开关 203 以及第四开关 204 关闭,而第五开关 205 以及第六开关 206 导通。此时电荷重新分配,节点 S1 与节点 S2 因为第五开关 205 的开启而接通,使得 S1 电压 $V(S1)$ 电位被往下拉,同时影响 P2 电压 $V(P2)$ 往下降。同时间,节点 S2 电压 $V(S2)$ 电位被往上抬,进而拉高节点 P1 电压 $V(P1)$ 电位,如此液晶电容 CLC 的液晶跨压将被提升。

[0052] 请参考图 5,为本发明另一实施例像素驱动电路 500 的电路图。像素驱动电路 500 电性耦接于第一数据线 D_{11} 与第二数据线 D_{21} 之间,以及电性耦接于扫描线 G_1 与扫描线 G_2 之间。像素驱动电路 500 包括有第一开关 201、第二开关 202、第三开关 203、第四开关 204、液晶电容 CLC、第一电容 C1、第二电容 C2、第一储存电容 Cst1、第二储存电容 Cst2 以及至少一开关单元 210。

[0053] 第一开关 201 为晶体管,具有第一端、第二端、以及控制端,第一开关 201 的第一端电性连接至第一数据线 D_{11} ,第一开关 201 的第二端电连接于节点 P1,第一开关 201 的控制端电性连接至扫描线 G_1 ;第二开关 202 为晶体管,具有第一端、第二端、以及控制端,第二开关 202 的第一端电性连接至第二数据线 D_{21} ,第二开关 202 的第二端电连接于节点 P2,第二开关 202 的控制端电性连接至扫描线 G_1 ,液晶电容 CLC 形成于第一开关 201 的第二端与第二开关 202 的第二端之间;第三开关 203 为晶体管,具有第一端、第二端、以及控制端,第三开关 203 的第一端电性连接至第一数据线 D_{11} ,第三开关 203 的第二端电连接于节点 S1,第三开关 203 的控制端电性连接至扫描线 G_1 ;第四开关 204 为晶体管,具有第一端、第二端、以及控制端,第四开关 204 的第一端电性连接至第二数据线 D_{21} ,第四开关 204 的第二端电连接于节点 S2,第四开关 204 的控制端电性连接至扫描线 G_1 。

[0054] 第一电容 C1 具有第一端以及第二端,第一电容 C1 的第一端电性连接至第一开关 201 的第二端;第二电容 C2 具有第一端以及第二端,第二电容 C2 的第一端电性连接至第二开关 202 的第二端。

[0055] 第一储存电容 Cst1 具有第一端以及第二端,第一储存电容 Cst1 的第一端电性连接至第三开关 203 的第二端,以及第一储存电容 Cst1 的第二端电性连接至参考电位;第二储存电容 Cst2 具有第一端电性连接至第四开关 204 的第二端,以及第二端电性连接至参考电位。

[0056] 至少一开关单元 210 电性连接至扫描线 G_2 、第一储存电容 Cst1 的第一端、第二储存电容 Cst2 的第一端、第一电容 C1 的第二端、以及第二电容 C2 的第二端,用以重新分配第一储存电容 Cst1 与第二电容 C2 之间的电荷以及第二储存电容 Cst2 与第一电容 C1 之间的电荷。

[0057] 在此实施例中,至少一开关单元 210 实质上为一个开关单元,包括第七开关 207。第七开关 207 为晶体管,第一端电性连接至第二储存电容 Cst2 的第一端及第一电容 C1 的第二端,控制端电性连接至扫描线 G_2 ,以及第二端电性连接至第一储存电容 Cst1 的第一端及第二电容 C2 的第二端。在另一实施例中,像素驱动电路 500 更包括第三电容 C3 以及第四电容 C4。分别具有第一端以及第二端,第三电容 C3 的第一端电连接于第一电容 C1 的第一端,第三电容 C3 的第二端用以接收参考电压,第四电容 C4 的第一端电连接于第二电容 C2 的第一端,第四电容 C4 的第二端用以接收参考电压,其余元件连接关皆与像素驱动电路 500 相似,不另赘述。

[0058] 请参考图 6,其为本发明另一实施例的像素阵列电路布局 600 的示意图。这边为了与前述的实施例对应,因此同样的元件采用同样的标号。像素阵列电路布局 600 包括第一开关 201、第二开关 202、第三开关 203、第四开关 204、第七开关 207、第一电容 C1、第二电容 C2、第一储存电容 Cst1、第二储存电容 Cst2、扫描线 G_1 与扫描线 G_2 以及第一数据线 D_{11} 与第二数据线 D_{21} 。其中扫描线 G_1 与扫描线 G_2 与第一数据线 D_{11} 与第二数据线 D_{21} 相交,各个开

关连接于扫描线以及数据线。第一开关 201 与扫描线 G_1 以及第一数据线 D_{11} 电性连接；第二开关 202 与扫描线 G_1 以及第二数据线 D_{21} 电性连接；第三开关 203 与扫描线 G_1 以及第一数据线 D_{11} 电性连接；第四开关 204 与扫描线 G_1 以及第二数据线 D_{21} 电性连接。第七开关 207 与扫描线 G_2 电性连接。第三开关 203 与扫描线 G_1 电性连接，第一储存电容 Cst1 相邻第二储存电容 Cst2。此外，第四开关 204 与扫描线 G_1 以及第六开关 206 电性连接，而第二储存电容 Cst2 位于第二电容 C2 的下方。节点 P1 为指状电极，电性连接于第一开关 201 以及第一电容 C1，而节点 P2 为指状电极，电性连接于第二开关 202 以及第二电容 C2。

[0059] 请参考图 7，其为本发明另一实施例的模拟波形图。并同时说明本发明的驱动方法与运作。像素驱动电路 500 的驱动方法包括于第一时间导通第一开关 201、第二开关 202、第三开关 203 以及第四开关 204，并于致能扫描线 G_1 时，提供第一数据电压经该第一数据线 D_{11} 至第一电容 C1 及第一储存电容 Cst1，以及提供极性不同于第一数据电压的第二数据电压经第二数据线 D_{21} 至第二电容 C2 及第二储存电容 Cst2。此时，节点 P1 与节点 S1 被第一数据线 D_{11} 充电至正电位，而节点 P2 与节点 S2 被第二数据线 D_{21} 充电至负电位。

[0060] 接着，在第二时间导通至少一开关单元 210，致能扫描线 G_2 时，储存于第一储存电容 Cst1 的第一数据电压与储存于第二电容 C2 以及第二储存电容 Cst2 的第二数据电压中和重新分配，并且储存于第二储存电容 Cst2 的第二数据电压与储存于第一电容 C1 以及第一储存电容 Cst1 的第一数据电压中和重新分配。扫描线 G_1 关闭，而扫描线 G_2 打开时，节点 S1 与节点 S2 接通，使得节点 S1 的电位被往下拉，同时影响属于浮动电位的节点 P2 往下降。同时间，节点 S2 电位被往上抬，进而拉高节点 P1 的浮动电位，如此，液晶电容 CLC 的液晶跨压大幅被提升并且高于驱动电压范围。其中，当第一电容 C1 及第二电容 C2 的电容值越大，压差越大。

[0061] 在第一时间时致能扫描线 G_1 时，导通第一开关 201、第二开关 202、第三开关 203 以及第四开关 204，并提供第一数据电压 $V(D1)$ ，节点 P1 电压 $V(P1)$ 以及节点 S1 电压 $V(S1)$ 也随着第一数据电压 $V(D1)$ 而上升。另外提供极性不同于第一数据电压 $V(D1)$ 的第二数据电压 $V(D2)$ ，节点 P2 电压 $V(P2)$ 以及节点 S2 电压 $V(S2)$ 也随着第二数据电压 $V(D2)$ 而下降。此时，节点 P1 与节点 S1 被第一数据线 D_{11} 充电至正电位，而节点 P2 与节点 S2 被第二数据线 D_{21} 充电至负电位。

[0062] 接着，在第二时间关闭扫描线 G_1 并致能扫描线 G_2 时，第一开关 201、第二开关 202、第三开关 203 以及第四开关 204 关闭，而第七开关 207 导通。此时电荷中和重新分配，节点 S1 与节点 S2 接通，使得节点 S1 电压 $V(S1)$ 电位被往下拉同时影响节点 P2 电压 $V(P2)$ 往下降。同时间，节点 S2 电压 $V(S2)$ 电位被往上抬升，进而拉高节点 P1 电压 $V(P1)$ 电位，如此地一来一往，液晶电容 CLC 的液晶跨压大幅被提升并且高于驱动电压范围。其中，当至少一开关单元 210 实质上仅有一个开关时，像素开口率较佳。

[0063] 根据本发明的像素驱动电路，其通过电荷分享的方式，结合两条数据线的驱动方式，以于液晶电容两端提供较高的液晶跨压，使得液晶分子受到更强的电场驱动并有较大的倾倒角度，进而有更佳穿透率表现，以改善侧视色偏等问题。

[0064] 当然，本发明还可有其它多种实施例，在不背离本发明精神及其实质的情况下，熟悉本领域的技术人员当可根据本发明作出各种相应的改变和变形，但这些相应的改变和变形都应属于本发明所附的权利要求的保护范围。

100

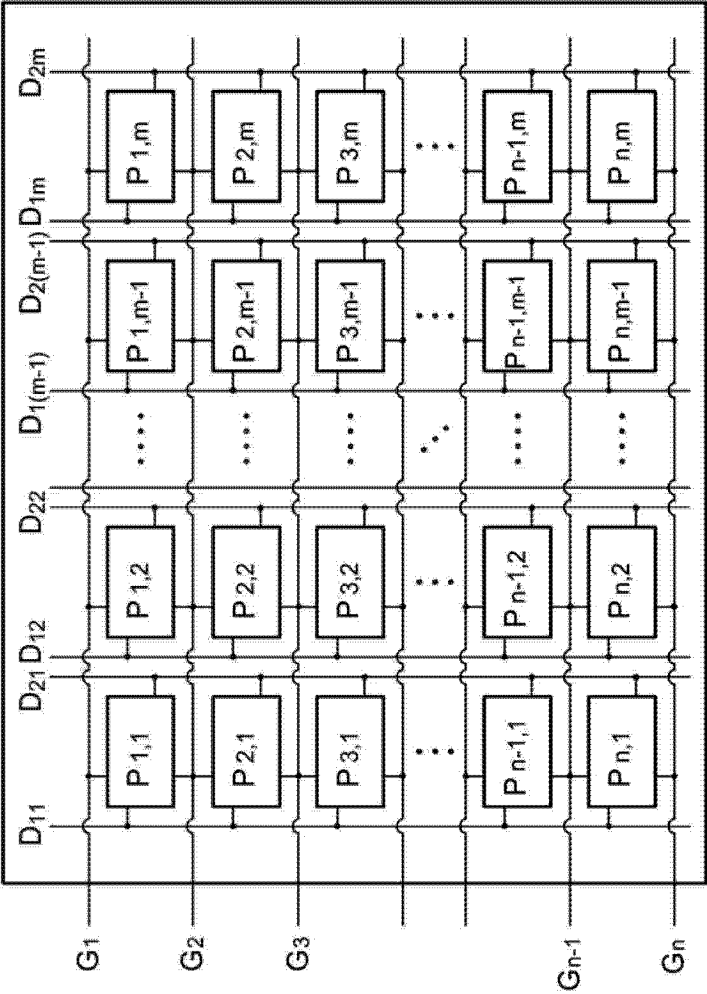


图 1

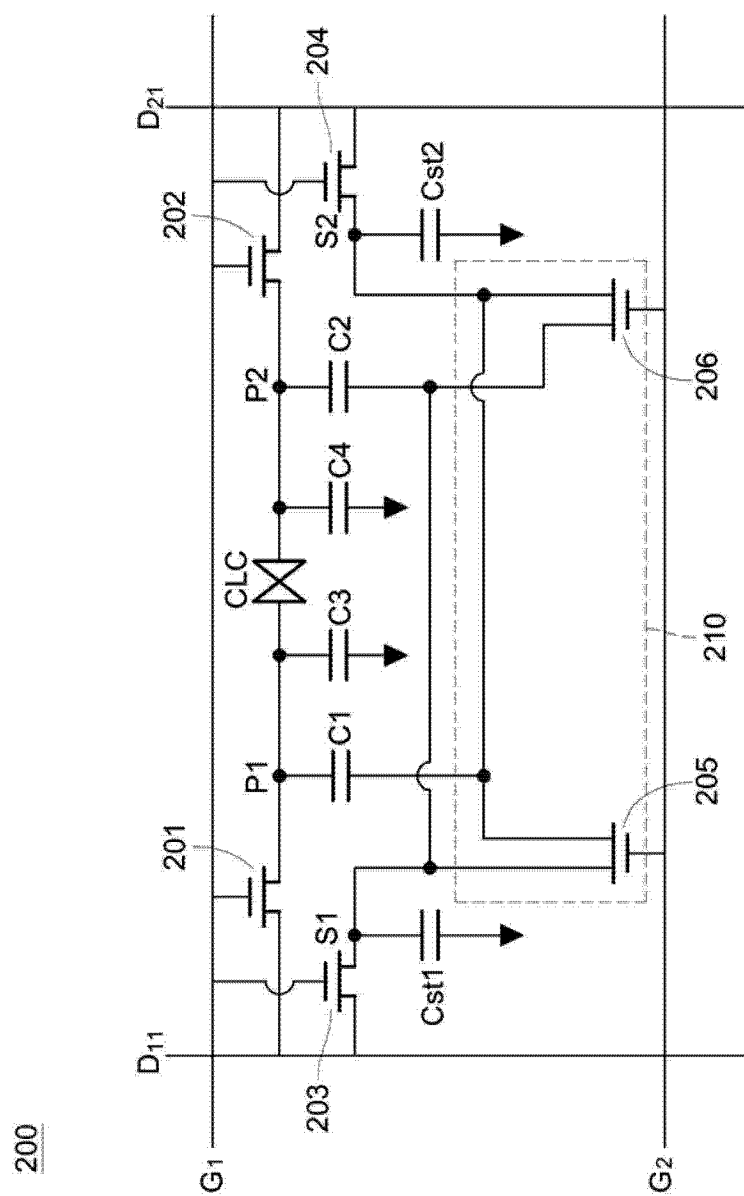


图 2

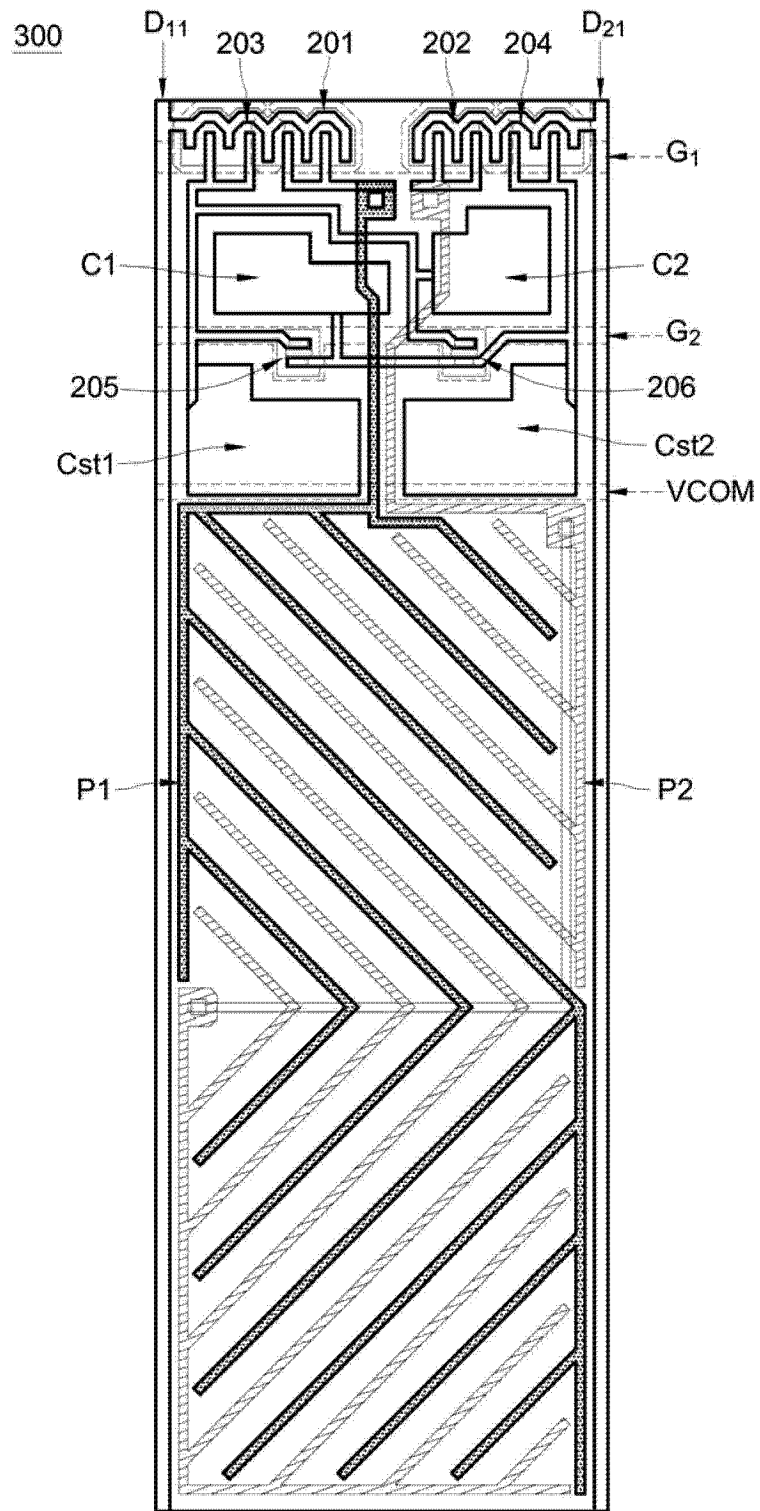


图 3

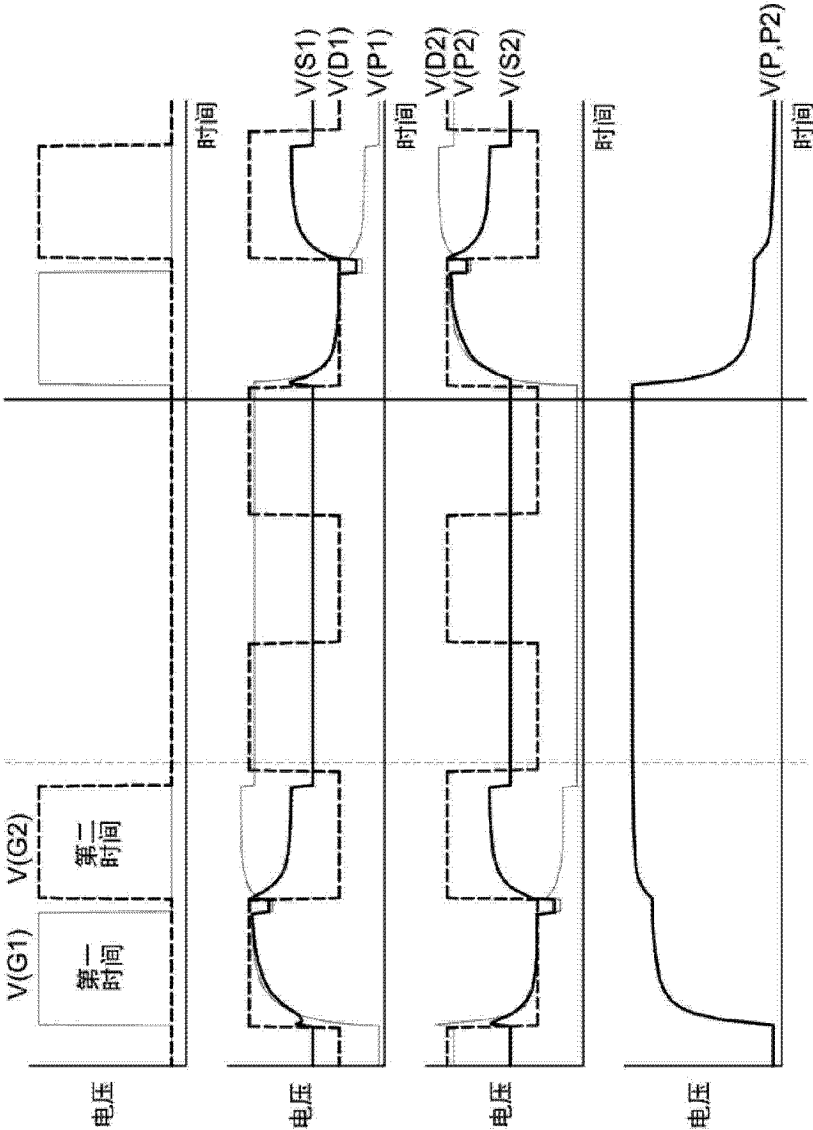


图 4

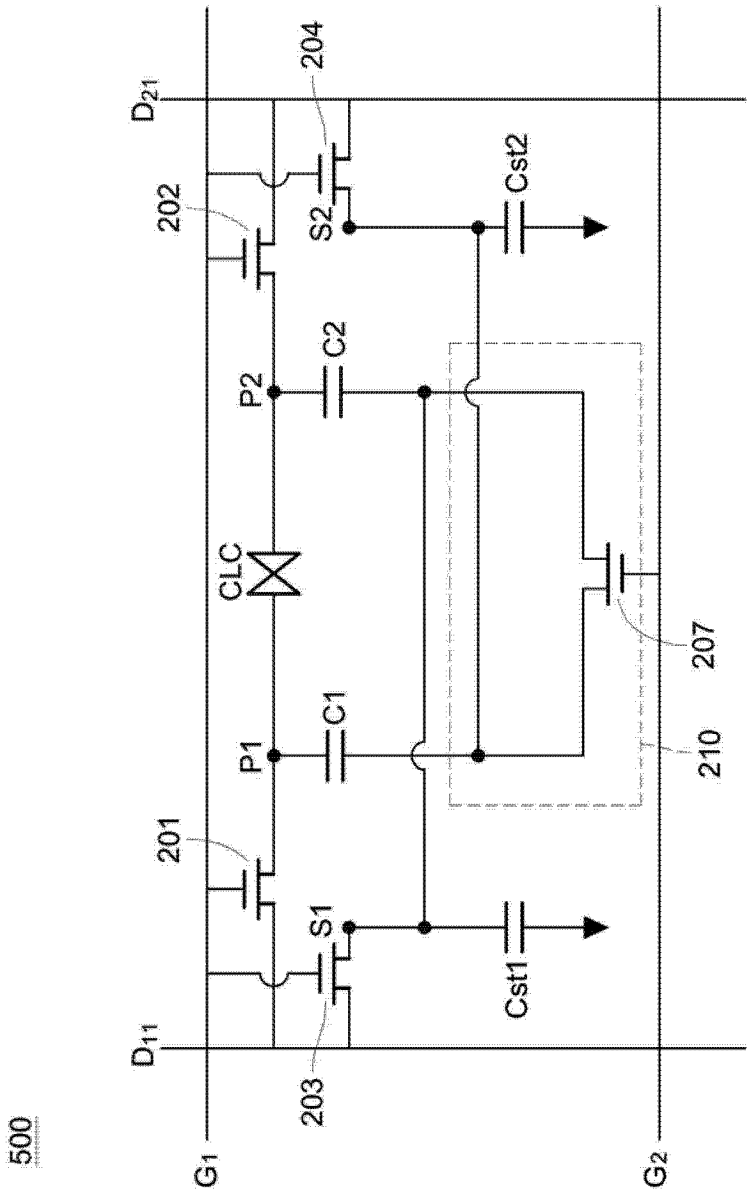


图 5

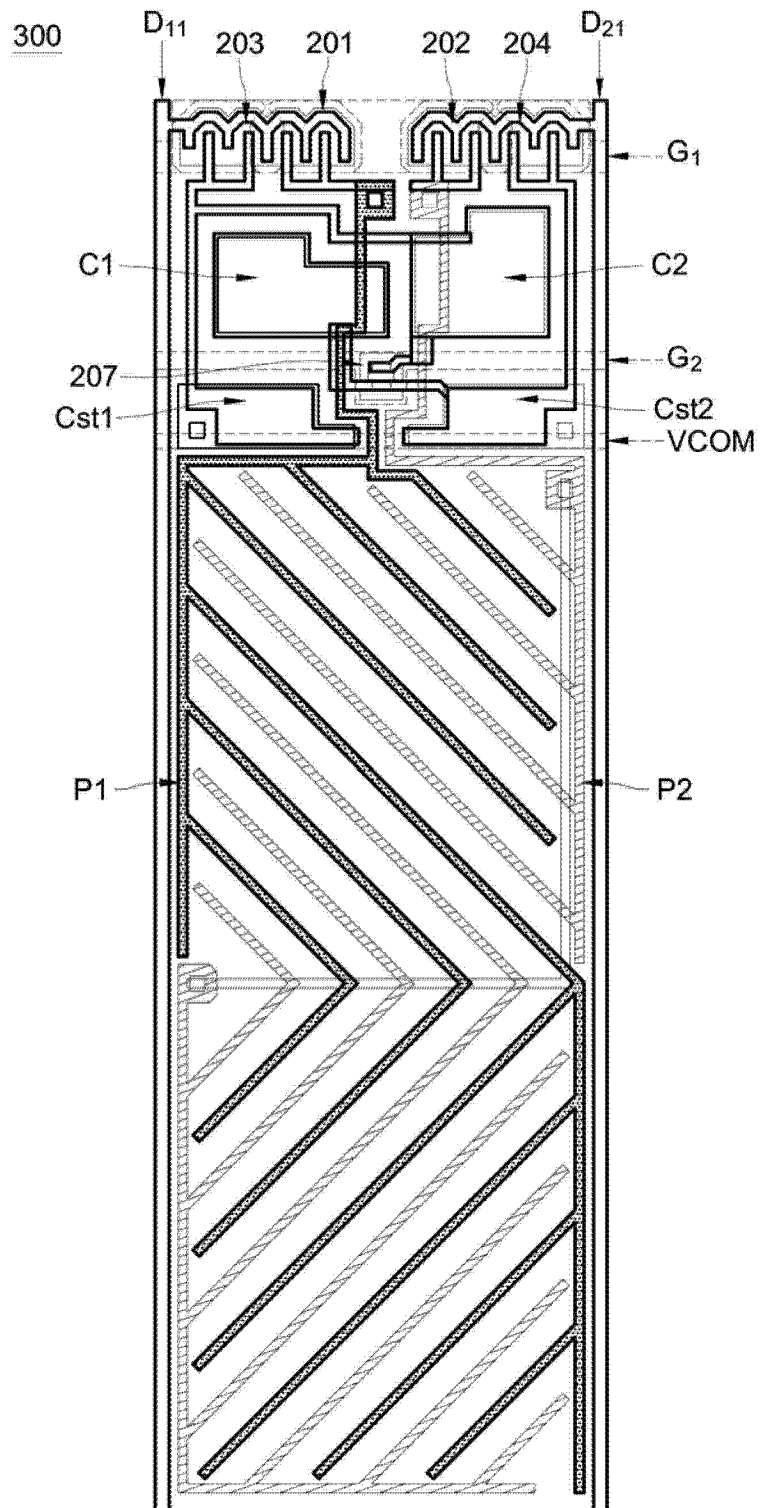


图 6

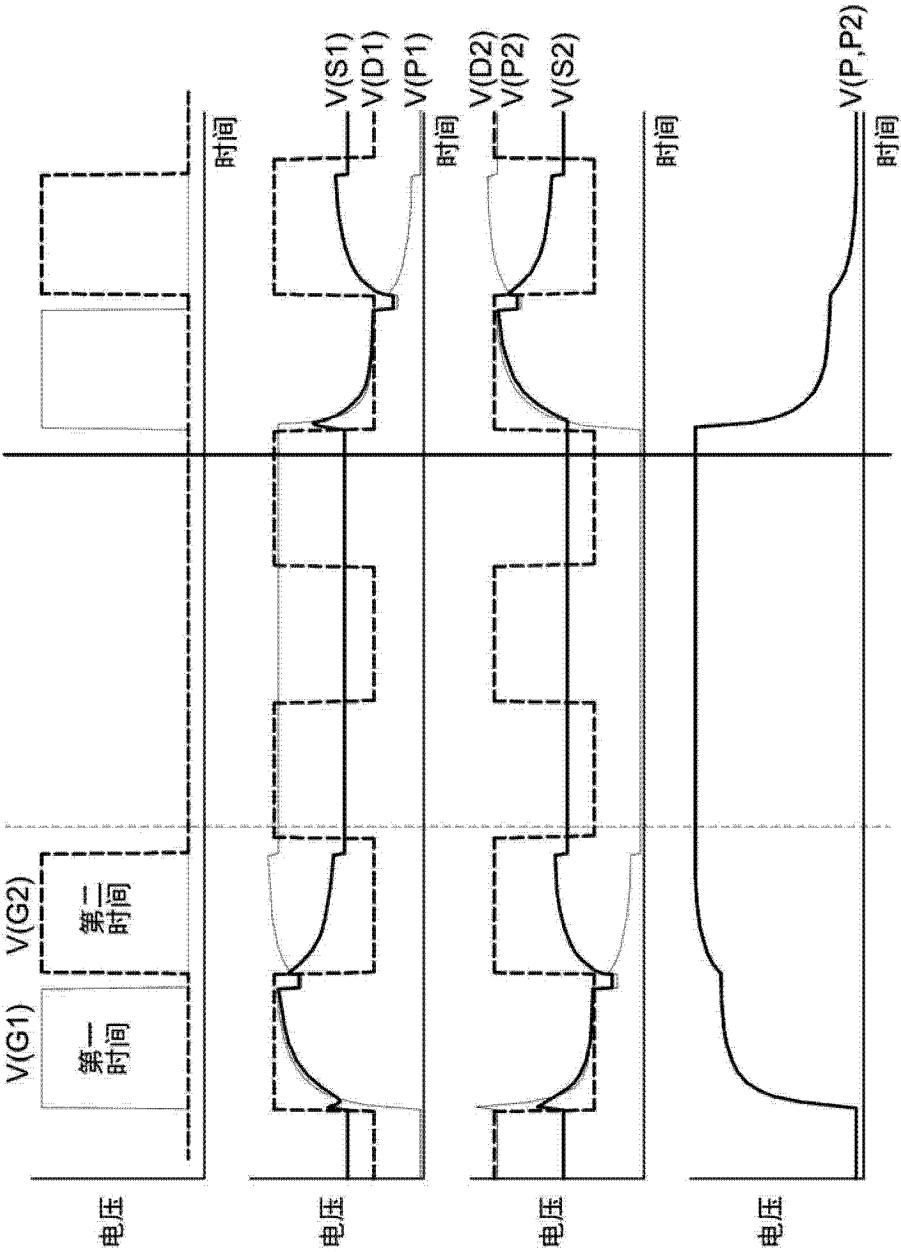


图 7

专利名称(译)	像素驱动电路、驱动方法与像素矩阵		
公开(公告)号	CN103123771A	公开(公告)日	2013-05-29
申请号	CN201310023991.0	申请日	2013-01-22
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	吕美如 曹韶文 龚晏莹 陈卓彦 丁天伦		
发明人	吕美如 曹韶文 龚晏莹 陈卓彦 丁天伦		
IPC分类号	G09G3/20 G09G3/36		
CPC分类号	G09G2300/0866 G09G2300/0447 G09G2300/0852 G09G3/3659 G09G3/3696 G02F1/13 G02F1/13624		
代理人(译)	王颖		
优先权	101146226 2012-12-07 TW		
其他公开文献	CN103123771B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开一种像素驱动电路、适用于像素驱动电路的驱动方法以及像素矩阵。像素驱动电路电性耦接于第一数据线与第二数据线之间以及第一扫描线与第二扫描线之间，像素驱动电路包括第一开关、第二开关、第三开关、第四开关、液晶电容、第一电容、第二电容、第一储存电容、第二储存电容以及至少一开关单元。其中液晶电容电性连接于第一开关与第二开关之间；第一电容电性连接至第一开关；第二电容电性连接至第二开关；第一储存电容电性连接至第三开关及一参考电位；第二储存电容电性连接至第四开关及参考电位；至少一开关单元，用以重新分配像素驱动电路内的电荷。

