



(12) 发明专利

(10) 授权公告号 CN 102998856 B

(45) 授权公告日 2015. 03. 25

(21) 申请号 201210469712. 9

审查员 李轲

(22) 申请日 2012. 11. 19

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

专利权人 合肥京东方光电科技有限公司

(72) 发明人 操彬彬 白明基 黄寅虎 徐向阳

(74) 专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(51) Int. Cl.

G02F 1/1343(2006. 01)

G02F 1/1337(2006. 01)

G02F 1/1333(2006. 01)

(56) 对比文件

CN 202886793 U, 2013. 04. 17,

CN 101399014 A, 2009. 04. 01,

CN 101515441 A, 2009. 08. 26,

US 2011/0037917 A1, 2011. 02. 17,

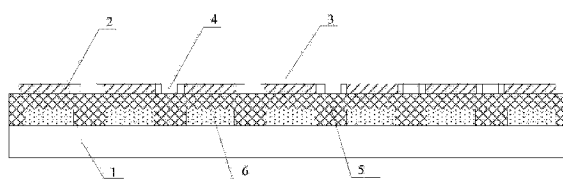
权利要求书2页 说明书7页 附图4页

(54) 发明名称

一种阵列基板及其制作方法、显示装置

(57) 摘要

本发明公开了一种阵列基板及其制作方法、显示装置,用以分散液晶分子表面的直流残留,从而消除因直流残留引起的图像残像的现象。本发明提供的阵列基板包括:基板、基板上的像素电极、像素电极上方与像素电极相绝缘的公共电极,公共电极上的取向膜,还包括:与至少一个像素电极电性相连的至少一个用于分散液晶分子表面残留电荷的分流电极,所述分流电极位于所述取向膜不与液晶分子相接触的一侧。



1. 一种阵列基板,包括:基板、基板上的第一电极、第一电极上方与第一电极相绝缘的第二电极,第二电极上的取向膜,其特征在于,还包括:与至少一个第一电极电性相连的至少一个用于分散液晶分子表面残留电荷的分流电极,所述分流电极位于所述取向膜不与液晶分子相接触的一侧。

2. 根据权利要求1所述的阵列基板,其特征在于,所述分流电极与所述第一电极同层设置。

3. 根据权利要求1所述的阵列基板,其特征在于,所述第二电极与所述分流电极通过孔电性连接。

4. 根据权利要求1所述的阵列基板,其特征在于,所述分流电极位于相邻两个子像素单元之间的非显示区域。

5. 根据权利要求4所述的阵列基板,其特征在于,所述分流电极位于相邻两个子像素单元之间与数据信号线和/或栅极扫描线相对应的区域。

6. 根据权利要求1所述的阵列基板,其特征在于,与任一第一电极电性相连的分流电极为1-5个。

7. 根据权利要求1所述的阵列基板,其特征在于,所述分流电极为矩形状,该分流电极的宽度为3-20 μm ,长度为3-30 μm 。

8. 根据权利要求1-7任一所述的阵列基板,其特征在于,所述第一电极为狭缝电极或板状电极,所述第二电极为狭缝电极。

9. 根据权利要求1-7任一所述的阵列基板,其特征在于,所述第一电极为像素电极,所述第二电极为公共电极;或者

所述第一电极为公共电极,所述第二电极为像素电极。

10. 一种显示装置,其特征在于,包括权利要求1-9任一所述的阵列基板。

11. 一阵列基板的制作方法,其特征在于,包括:

在基板上形成包括第一电极、第二电极、分流电极的图形;以及

形成包括第一绝缘层和取向膜的图形;

所述第一电极位于所述第一绝缘层之下,所述第二电极和分流电极位于所述第一绝缘层之上,所述取向膜位于所述第二电极和分流电极之上,所述第一电极与所述分流电极电性相连。

12. 根据权利要求11所述的方法,其特征在于,所述第一电极与所述分流电极通过过孔电性相连;

在基板上形成包括第一电极、第二电极、分流电极的图形;以及形成第一绝缘层和取向膜的图形,具体为:

通过构图工艺在基板上形成包括第一电极的图形;

通过构图工艺在形成有所述第一电极的基板上形成至少覆盖所述第一电极的第一绝缘层的图形;

通过构图工艺在所述第一绝缘层上与所述第一电极相对应的区域形成包括过孔的图形;

通过一次构图工艺在形成有所述第一绝缘层和过孔的基板上形成第二电极和分流电极的图形,分流电极位于所述过孔之上与过孔下方的第一电极电性相连;

通过包括涂覆、固化和摩擦的工艺或者通过包括涂覆和光取向的工艺在形成有所述第二电极和分流电极的基板上形成包括取向膜的图形。

13. 根据权利要求 12 所述的方法,其特征在于,所述第一电极像素电极,所述第二电极为公共电极;

通过构图工艺在基板上形成第一电极的图形,具体为:

通过构图工艺在基板上任一子像素单元的像素区域和与该子像素单元相邻的至少一个子像素单元之间的非显示区域形成第一电极的图形;

通过构图工艺在第一绝缘层上形成过孔,具体为:

通过构图工艺在基板上与位于非显示区域的像素电极部分对应的区域形成过孔;

通过构图工艺在基板上形成分流电极的图形,具体为:

通过构图工艺在基板上的过孔之上形成分流电极。

14. 根据权利要求 13 所述的方法,其特征在于,所述通过构图工艺在基板上的过孔之上形成分流电极,具体为:通过构图工艺在基板上的过孔之上,与相邻两个子像素单元之间的数据信号线和 / 或栅极扫描线相对应的区域形成分流电极。

一种阵列基板及其制作方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板及其制作方法、显示装置。

背景技术

[0002] 液晶显示技术迅速发展,并成为目前工业界的新星和经济发展的亮点。在液晶显示蓬勃发展的同时,宽视角、高画质和较快的响应速度等成为显示装置件的迫切要求。目前,超维场转换技术(Advanced Super Dimension Switch, ADS)型、及平面内开关(In-Plane Switching, IPS)型,或垂直对准平面内开关(Vertical Alignment-In-Plane Switching, VA-IPS)型液晶显示等技术,具有宽视角、高画质与较快的响应速度等特性,非常适合应用于各种动态影像用液晶显示领域。

[0003] ADS 模式是平面电场宽视角核心技术,其核心技术特性描述为:通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场,使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转,从而提高了液晶工作效率并增大了透光效率。ADS 模式的开关技术可以提高 TFT-LCD 产品的画面品质,具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹(push Mura)等优点。针对不同应用,ADS 技术的改进技术有高透过率 I-ADS 技术、高开口率 H-ADS 和高分辨率 S-ADS 技术等。

[0004] 现有技术的 ADS 型显示面板,如图 1 所示,包括:彩膜基板 10 和阵列基板 20,以及填充于彩膜基板 10 和阵列基板 20 之间的液晶分子 30。阵列基板 20 上包括:像素电极 200,位于像素电极 200 上方与像素电极 200 通过绝缘层 201 相绝缘的公共电极 202,以及位于公共电极 202 上方的取向膜 203,位于彩膜基板 10 上与液晶分子相接触的一侧设置有取向膜 100。

[0005] 需要说明的是,公共电极和像素电极的设置位置可以互换,公共电极可以在像素电极的上方,也可以为像素电极在公共电极的上方,无论哪种电极位于上方,位于上方的电极一定为狭缝电极,位于下方的电极可以为板状电极或狭缝电极。在具体实施过程中,阵列基板公共电极上方还设置有取向膜。

[0006] 现有的 ADS 型阵列基板结构导致阵列基板上存在直流残留的现象,直流残留会导致显示图像存在残像的问题。

[0007] 具体原因如下,由于液晶分子中不可避免地存在一些可以移动的带电残留离子。在像素电极和公共电极施加电压用于显示图像时,可移动的正负残留离子向与自己极性相反的公共电极或像素电极移动,最后形成在取向膜表面。由于公共电极与取向膜相接触,与公共电极极性相反的残留离子贴附在取向膜表面,如图 1 中所示,带正电的残留离子 40 贴附在取向膜表面,但是由于像素电极位于公共电极下方,与像素电极极性相反的可移动残留离子无法移动到像素电极,也就无法移动到取向膜表面,最后残留在液晶分子表面,该现象称为直流残留。在完全不施加电压的情况下,液晶的排列会因其表面的带电残留离子的影响偏离了原始排列状态,直流残留会引图像显示存在残像的问题,降低图像的品质,不利

于实现高画质图像显示。

发明内容

[0008] 本发明实施例提供一种阵列基板及其制作方法、显示装置,用以分散液晶分子表面的直流残留,从而消除因直流残留引起的图像残像的现象。

[0009] 本发明实施例提供的一种阵列基板,包括:基板、基板上的第一电极、第一电极上方与第一电极相绝缘的第二电极,第二电极上的取向膜,还包括:与至少一个第一电极电性相连的至少一个用于分散液晶分子表面残留电荷的分流电极,所述分流电极位于所述取向膜不与液晶分子相接触的一侧。

[0010] 本发明实施例还提供一种显示装置,包括所述阵列基板。

[0011] 本发明实施例还提供一种阵列基板制作方法,包括:

[0012] 在基板上形成包括第一电极、第二电极、分流电极的图形;以及

[0013] 形成包括第一绝缘层和取向膜的图形;

[0014] 所述第一绝缘层位于所述第一电极与第二电极和分流电极之间,所述取向膜位于所述第二电极和分流电极之上,所述第一电极与所述分流电极电性相连。

[0015] 本发明实施例通过在像素电极上设置至少一个用于分散液晶分子表面残留电荷的分流电极;该分流电极位于所述取向膜不与液晶分子相接触的一侧,且与所述像素电极电性相连。由于公共电极位于像素电极之上且与取向膜接触,且所述分流电极与所述取向膜相接触。分流电极与像素电极相连,公共电极与像素电极的极性不同,也就是说与取向膜相接触的公共电极与分流电极极性不同,液晶分子中的残留正负残留电荷会分别分散到与自己极性不同的电极附近,例如正残留电荷由液晶分子移动到公共电极附近的取向膜上,负残留电荷由液晶分子移动到与像素电极相连的分流电极附近的取向膜上。实现了将液晶分子上的正负残余残留电荷分散到取向膜上,减少了残像的发生几率,提高了图像的品质。

附图说明

[0016] 图1为现有技术的液晶显示面板截面示意图;

[0017] 图2为本发明实施例提供的阵列基板俯视示意图;

[0018] 图3为图2提供的阵列基板在A-B向的截面示意图;

[0019] 图4为本发明实施例提供的像素电极和分流电极通过过孔相连的阵列基板截面示意图;

[0020] 图5为包括图3所示的阵列基板的液晶显示面板截面示意图;

[0021] 图6为本发明实施例提供的设置在栅极扫描线上方的分流电极俯视示意图;

[0022] 图7为本发明实施例提供的设置在数据信号线上方的分流电极俯视示意图;

[0023] 图8为本发明实施例提供的与公共电极同层设置的分流电极俯视示意图。

具体实施方式

[0024] 本发明实施例提供一种阵列基板及其制作方法、显示装置,用以分散液晶分子表面的直流残留,从而消除因直流残留引起的图像残像的现象。

[0025] 本发明实施例通过在阵列基板的取向膜上不与液晶分子相接触的一侧设置与像

素电极相连的用于分散液晶分子表面残留电荷的分流电极。公共电极用于吸引液晶分子中与公共电极电极性相反的残留电荷,分流电极用于吸引液晶分子中与分流电极电极性相反的残留电荷,使得液晶分子中的正负残留电荷均分散到与公共电极和分流电极对应的取向膜区域,消除液晶分子上的残留电荷,从而消除因直流残留引起的图像残像的现象,提高图像显示品质。

[0026] 下面结合附图对本发明实施例提供的技术方案进行说明。

[0027] 参见图 2 和图 3,分别为本发明实施例提供的阵列基板俯视图和截面图。参见图 2,阵列基板包括:基板 1、形成在基板 1 上的公共电极 2,以及形成在基板 1 上公共电极 2 上方的取向膜 3(图 3 中体现)。位于取向膜 3 下方与取向膜 3 相接触的与至少一个像素电极相接触的分流电极 4。

[0028] 其中,所述基板可以为玻璃、塑料等,优选为玻璃。所述像素电极和公共电极可以为透明金属氧化物膜层,优选为铟锡氧化物 ITO 或铟锌氧化物 IZO 膜层,取向膜可以为聚酰亚胺。

[0029] 公共电极 2 为狭缝电极,即与每一子像素单元对应的区域具有多条狭缝 21,同时,像素电极为板状电极。与像素电极相连的分流电极 4 可以与公共电极同层设置,若公共电极 2 和分流电极 4 设置在同一层,可以通过绝缘层 5 绝缘。

[0030] 需要说明的是,阵列基板上每一像素单元包括三个子像素单元(或者也称亚像素单元),该三个子像素单元分别为红色子像素单元(Red),绿色子像素单元(Green)和蓝色子像素单元(Blue)。

[0031] 参见图 3,为图 2 在 A-B 向的截面图。图中所示的像素电极和公共电极均为狭缝电极。

[0032] 本发明实施例提供的阵列基板包括:基板 1,基板 1 上的像素电极 6,像素电极 6 上方的公共电极 2,公共电极 2 上方的取向膜 3,以及公共电极 2 和像素电极 6 之间的绝缘层 5;

[0033] 还包括,与像素电极 6 相连且与公共电极 2 同层设置的分流电极 4,像素电极 6 与分流电极 4 通过过孔连接。

[0034] 需要说明的是,可以按照需求或经验值,为阵列基板上的所有像素电极设置一个或多个分流电极或为阵列基板上的部分像素电极设置一个或多个分流电极。

[0035] 为每一像素电极设置的分流电极的个数可以按照显示装置的大小和实际需求设置,为每一像素电极设置的分流电极的个数可以为 1-5 个。

[0036] 参见图 4,为本发明实施例提供的像素电极 6 和分流电极 4 通过过孔相连的局部示意图。

[0037] 下面结合液晶显示面板具体说明本发明实现分散液晶分子表面的直流残留,从而消除因直流残留引起的图像残像的原因。

[0038] 参见图 5,为本发明实施例提供的液晶显示面板,包括:

[0039] 彩膜基板 7、阵列基板 8,以及彩膜基板 7 和阵列基板 8 之间的液晶分子 9;

[0040] 阵列基板 8 为图 3 所示的阵列基板;

[0041] 在图像显示过程中,像素电极和公共电极各自施加有一定的电压,形成横向电场,与像素电极相连的分流电极与公共电极之间也形成一定电场。

[0042] 液晶分子 9 周围或表面的带电残留离子,也为残留电荷,沿着分流电极与公共电极之间形成的电场移动,最后,正负残留电荷移动到取向膜 3 贴附于取向膜 3 表面,部分残留电荷 12 聚集在与公共电极 2 对应的取向膜 3 表面,另一部分与公共电极 2 附近的残留电荷极性相反的残留电荷聚集在与分流电极 4 对应的取向膜 3 表面。使得液晶分子表面聚集的正负残留电荷均分散到与公共电极和分流电极对应的取向膜区域,消除液晶分子上的残留电荷,从而消除因直流残留引起的图像残像的现象,提高图像显示品质。

[0043] 下面具体说明本发明实施例提供的分流电极在阵列基板上的设置方式。

[0044] 参见图 2,分流电极 4 设置在子像素单元显示区域之外的非显示区域。例如,可以设置在阵列基板上相邻的子像素单元之间的非显示区域,具体地,可以设置在数据信号线和 / 或栅极扫描线相对应的相邻两个子像素单元之间的区域,但是保证分流电极与栅极扫描线或数据信号线相绝缘。

[0045] 参见图 6,阵列基板包括横向设置的栅极扫描线 13,和纵向设置的数据信号线 14。位于栅极扫描线 13 和数据信号线 14 围成的区域内的像素电极 6。

[0046] 分流电极 4 位于栅极扫描线 13 所在区域,且通过绝缘层与栅极扫描线 13 相绝缘(图 6 中未体现绝缘层)。

[0047] 为了与分流电极 4 顺利通过过孔相连,像素电极 6,还包括位于子像素单元之间的非显示区域部分,非显示区域的像素电极与分流电极 4 在基板上的投影有重叠区域。

[0048] 分流电极 4 与所述像素电极 6 通过过孔电性相连。

[0049] 或者,分流电极 4 位于如图 7 所示的数据信号线 14 所在区域,也就是设置在与公共电极同层且投影与数据信号线 14 有重叠区域。在具体实施过程中,数据信号线 14 与分流电极 4 之间通过绝缘层相绝缘。

[0050] 较佳地,分流电极的宽度小于栅极扫描线 13 或数据信号线 14 的宽度;分流电极的长度略大于其宽度。

[0051] 由于不同尺寸的显示装置,栅极扫描线 13 或数据信号线 14 的宽度有所不同,具体实施过程中,可以设置分流电极的宽度为栅极扫描线 13 或数据信号线 14 的宽度的三分之二较佳。

[0052] 分流电极的宽度可以为 $3\mu\text{m}$ - $20\mu\text{m}$;分流电极的长度为 $3\mu\text{m}$ - $30\mu\text{m}$;

[0053] 一般栅极扫描线或数据信号线的宽度也在 $3\mu\text{m}$ - $30\mu\text{m}$ 。

[0054] 在具体实施过程中,栅极扫描线或数据信号线的宽度约为 $3\mu\text{m}$ - $30\mu\text{m}$,一个分流电极 4 的面积也不超过 $30*50(\mu\text{m})^2$ 。一个子像素单元的长度和宽度在几百微米范围内。因此,分流电极相对于像素电极很小,不会影响图像显示效果。

[0055] 本发明实施例提供的分流电极,在两个相邻的子像素单元之间可以设置一个或者多个,图 2 所示的阵列基板,在两个相邻的子像素单元之间设置有一个分流电极。

[0056] 在具体实施过程中,分流电极的个数和设置位置视情况而定,在所有相邻的两个子像素单元之间的非显示区域设置有分流电极,或者在部分相邻的子像素单元之间的非显示区域设置分流电极。

[0057] 较佳地,分流电极在阵列基板上均匀分布,有利于残留电荷分布均匀,不会因某一区域堆积过多,影响阵列基板的性能。

[0058] 在具体实施过程中,分流电极的大小可以按照数据信号线或栅极扫描线的宽度决

定,分流电极的宽度最好小于数据信号线或栅极扫描线的宽度。分流电极不能太大,分流电极太大会引起分流电极与正下方的栅线之间的寄生电容较大,该寄生电容不利于高画质图像显示。

[0059] 较佳地,分流电极与公共电极同层设置,可以在同一次构图工艺中完成,节约工艺流程。

[0060] 参见图 8,为本发明实施例提供的阵列基板,位于基板 1 上同层设置的公共电极 2 和分流电极 4。公共电极 2 和分流电极 4 之间不连接,也就是二者保持绝缘,公共电极 2 和分流电极 4 之间通过位于其下方的绝缘层 5 相绝缘。

[0061] 如图 8 所示,分流电极 4 下方设置有过孔 18。图 8 中的过孔 18 用于连接分流电极 4 和位于分流电极 4 正下方的像素电极 6 的部分区域。图 8 中的过孔 18 仅表示过孔所在位置。

[0062] 本发明实施例提供的公共电极 2 包括子像素单元覆盖的区域,以及子像素单元之间非显示区域(该区域为不包括分流电极所在的区域)。

[0063] 需要说明的是,本发明实施例提供的阵列基板,公共电极和像素电极的设置位置可以互换,公共电极可以在像素电极的上方,也可以为像素电极在公共电极的上方,无论哪种电极位于上方,位于上方的电极一定为狭缝电极,位于下方的电极可以为板状电极或狭缝电极。图 2 所示的公共电极为狭缝状电极。图 6 所示的公共电极为板状电极。

[0064] 阵列基板工艺流程制作过程中,本发明像素电极为分流电极提供电压的情况下,并不增加工艺流程。

[0065] 在制作公共电极下方的绝缘层时制作相应位置上的过孔。保证像素电极漏出来以便和绝缘层上方的分流电极相接触。

[0066] 制作完过孔后制作公共电极和分流电极。公共电极和分流电极在同一次制作工艺中完成。具体如下:

[0067] 通过镀膜工艺在形成有图 4 所示的绝缘层 5 和过孔上沉积一层一定厚度的导电膜层,对该导电膜层进行曝光、显影、光刻和刻蚀处理,形成如图 8 所示的公共电极 2 和分流电极 4,刻蚀使用湿法刻蚀,使得公共电极 2 和分流电极 4 之间的导电膜层去除,露出位于公共电极 2 下方的绝缘层 5。相对于现有技术,仅是形成的功能膜层的图形不同,没有增加任何工艺流程。

[0068] 在具体实施过程中,该过程是和阵列基板上的薄膜晶体管 TFT 一起形成。下面具体介绍本发明形成阵列基板的工艺流程。

[0069] (1) 在玻璃基板上镀膜沉积一层一定厚度的金属膜层,经掩膜、曝光、显影、光刻和刻蚀等工艺形成包括栅极和栅极扫描线的图形。

[0070] (2) 在步骤(1)的基础上继续沉积一层绝缘层以及绝缘层上的金属氧化物层,经掩膜、曝光、显影、光刻和刻蚀等工艺形成包括半导体层图形。

[0071] (3) 在步骤(2)的基础上继续沉积一层一定厚度的金属膜层,经掩膜、曝光、显影、光刻和刻蚀等工艺形成包括源漏极层和数据信号线图形。

[0072] (4) 在步骤(3)的基础上沉积金属膜层,经掩膜、曝光、显影、光刻和刻蚀等工艺形成包括像素电极的图形。

[0073] (5) 在步骤(4)的基础上沉积钝化层,经掩膜、曝光、显影、光刻和刻蚀等工艺形成

过孔。

[0074] (6) 在步骤(5)的基础上沉积金属膜层,经掩膜、曝光、显影、光刻和刻蚀等工艺形成包括公共电极和分流电极的图形。

[0075] 需要说明的是,上述制作方法只是举例说明,只要可以实现本结构的制作方法即可,并不因此而作限定。

[0076] 下面具体说明本发明实施例提供的一种形成上述阵列基板的制作方法,包括:

[0077] 在基板上形成包括第一电极、第二电极、分流电极的图形;以及

[0078] 形成包括第一绝缘层和取向膜的图形;

[0079] 所述第一绝缘层位于所述第一电极与第二电极和分流电极之间,所述取向膜位于所述第二电极和分流电极之上,所述第一电极与所述分流电极电性相连。

[0080] 较佳地,所述第一电极与所述分流电极通过第一绝缘层上的过孔电性相连;

[0081] 在基板上形成包括第一电极、第二电极、分流电极的图形;以及形成第一绝缘层和取向膜的图形,具体为:

[0082] 通过构图工艺在基板上形成包括第一电极的图形;

[0083] 通过构图工艺在形成有所述第一电极的基板上形成至少覆盖所述第一电极的第一绝缘层的图形;

[0084] 通过构图工艺在所述第一绝缘层上与所述第一电极相对应的区域形成包括过孔的图形;

[0085] 通过一次构图工艺在形成有所述第一绝缘层和过孔的基板上形成第二电极和分流电极的图形,分流电极位于所述过孔之上与过孔下方的第一电极电性相连;

[0086] 通过包括涂覆、固化,摩擦的工艺或者通过包括涂覆和光取向的工艺在形成有所述第二电极和分流电极的基板上形成包括取向膜的图形。

[0087] 所述取向膜的制作过程与现有技术类似,上述取向膜的形成方式仅是其中的两种,还可以通过印刷等工艺形成,这里就不再一一列举。

[0088] 较佳地,所述第一电极为像素电极,所述第二电极为公共电极;

[0089] 通过构图工艺在基板上形成第一电极的图形,具体为:

[0090] 通过构图工艺在基板上任一子像素单元的像素区域和与该子像素单元相邻的至少一个子像素单元之间的非显示区域形成第一电极的图形;

[0091] 通过构图工艺在第一绝缘层上形成过孔,具体为:

[0092] 通过构图工艺在基板上与位于非显示区域的像素电极部分对应的区域形成过孔;

[0093] 通过构图工艺在基板上形成分流电极的图形,具体为:

[0094] 通过构图工艺在基板上的过孔之上形成分流电极。

[0095] 较佳地,所述通过构图工艺在基板上的过孔之上形成分流电极,具体为:通过构图工艺在基板上的过孔之上,与相邻两个子像素单元之间的数据信号线和/或栅极扫描线相对应的区域形成分流电极。

[0096] 上述形成阵列基板的制作方法仅是以 ADS 模式的阵列基板为例说明,至于 HADS、I-ADS、S-ADS、IPS 或 VA-IPS 模式的阵列基板的制作方法与所述阵列基板的制作方法类似,这里不再赘述。

[0097] 本发明实施例还提供一种显示装置,包括上述的阵列基板。该显示装置可以为液晶显示器、液晶电视、数码相框、手机、PAD 等显示装置。

[0098] 本发明实施例提供的显示装置不仅适用于 ADS-LCD,还适用于 HADS-LCD、IADS-LCD、SADS-LCD、IPS-LCD,或 VA-IPS-LCD 领域。解决阵列基板的结构设置方式无法分散液晶分子上的带电残留离子的问题。例如,可以适用于与取向膜相接触的电极仅为公共电极或仅为像素电极,液晶分子中的残留离子一部分(例如带正电的离子)聚集在与取向膜相接触的公共电极或像素电极附近的取向膜上,另一部分(例如带负电的离子)还残留在液晶分子上。

[0099] 本发明实施例通过在阵列基板上设置至少一个用于分散液晶分子表面残留电荷的分流电极;该分流电极位于所述取向膜不与液晶分子相接触的一侧,且与所述像素电极电性相连。由于公共电极位于像素电极之上且与取向膜接触,且所述分流电极与所述取向膜相接触。分流电极与像素电极相连,公共电极与像素电极的极性不同,也就是说与取向膜相接触的公共电极与分流电极极性不同,液晶分子中的残留正负残留电荷会分别分散到与自己极性不同的电极附近,例如正残留电荷由液晶分子移动到公共电极附近的取向膜上,负残留电荷由液晶分子移动到与像素电极相连的分流电极附近的取向膜上。实现了将液晶分子上的正负残余残留电荷分散到取向膜上,减少了残像的发生几率,提高了图像的品质。

[0100] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

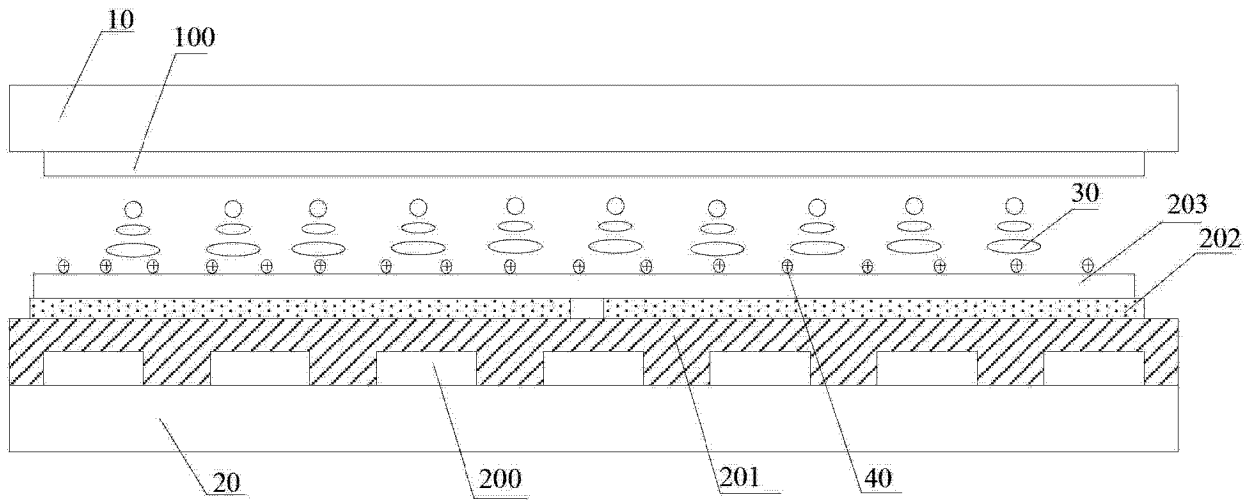


图 1

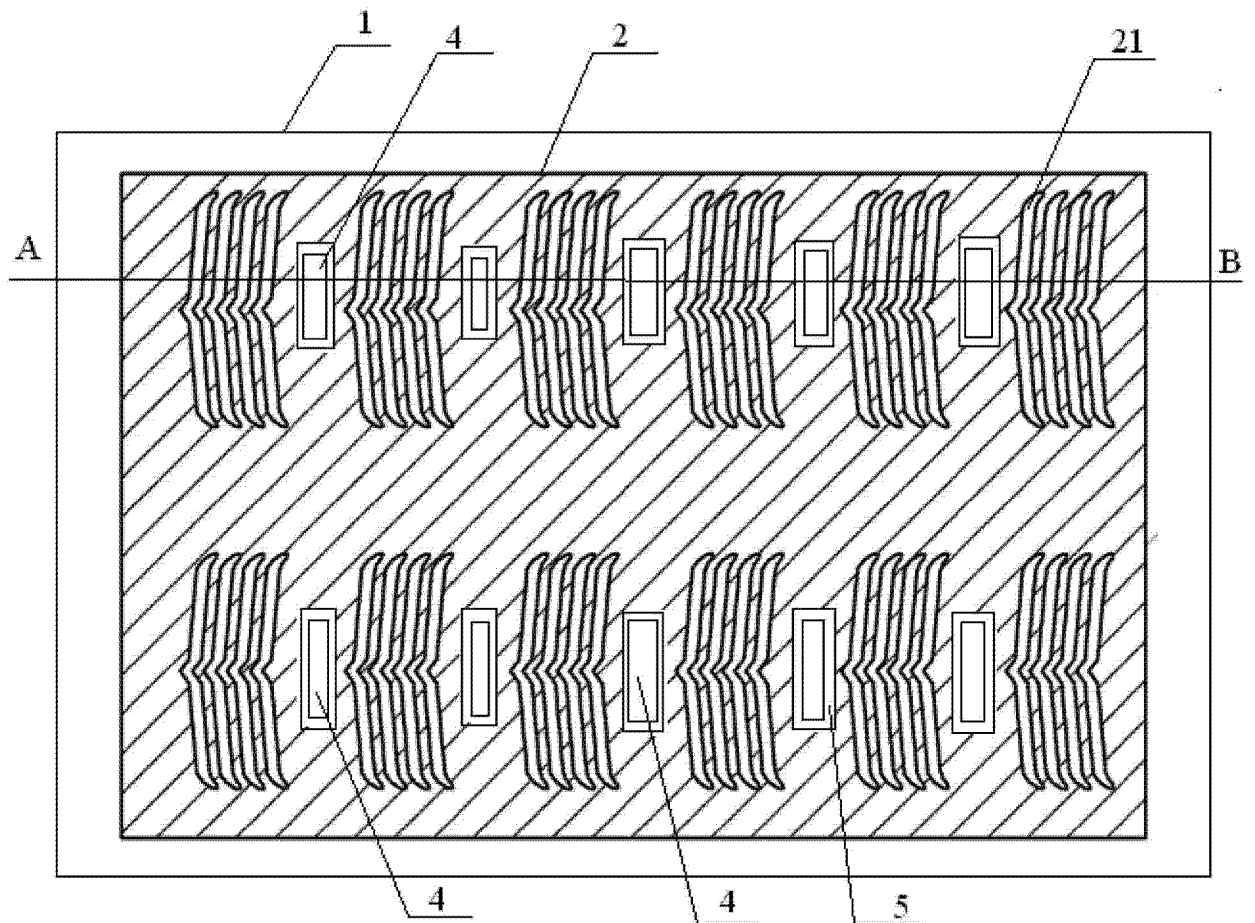


图 2

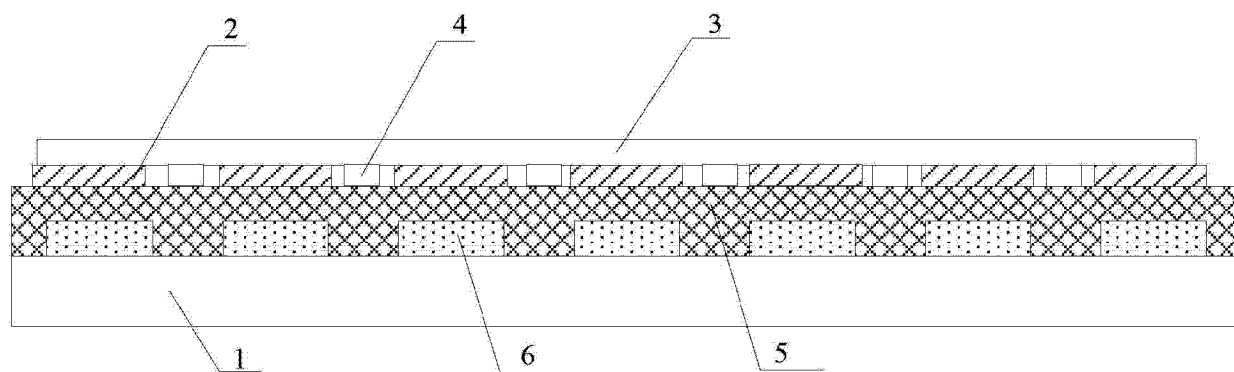


图 3

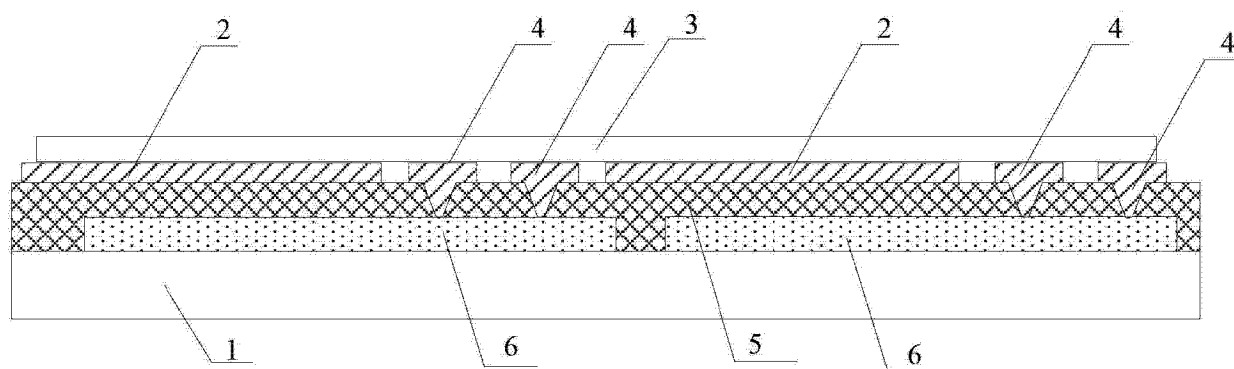


图 4

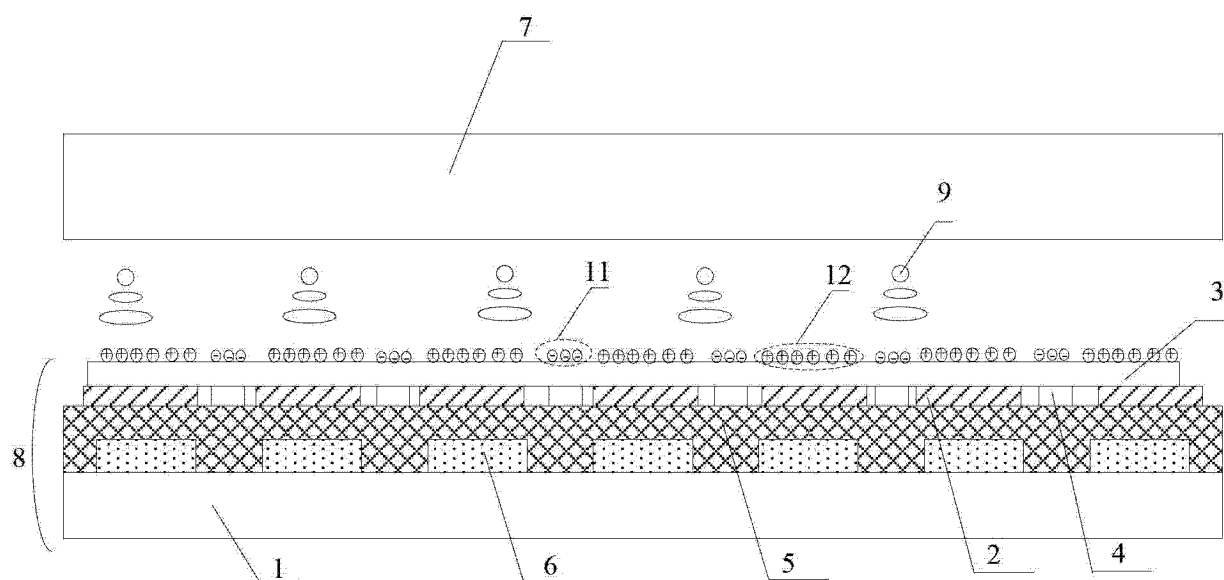


图 5

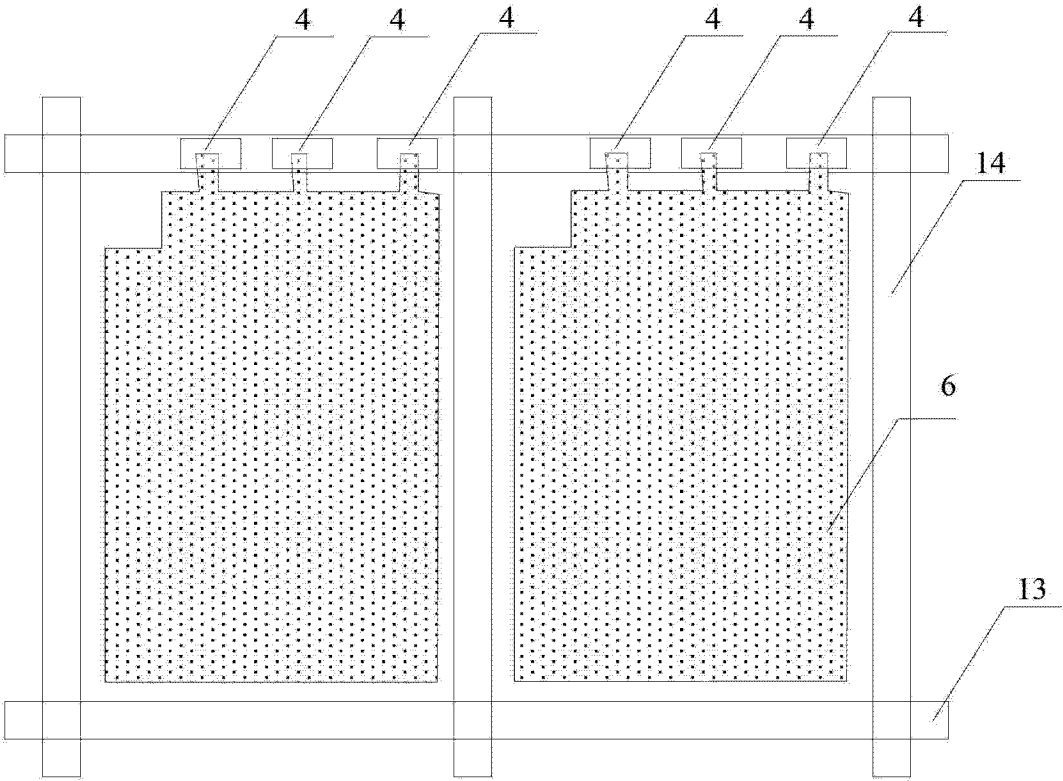


图 6

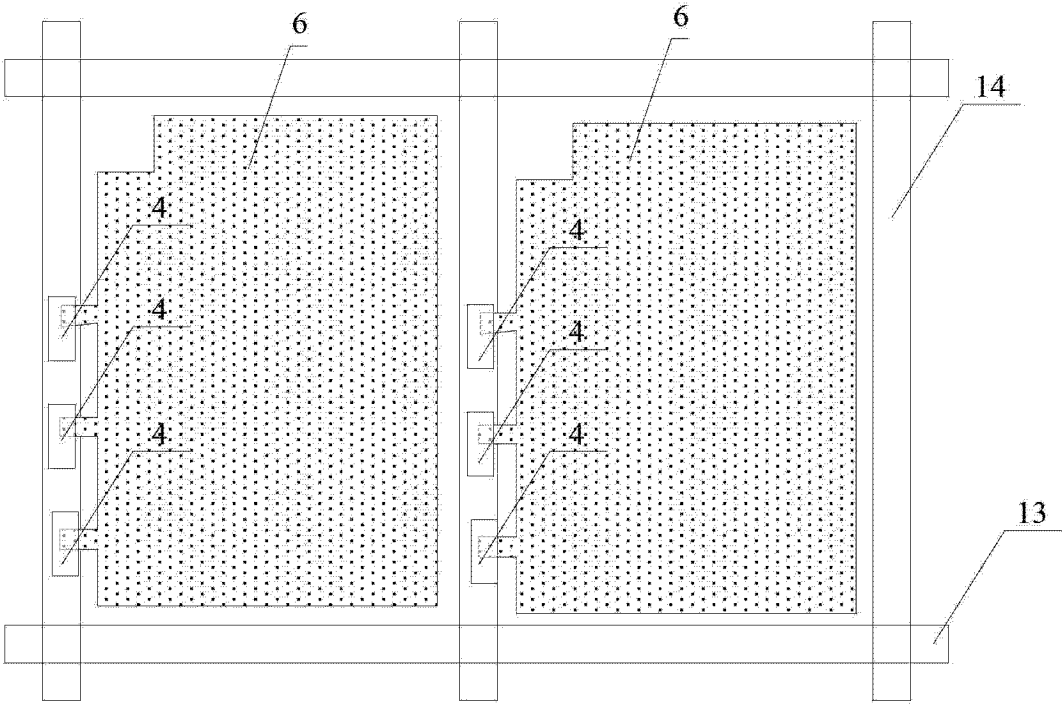


图 7

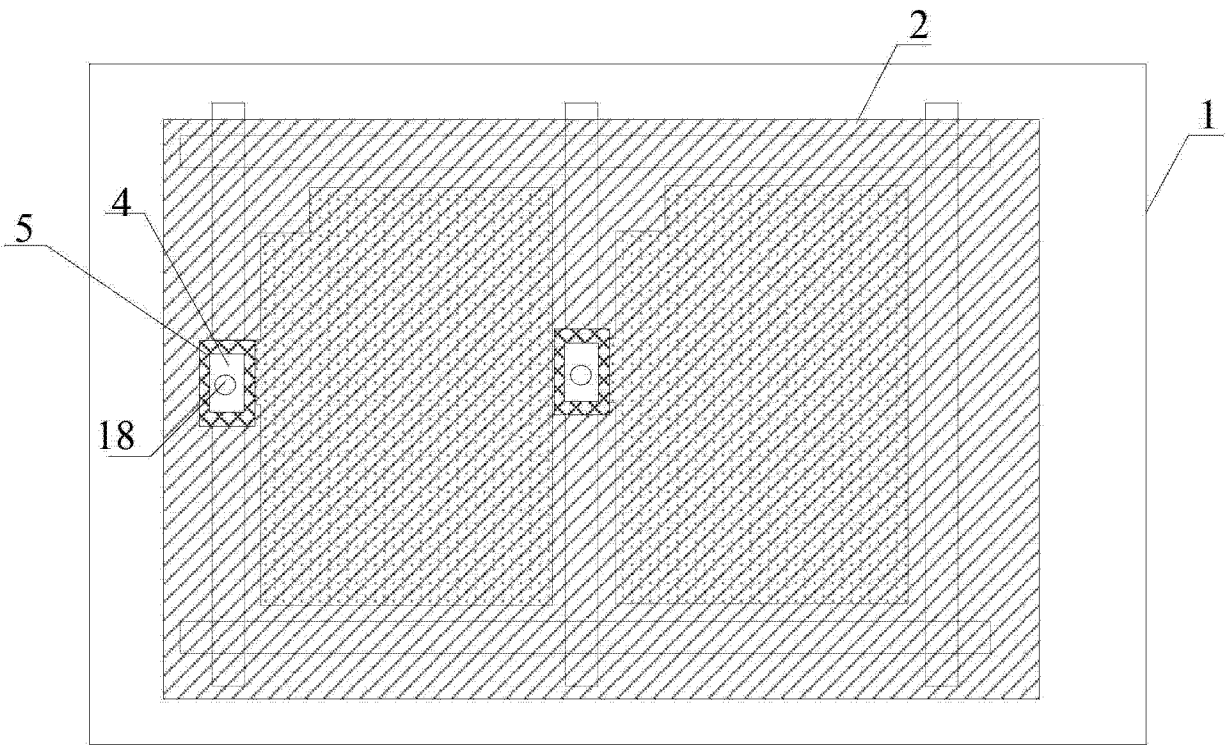


图 8

专利名称(译)	一种阵列基板及其制作方法、显示装置		
公开(公告)号	CN102998856B	公开(公告)日	2015-03-25
申请号	CN201210469712.9	申请日	2012-11-19
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
[标]发明人	操彬彬 白明基 黄寅虎 徐向阳		
发明人	操彬彬 白明基 黄寅虎 徐向阳		
IPC分类号	G02F1/1343 G02F1/1337 G02F1/1333		
CPC分类号	G02F1/13439 G02F1/136204 G02F2001/134372 G02F2001/133337		
代理人(译)	黄志华		
审查员(译)	李轲		
其他公开文献	CN102998856A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板及其制作方法、显示装置，用以分散液晶分子表面的直流残留，从而消除因直流残留引起的图像残像的现象。本发明提供的阵列基板包括：基板、基板上的像素电极、像素电极上方与像素电极相绝缘的公共电极，公共电极上的取向膜，还包括：与至少一个像素电极电性相连的至少一个用于分散液晶分子表面残留电荷的分流电极，所述分流电极位于所述取向膜不与液晶分子相接触的一侧。

