



(12)发明专利申请

(10)申请公布号 CN 110244481 A
(43)申请公布日 2019.09.17

(21)申请号 201910708210.9

(22)申请日 2019.08.01

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 鄂尔多斯市源盛光电有限责任公司

(72)发明人 赵晶 孙继刚 赵爽 苏旭 王磊

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 李欣

(51) Int. Cl.

G02F 1/133(2006.01)

G02F 1/1345(2006.01)

G02F 1/1362(2006.01)

G09G 3/36(2006.01)

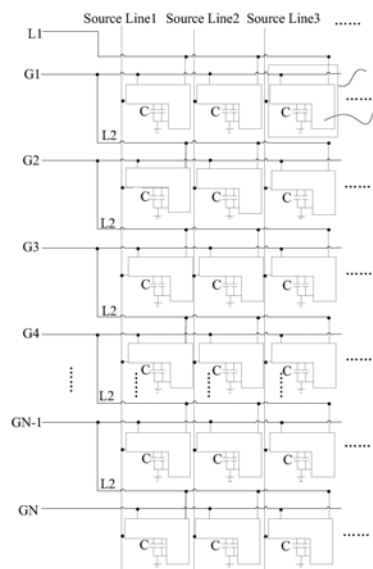
权利要求书2页 说明书7页 附图4页

(54)发明名称

一种阵列基板、液晶显示装置和驱动方法

(57)摘要

本发明公开了一种阵列基板、液晶显示装置和驱动方法,以改善现有技术的显示产品的耗电量较高,续航时间短的问题。所述阵列基板,包括:多个呈阵列分布的像素单元;每一所述像素单元包括:存储电容,以及与所述存储电容电连接的驱动电路;所述驱动电路被配置为在对所述存储电容写入与前帧数据信号的电极性相反的本帧数据信号之前,导通所述存储电容的两端,以使所述存储电容的两端电荷中和。



1. 一种阵列基板,其特征在于,包括:多个呈阵列分布的像素单元;

每一所述像素单元包括:存储电容,以及与所述存储电容电连接的驱动电路;所述驱动电路被配置为在对所述存储电容写入与前帧数据信号的电极性相反的本帧数据信号之前,导通所述存储电容的两端,以使所述存储电容的两端电荷中和。

2. 如权利要求1所述的阵列基板,其特征在于,所述阵列基板包括:多条栅线和多条数据线;所述驱动电路包括:第一晶体管和第二晶体管;

第一行所述像素单元的所述第一晶体管的栅极与扫描起始信号端电连接,源极与同一所述像素单元的所述存储电容的第一端电连接,漏极与同一所述像素单元的所述存储电容的第二端电连接;

除第一行像素单元以外的其它行所述像素单元的所述第一晶体管的栅极与上一行所述像素单元对应的所述栅线电连接,源极与同一所述像素单元的所述存储电容的第一端电连接,漏极与同一所述像素单元的所述存储电容的第二端电连接;

所述第二晶体管,栅极与同一所述像素单元对应的所述栅线电连接,源极与同一所述像素单元对应的所述数据线电连接,漏极与同一所述像素单元的所述存储电容的所述第一端电连接。

3. 如权利要求2所述的阵列基板,其特征在于,所述阵列基板还包括:连接线,所述连接线包括:一条第一连接线和多条第二连接线;

所述第一连接线沿第一方向延伸,与所述扫描起始信号端电连接;第一行所述像素单元的各所述第一晶体管的栅极均与所述第一连接线电连接,通过所述第一连接线与所述扫描起始信号端电连接;

第二所述连接线包括:位于相邻行所述像素单元之间间隙处沿所述第一方向延伸的延伸部,以及沿第二方向延伸的连接部;所述连接部的一端与所述延伸部的一端电连接,所述连接部的另一端与上一行所述像素单元行对应的所述栅线电连接,所述第二方向与所述第一方向垂直;除第一行以外的其它行所述像素单元,同一行所述像素单元的所述第一晶体管的所述栅极均与所述延伸部电连接,通过所述第二连接线与所述栅线电连接。

4. 如权利要求3所述的阵列基板,其特征在于,所述连接线与所述栅线位于同一层。

5. 如权利要求2所述的阵列基板,其特征在于,所述数据线分为第一类数据线和第二类数据线,所述第一类数据线与所述第二类数据线依次交叉排列,每相邻三条所述第一类数据线通过多路选择器与同一数据输入端电连接,每相邻三条所述第二类数据线通过多路选择器与同一数据输入端电连接;所述第一类数据线和所述第二类数据线在同一帧时间段内加载的数据信号的电极性相反。

6. 如权利要求1所述的阵列基板,其特征在于,所述存储电容包括并联的第一子存储电容和第二子存储电容。

7. 一种液晶显示装置,其特征在于,包括如权利要求1-6任一项所述的阵列基板。

8. 一种如权利要求1-6任一项所述的阵列基板的驱动方法,其特征在于,所述驱动方法包括:

对所述像素单元进行逐行扫描;

在对所述存储电容写入与前帧数据信号的电极性相反的本帧数据信号之前,所述驱动电路导通所述存储电容的两端,以使所述存储电容的两端电荷中和。

9. 如权利要求8所述的驱动方法,其特征在于,所述在对所述存储电容写入与前帧数据信号的电极性相反的本帧数据信号之前,所述驱动电路导通所述存储电容的两端,包括:

在对上一行所述像素单元写入扫描信号的同时,当前行所述像素单元的所述驱动电路导通所述存储电容的两端。

10. 如权利要求8所述的驱动方法,其特征在于,所述驱动方法还包括:

在上一帧阶段,对当前列所述像素单元写入第一极性的数据信号,对相邻列所述像素单元写入第二极性的数据信号;在当前帧阶段,对所述当前列所述像素单元写入所述第二极性的数据信号,对相邻列所述像素单元写入所述第一极性的数据信号,所述第一极性与所述第二极性的电极性相反;

或者,在上一帧阶段,对当前所述像素单元写入第一极性的数据信号,对相邻的所有所述像素单元写入第二极性的数据信号;在当前帧阶段,对所述当前所述像素单元写入所述第二极性的数据信号,对相邻的所有所述像素单元写入所述第一极性的数据信号,所述第一极性与所述第二极性的电极性相反。

一种阵列基板、液晶显示装置和驱动方法

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板、液晶显示装置和驱动方法。

背景技术

[0002] 目前显示产品(例如,手机)行业的发展突飞猛进,传统功能性手机的仅有的通讯功能已经无法满足现在人们对手机的要求,新的需求增加了移动办公及音视频播放等功能,这都要求手机向大屏发展的方向,更大的手机显示屏才能显示更多的内容供移动办公,更高的分辨率以凸显细腻的视频内容。

[0003] 而显示产品屏幕尺寸变大,分辨率变高可以给人们的生活带来很多的方便,但同时也给使用者及手机设计人员带来了无尽的烦恼,高分辨率的大尺寸显示屏的耗电越来越高,耗电的增加会大幅度减少显示产品的续航时间,这会给使用者带来很多的困扰。如果想增加续航时间就需要增加显示产品的电池容量,但是随着电池容量的增加,显示产品的厚度会变大很多,又不符合显示产品轻薄化的趋势。

发明内容

[0004] 本发明提供一种阵列基板、液晶显示装置和驱动方法,以改善现有技术的显示产品的耗电量较高,续航时间短的问题。

[0005] 本发明实施例提供一种阵列基板,包括:多个呈阵列分布的像素单元;

[0006] 每一所述像素单元包括:存储电容,以及与所述存储电容电连接的驱动电路;所述驱动电路被配置为在对所述存储电容写入与前帧数据信号的电极性相反的本帧数据信号之前,导通所述存储电容的两端,以使所述存储电容的两端电荷中和。

[0007] 在一种可能的实施方式中,所述阵列基板包括:多条栅线和多条数据线;所述驱动电路包括:第一晶体管和第二晶体管;

[0008] 第一行所述像素单元的所述第一晶体管的栅极与扫描起始信号端电连接,源极与同一所述像素单元的所述存储电容的第一端电连接,漏极与同一所述像素单元的所述存储电容的第二端电连接;

[0009] 除第一行像素单元以外的其它行所述像素单元的所述第一晶体管的栅极与上一行所述像素单元对应的所述栅线电连接,源极与同一所述像素单元的所述存储电容的第一端电连接,漏极与同一所述像素单元的所述存储电容的第二端电连接;

[0010] 所述第二晶体管,栅极与同一所述像素单元对应的所述栅线电连接,源极与同一所述像素单元对应的所述数据线电连接,漏极与同一所述像素单元的所述存储电容的所述第一端电连接。

[0011] 在一种可能的实施方式中,所述阵列基板还包括:连接线,所述连接线包括:一条第一连接线和多条第二连接线;

[0012] 所述第一连接线沿第一方向延伸,与所述扫描起始信号端电连接;第一行所述像素单元的各所述第一晶体管的栅极均与所述第一连接线电连接,通过所述第一连接线与所

述扫描起始信号端电连接；

[0013] 第二所述连接线包括：位于相邻行所述像素单元之间间隙处沿所述第一方向延伸的延伸部，以及沿第二方向延伸的连接部；所述连接部的一端与所述延伸部的一端电连接，所述连接部的另一端与上一行所述像素单元行对应的所述栅线电连接，所述第二方向与所述第一方向垂直；除第一行以外的其它行所述像素单元，同一行所述像素单元的所述第一晶体管的所述栅极均与所述延伸部电连接，通过所述第二连接线与所述栅线电连接。

[0014] 在一种可能的实施方式中，所述连接线与所述栅线位于同一层。

[0015] 在一种可能的实施方式中，所述数据线分为第一类数据线和第二类数据线，所述第一类数据线与所述第二类数据线依次交叉排列，每相邻三条所述第一类数据线通过多路选择器与同一数据输入端电连接，每相邻三条所述第二类数据线通过多路选择器与同一数据输入端电连接；所述第一类数据线和所述第二类数据线在同一帧时间段内加载的数据信号的电极性相反。

[0016] 在一种可能的实施方式中，所述存储电容包括并联的第一子存储电容和第二子存储电容。

[0017] 本发明实施例还提供一种液晶显示装置，包括如本发明实施例提供的所述的阵列基板。

[0018] 本发明实施例还提供一种如本发明实施例提供的所述的阵列基板的驱动方法，所述驱动方法包括：

[0019] 对所述像素单元进行逐行扫描；

[0020] 在对所述存储电容写入与前帧数据信号的电极性相反的本帧数据信号之前，所述驱动电路导通所述存储电容的两端，以使所述存储电容的两端电荷中和。

[0021] 在一种可能的实施方式中，所述在对所述存储电容写入与前帧数据信号的电极性相反的本帧数据信号之前，所述驱动电路导通所述存储电容的两端，包括：

[0022] 在对上一行所述像素单元写入扫描信号的同时，当前行所述像素单元的所述驱动电路导通所述存储电容的两端。

[0023] 在一种可能的实施方式中，所述驱动方法还包括：

[0024] 在上一帧阶段，对当前列所述像素单元写入第一极性的数据信号，对相邻列所述像素单元写入第二极性的数据信号；在当前帧阶段，对所述当前列所述像素单元写入所述第二极性的数据信号，对相邻列所述像素单元写入所述第一极性的数据信号，所述第一极性与所述第二极性的电极性相反；

[0025] 或者，在上一帧阶段，对当前所述像素单元写入第一极性的数据信号，对相邻的所有所述像素单元写入第二极性的数据信号；在当前帧阶段，对所述当前所述像素单元写入所述第二极性的数据信号，对相邻的所有所述像素单元写入所述第一极性的数据信号，所述第一极性与所述第二极性的电极性相反。

[0026] 本发明实施例有益效果如下：本发明实施例提供的阵列基板，每一所述像素单元包括：存储电容，以及与所述存储电容电连接的驱动电路；所述驱动电路被配置为在对所述存储电容写入与前帧数据信号的电极性相反的本帧数据信号之前，导通所述存储电容的两端，以使所述存储电容的两端电荷中和，相比于通常的显示装置的列翻转驱动或点翻转驱动过程，其在两图像帧之间，每一像素单元在两帧之间的极性变化充电过程，都需经历由正

到负(或由负到正)的过程,需要的充电时间和能量都有冗余浪费,而本发明实施例提供的阵列基板,在由前一帧转换为当前帧时,在对存储电容写入数据信号之前,通过驱动电路先将存储电容的两端导通,使存储电容的两端的电荷中和,进而,每一个像素单元在两帧之间极性变化的充电过程,仅需要需经历由0到负(或由0到正)的过程,其中正到0(或由负到0)的过程由电荷中和完成,无需充电能量和时间,有效减小了驱动IC在驱动整个屏幕时所耗的能量,降低了功耗。

附图说明

- [0027] 图1为本发明实施例提供的一种阵列基板的结构示意图;
- [0028] 图2为本发明实施例提供的一种具体的阵列基板的结构示意图;
- [0029] 图3为本发明实施例提供的一种数据线的分布结构示意图;
- [0030] 图4为本发明实施例提供的一种阵列基板的驱动方法示意图;
- [0031] 图5为本发明实施例提供的一种两帧之间的数据信号加载示意图。

具体实施方式

[0032] 为了使得本公开实施例的目的、技术方案和优点更加清楚,下面将结合本公开实施例的附图,对本公开实施例的技术方案进行清楚、完整地描述。显然,所描述的实施例是本公开的一部分实施例,而不是全部的实施例。基于所描述的本公开的实施例,本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例,都属于本公开保护的范畴。

[0033] 除非另外定义,本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系,当被描述对象的绝对位置改变后,则该相对位置关系也可能相应地改变。

[0034] 为了保持本公开实施例的以下说明清楚且简明,本公开省略了已知功能和已知部件的详细说明。

[0035] 参见图1,本发明实施例提供一种阵列基板,包括:多个呈阵列分布的像素单元1;

[0036] 每一像素单元1包括:存储电容C,以及与存储电容C电连接的驱动电路2;驱动电路2被配置为在对存储电容C写入与前帧数据信号的电极性相反的本帧数据信号之前,导通存储电容C的两端,以使存储电容C的两端电荷中和。

[0037] 本发明实施例提供的阵列基板,每一像素单元1包括:存储电容C,以及与存储电容C电连接的驱动电路2;驱动电路2被配置为在对存储电容C写入与前帧数据信号的电极性相反的本帧数据信号之前,导通存储电容C的两端,以使存储电容C的两端电荷中和,相比于通常的显示装置的列翻转驱动或点翻转驱动过程,在两图像帧之间,每一像素单元1在两帧之间的极性变化充电过程,都需经历由正到负(或由负到正)的过程,需要的充电时间和能量

都有冗余浪费,而本发明实施例提供的阵列基板,在由前一帧转换为当前帧时,在对存储电容C写入数据信号之前,通过驱动电路2先将存储电容C的两端导通,使存储电容C的两端的电荷中和,进而,每一个像素单元1在两帧之间极性变化的充电过程,仅需要需经历由0到负(或由0到正)的过程,其中正到0(或由负到0)的过程由电荷中和完成,无需充电能量和时间,有效减小了驱动IC在驱动整个屏幕时所耗的能量,降低了功耗。

[0038] 需要说明的是,本发明实施例提供的阵列基板具体可以为液晶显示面板所使用的阵列基板。在驱动时,具体可以通过列翻转或点翻转进行驱动。

[0039] 在具体实施时,参见图2所示,阵列基板包括:多条栅线(如图2中的第一条栅线G1、第二条栅线G2、第三条栅线G3、第四条栅线G4、第N-1条栅线GN-1、第N条栅线GN)和多条数据线(如图2中的第一条数据线Source Line1、第二条数据线Source Line2、第三条数据线Source Line3);驱动电路2包括:第一晶体管K1和第二晶体管K2;

[0040] 第一行像素单元1的第一晶体管K1的栅极与扫描起始信号端STV电连接,源极与同一像素单元1的存储电容C的第一端电连接,漏极与同一像素单元1的存储电容C的第二端电连接;

[0041] 除第一行像素单元1以外的其它行像素单元1的第一晶体管K1的栅极与上一行像素单元对应的栅线电连接(例如,第二行像素单元1的第一开关晶体管K1的栅极与第一条栅线G1电连接),源极与同一像素单元1的存储电容C的第一端电连接(即,同一像素单元1的第一晶体管K1的源极与该像素单元1的存储电容C的第一端电连接),漏极与同一像素单元1的存储电容C的第二端电连接(即,同一像素单元1的第一晶体管K1的漏极与该像素单元1的存储电容C的第二端电连接);

[0042] 第二晶体管K2,栅极与同一像素单元1对应的栅线电连接,源极与同一像素单元1对应的数据线电连接,漏极与同一像素单元1的存储电容C的第一端电连接。

[0043] 本发明实施例中,通过在存储电容C的两端电连接第一晶体管K1,该第一晶体管K1的栅极与控制上一行像素单元1的栅线电连接,在上一行像素单元1的栅线加载扫描信号时,可以使当前行像素单元1的第一晶体管K1打开,实现在对当前行像素单元1的存储电容C写入数据信号之前,先对该存储电容C的电荷进行中和;且相比于将第一晶体管K1的栅极与上两行或更多行的像素单元1对应的栅线电连接,与上一行像素单元1对应的栅线电连接,可以降低对液晶显示装置正常显示的影响。需要说明的是,上一行像素单元1具体可以是指,逆像素单元1的扫描方向,当前像素单元1的上一行像素单元1,即,例如,参见2图所示,像素单元的扫描方向具体可以是由面板的上方依次往下扫描,即,由第一行像素单元起,依次扫描第二行像素单元、第三行像素单元、第四行像素单元……第N-1行像素单元、第N行像素单元,若当前行像素单元为第N行像素单元,则上一行像素单元具体可以指第N-1行像素单元。

[0044] 在具体实施时,结合图2所示,阵列基板还包括:连接线,连接线包括:一条第一连接线L1和多条第二连接线L2;

[0045] 第一连接线L1沿第一方向延伸,与扫描起始信号端STV电连接;第一行像素单元1的各第一晶体管K1的栅极均与第一连接线L1电连接,通过第一连接线L1与扫描起始信号端STV电连接;

[0046] 第二连接线L2包括:位于相邻行像素单元1之间间隙处沿第一方向延伸的延伸部,

以及沿第二方向延伸的连接部;连接部的一端与延伸部的一端电连接,连接部的另一端与上一行像素单元1对应的栅线电连接,第二方向与第一方向垂直;除第一行以外的其它行像素单元1,同一行像素单元1的第一晶体管K1的栅极均与延伸部电连接,即,其它行像素单元1具体通过第二连接线L2与上一行像素单元对应的栅线电连接。

[0047] 本发明实施例中,阵列基板还包括第一连接线L1以及第二连接线L2,其中,第一行像素单元1的第一晶体管K1具体可以通过第一连接线L1与起始扫描信号端STV电连接,其它像素单元行1的第一晶体管K1具体可以通过第二连接线L2与上一行像素单元1对应的栅线电连接,实现对同一行像素单元1的所有第一晶体管K1的统一控制。当然,若不考虑工艺难度以及布线空间的有限性,与可以不设置第一连接线L1或第二连接线L2,每一第一晶体管K1的栅极也可以直接与上一行像素单元1的栅线直接电连接。

[0048] 在具体实施时,连接线可以与栅线位于同一层。本发明实施例中,连接线与栅线位于同一层,可以同一道光刻工艺形成,可以简化阵列基板的制作工艺。

[0049] 在具体实施时,参见图3所示,数据线分为第一类数据线Sa和第二类数据线Sb,第一类数据线Sa与第二类数据线Sb依次交叉排列,每相邻三条第一类数据线Sa通过多路选择器MUX与同一数据输入端电连接,每相邻三条第二类数据线Sb通过多路选择器MUX与同一数据输入端电连接,例如,如图3所示,左起的第一列数据线、左起的第三列数据线、左起的第五列数据线均为第一类数据线,该三条第一类数据线Sa通过多路选择器MUX与数据输入端S1电连接;左起的第二列数据线、左起的第四列数据线、左起的第六列数据线均为第二类数据线Sb,该三条第二类数据线Sb通过多路选择器MUX与数据输入端S2电连接;左起的第七列数据线、左起的第九列数据线、左起的第十列数据线均为第一类数据线Sa,该三条第一类数据线Sa通过多路选择器MUX与数据输入端S3电连接;左起的第八列数据线、左起的第十列数据线、左起的第十二列数据线均为第二类数据线Sb,该三条第二类数据线Sb通过多路选择器MUX与数据输入端S4电连接;第一类数据线Sa和第二类数据线Sb在同一帧时间段内加载的数据信号的电极性相反。本发明实施例中,数据线分为第一类数据线Sa和第二类数据线Sb,第一类数据线Sa和第二类数据线Sb在同一帧时间段内加载的数据信号的电极性相反,可以实现对阵列基板进行列翻转驱动或点翻转驱动。多路选择器的结构具体可以与现有技术的多路选择器的结构相同。

[0050] 在具体实施时,结合图1和图2所示,存储电容C包括并联的第一子存储电容和第二子存储电容。

[0051] 在具体实施时,结合图2所示,本发明实施例提供的阵列基板还可以包括与每一行像素单元对应的栅极驱动单元GOA3,每一栅极驱动单元GOA3具体可以包括第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4,其中,第一薄膜晶体管T1的栅极与源极电连接,漏极与第一节点Q1电连接;第二薄膜晶体管T2的栅极与第一节点Q1电连接,源极与第一时钟信号端电连接,漏极与第四薄膜晶体管T4的源极电连接;第三薄膜晶体管T3的栅极与下一行像素单元对应的栅线电连接,源极与第一节点Q1电连接,漏极与接地信号端电连接;第四薄膜晶体管T4的栅极与下一行像素单元对应的栅线电连接,漏极与接地信号端电连接。

[0052] 基于同一发明构思,本发明实施例还提供一种液晶显示装置,包括如本发明实施例提供的阵列基板。

[0053] 基于同一发明构思,本发明实施例还提供一种如本发明实施例提供的阵列基板的驱动方法,参加图4所示,驱动方法包括:

[0054] 步骤S101、对像素单元进行逐行扫描;

[0055] 步骤S102、在对存储电容写入与前帧数据信号的电极性相反的本帧数据信号之前,驱动电路导通存储电容的两端,以使存储电容的两端电荷中和。

[0056] 在具体实施时,对于步骤S102,在对存储电容写入与前帧数据信号的电极性相反的本帧数据信号之前,驱动电路导通存储电容的两端,包括:

[0057] 在对上一行像素单元写入扫描信号的同时,当前行像素单元的驱动电路导通存储电容的两端。

[0058] 在具体实施时,驱动方法还包括:

[0059] 在上一帧阶段,对当前列像素单元写入第一极性的数据信号,对相邻列像素单元写入第二极性的数据信号;在当前帧阶段,对当前列像素单元写入第二极性的数据信号,对相邻列像素单元写入第一极性的数据信号,第一极性与第二极性的电极性相反;

[0060] 或者,在上一帧阶段,对当前像素单元写入第一极性的数据信号,对相邻的所有像素单元写入第二极性的数据信号;在当前帧阶段,对当前像素单元写入第二极性的数据信号,对相邻的所有像素单元写入第一极性的数据信号,第一极性与第二极性的电极性相反。

[0061] 以下结合图2和图5所示,以列翻转驱动为例,对本发明实施例提供的阵列基板的驱动过程进行进一步说明,如下:

[0062] ①第一帧时,第一列像素单元的存储电容C充入正极性电荷,第二列像素单元充入负极性电荷;

[0063] ②第一行像素单元的存储电容C进行电荷中和过程:第二帧变化时,初始扫描信号端STV的信号拉高,此时第一行像素单元的各第一晶体管K1导通;第一行第一列像素单元的存储电容C进行电荷中和,由正到0,第一行第二列像素单元的存储电容C同时进行电荷中和,由负到0,之后初始扫描信号端STV的信号拉低;

[0064] ③第一行像素单元的存储电容C进行充电过程:与第一行像素单元对应的栅极驱动单元GOA向第一条栅线G1输出高电平的第一扫描信号Gate1,控制第一行像素单元的第二晶体管K2导通,存储电容C进行充电,第二帧内,第一列数据线加载负极性电位,第二列数据线加载正极性电位,第一行第一列像素单元的存储电容C进行充电,由0到负,第一行第二列像素单元的存储电容C同时进行充电,由0到正;

[0065] ④第二行像素单元的存储电容C进行电荷中和过程:第二行像素单元的各第一晶体管K1接第一条栅线G1,第二帧内第一条栅线G1为高电平时,第二行像素单元的第一晶体管K1导通;第二行第一列像素单元的存储电容进行电荷中和,由正到0,第二行第二列像素单元的存储电容C同时进行电荷中和,由负到0;当第二行像素单元的第一晶体管K1完成第二帧内存储电容放电后,第一条栅线G1的第一扫描信号Gate1拉低;

[0066] ⑤第二行像素单元的存储电容C进行充电过程:与第二行像素单元对应的栅极驱动单元GOA向第二条栅线G2输出第二扫描信号Gate2,第二行像素单元的第二晶体管K2导通,第二帧内,第一列数据线加载负极性电位,第二列数据线加载正极性电位,第二行第一列像素单元的存储电容C进行充电,由0到负,第二行第二列像素单元的存储电容C同时进行充电,由0到正;

[0067] ⑥以此类推,直至完成对最后一行像素单元的充电。

[0068] 本发明实施例有益效果如下:本发明实施例提供的阵列基板,每一像素单元包括:存储电容,以及与存储电容电连接的驱动电路;驱动电路被配置为在对存储电容写入与前帧数据信号的电极性相反的本帧数据信号之前,导通存储电容的两端,以使存储电容的两端电荷中和,相比于通常的显示装置的列翻转驱动或点翻转驱动过程,在两图像帧之间,每一像素单元在两帧之间的极性变化充电过程,都需经历由正到负(或由负到正)的过程,需要的充电时间和能量都有冗余浪费,而本发明实施例提供的阵列基板,在由前一帧转换为当前帧时,在对存储电容写入数据信号之前,通过驱动电路先将存储电容的两端导通,使存储电容的两端的电荷中和,进而,每一个像素单元在两帧之间极性变化的充电过程,仅需要需经历由0到负(或由0到正)的过程,其中正到0(或由负到0)的过程由电荷中和完成,无需充电能量和时间,有效减小了驱动IC在驱动整个屏幕时所耗的能量,降低了功耗。

[0069] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

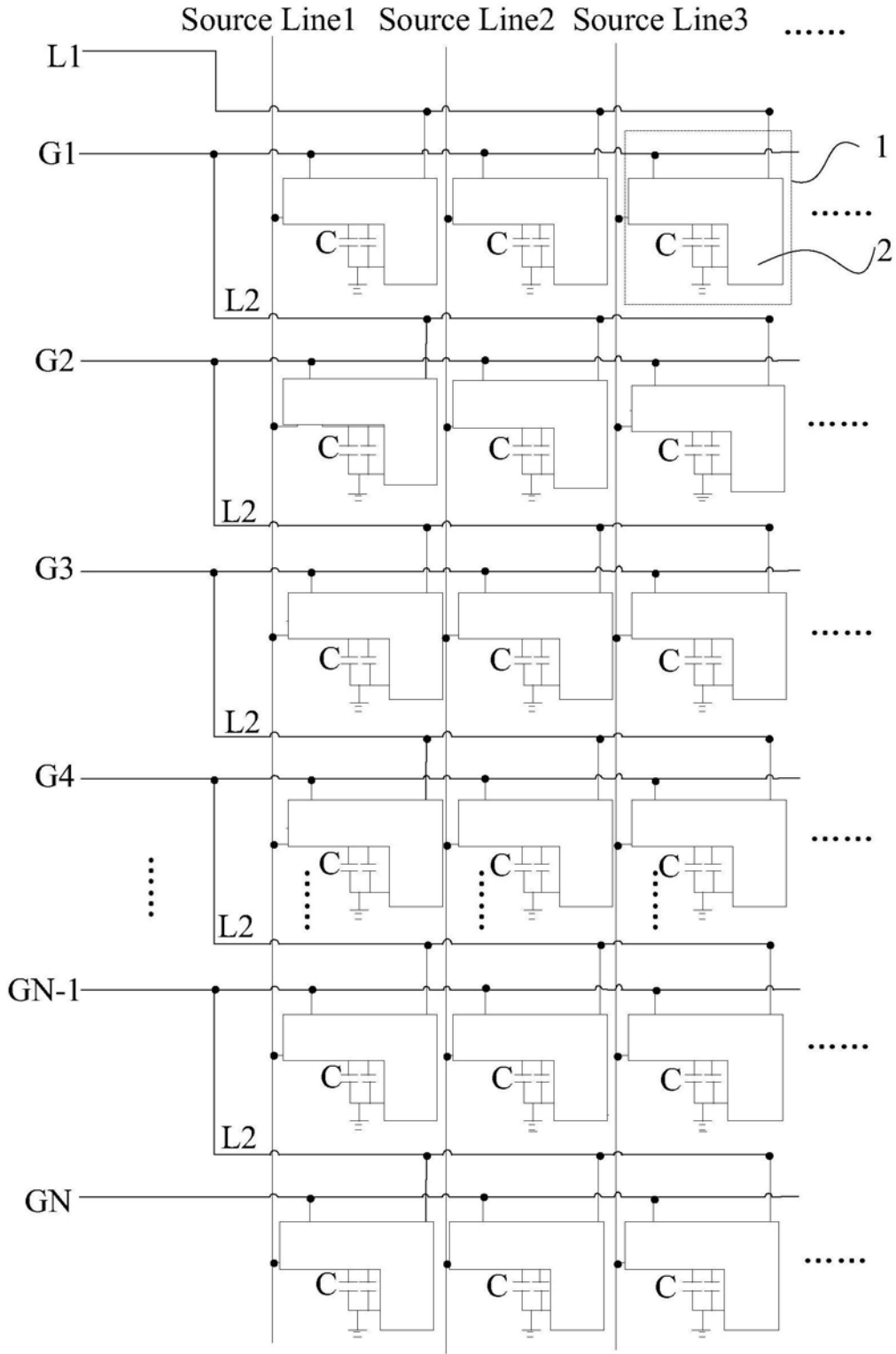


图1

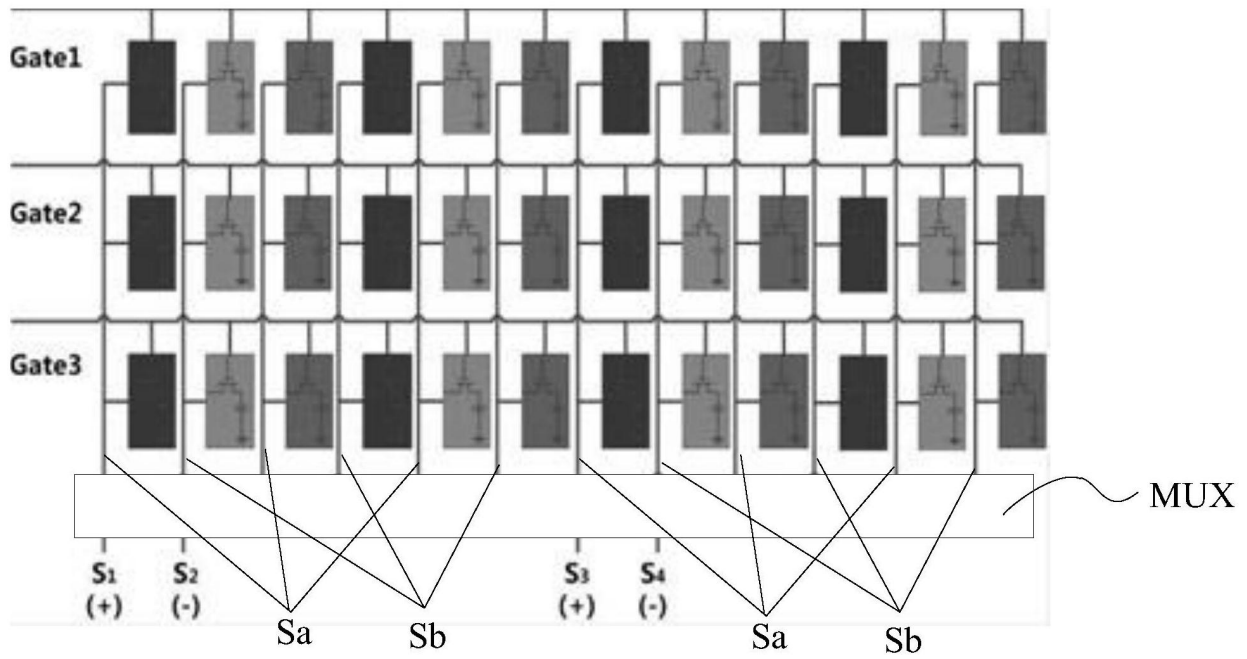


图3

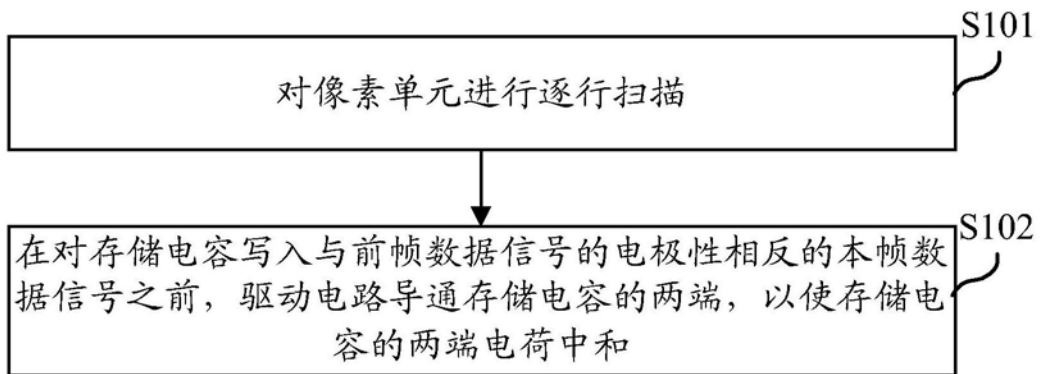


图4

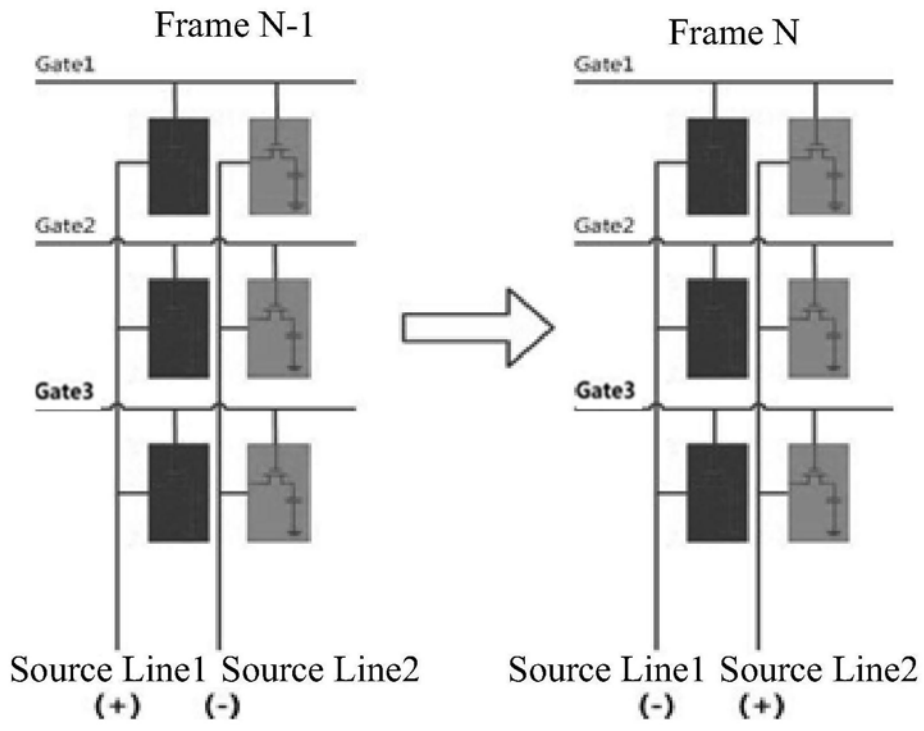


图5

专利名称(译)	一种阵列基板、液晶显示装置和驱动方法		
公开(公告)号	CN110244481A	公开(公告)日	2019-09-17
申请号	CN201910708210.9	申请日	2019-08-01
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 鄂尔多斯市源盛光电有限责任公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 鄂尔多斯市源盛光电有限责任公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 鄂尔多斯市源盛光电有限责任公司		
[标]发明人	赵晶 孙继刚 赵爽 苏旭 王磊		
发明人	赵晶 孙继刚 赵爽 苏旭 王磊		
IPC分类号	G02F1/133 G02F1/1345 G02F1/1362 G09G3/36		
CPC分类号	G02F1/13306 G02F1/13452 G02F1/136213 G02F1/136286 G09G3/3614		
代理人(译)	李欣		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板、液晶显示装置和驱动方法，以改善现有技术的显示产品的耗电量较高，续航时间短的问题。所述阵列基板，包括：多个呈阵列分布的像素单元；每一所述像素单元包括：存储电容，以及与所述存储电容电连接的驱动电路；所述驱动电路被配置为在对所述存储电容写入与前帧数据信号的电极性相反的本帧数据信号之前，导通所述存储电容的两端，以使所述存储电容的两端电荷中和。

