



(12)发明专利申请

(10)申请公布号 CN 106169289 A

(43)申请公布日 2016. 11. 30

(21)申请号 201610855114.3

(22)申请日 2016.09.27

(71)申请人 深圳市华星光电技术有限公司

地址 518006 广东省深圳市光明新区塘明
大道9-2号

(72)发明人 张先明

(74)专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280

代理人 钟子敏

(51)Int.Cl.

G09G 3/36(2006.01)

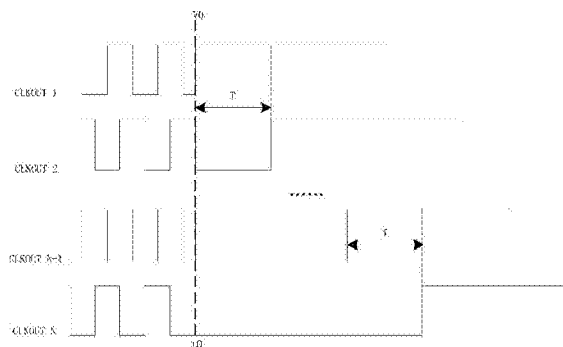
权利要求书2页 说明书6页 附图3页

(54)发明名称

一种阵列基板行驱动电路及其过流保护方法、液晶显示器

(57)摘要

本发明公开了一种阵列基板行驱动电路,包括:电平转换器和与所述电平转换器连接的N个阵列基板行驱动单元;在输入电压低于预定电压值时,所述电平转换器每间隔预定时间通过其电平输出以控制所述N个阵列基板行驱动单元中的部分阵列基板行驱动单元进行驱动,直至所述N个阵列基板行驱动单元均已进行驱动。本发明还公开了其过流保护方法及液晶显示器。本发明有效减少因所有的电平输出一次性驱动所有的阵列基板行驱动单元而引起的大电流,进而防止IC和Fuse烧坏。



1. 一种阵列基板行驱动电路,其特征在于,包括:

电平转换器和与所述电平转换器连接的N个阵列基板行驱动单元;

在输入电压低于预定电压值时,所述电平转换器每间隔预定时间通过其电平输出以控制所述N个阵列基板行驱动单元中的部分阵列基板行驱动单元进行驱动,直至所述N个阵列基板行驱动单元均已进行驱动;

其中,所述N为大于或等于2的正整数。

2. 根据权利要求1所述的阵列基板行驱动电路,其特征在于,所述电平转换器向每个所述阵列基板行驱动单元输出一个时钟控制信号以控制所述阵列基板行驱动单元进行驱动;

在输入电压低于预定电压值时,所述电平转换器所输出的N个时钟控制信号均为第二电平,且每间隔预定时间新增所输出的N个时钟控制信号中的其中一个时钟控制信号为第一电平,以每间隔预定时间控制一个阵列基板行驱动单元进行驱动。

3. 根据权利要求2中所述的阵列基板行驱动电路,其特征在于,所述电平转换器包括N个控制单元和N个电平转换单元,所述N个控制单元依次连接,且每个控制单元与对应一个电平转换单元连接;

第i个控制单元控制与所述第i个控制单元对应连接的电平转换单元输出的时钟控制信号拉至第一电平,且通过第i+1个控制单元控制与第i+1个控制单元对应连接的电平转换单元输出的时钟控制信号被拉至第二电平,且在间隔所述预定时间时通过第i+1个控制单元控制与第i+1个控制单元对应连接的电平转换单元输出的时钟控制信号拉至第一电平;

其中,i大于或等于1,且小于或等于N。

4. 根据权利要求3中所述的阵列基板行驱动电路,其特征在于,每个控制单元包括比较器、恒流源和充电电容,所述比较器的输出端与所述恒流源的一端连接,所述恒流源的另一端与所述充电电容的一端连接,所述充电电容的另一端连接参考地。

5. 根据权利要求4中所述的阵列基板行驱动电路,其特征在于,第1个控制单元中的比较器的负输入端连接输入电压、正输入端连接第一参考电压,第j个控制单元中的比较器的正输入端连接第j-1个控制单元中的恒流源与充电电容之间的节点、负输入端连接第二参考电压,其中,j大于或等于2,且小于或等于N。

6. 根据权利要求5中所述的阵列基板行驱动电路,其特征在于,所述第一参考电压和第二参考电压相等,所述预设电压值等于所述第一参考电压。

7. 根据权利要求6中所述的阵列基板行驱动电路,其特征在于,所述电平转换单元包括两个串联连接的晶体管。

8. 一种液晶显示器,其特征在于,包括如权利要求1-7中任一项所述的阵列基板行驱动电路和N行薄膜晶体管,每行薄膜晶体管分别与所述阵列基板行驱动电路中的一个阵列基板行驱动单元连接。

9. 一种应用于阵列基板行驱动电路的过流保护方法,其特征在于,所述阵列基板行驱动电路包括电平转换器和与所述电平转换器连接的N个阵列基板行驱动单元,其中,N为大于或等于2的正整数;

所述方法包括:

在输入电压低于预定电压值时,所述电平转换器每间隔预定时间通过其电平输出以控制所述N个阵列基板行驱动单元中的部分阵列基板行驱动单元进行驱动,直至所述N个阵列

基板行驱动单元均已进行驱动。

10. 根据权利要求9中所述的过流保护方法, 其特征在于, 所述电平转换器向每个所述阵列基板行驱动单元输出一个时钟控制信号以控制所述阵列基板行驱动单元进行驱动;

在输入电压低于预定电压值时, 所述电平转换器所输出的N个时钟控制信号均为第二电平, 且每间隔预定时间新增所输出的N个时钟控制信号中的其中一个时钟控制信号为第一电平, 以每间隔预定时间控制一个阵列基板行驱动单元进行驱动。

一种阵列基板行驱动电路及其过流保护方法、液晶显示器

技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及一种阵列基板行驱动电路及其过流保护方法、液晶显示器。

背景技术

[0002] GOA(Gate Driver On Array,阵列基板行驱动)技术由于可直接制作在面板周围等特点而发展得如火如荼,其中一项在GOA技术中经常使用的技术是Discharge技术,是指在工作过程中,如果输入电压降低至某一个电压点时,电平转换器(Level Shifter)的所有输出电压全部拉至VGH(Voltage Gate High,栅极驱动高电平信号),用以消除残影,达到放掉像素中暂存电荷的问题。

[0003] 然而,当输入电压降低至某一个电压点 V_1 时,即Discharge功能被触发时,如图1所示,电平转换器的所有输出电压(例如,时钟控制信号CLKOUT 1~N)拉至栅极驱动高电平信号,此时,相当于每个像素的栅极(Gate)都会打开。由于瞬间的能量太大,就会导致栅极驱动高电平信号的瞬间抽载超出限定,对于大尺寸的面板,甚至会有2~3A的电流,这个时候输入也会有大电流,甚至有机会烧坏IC(Integrated Circuit,集成电路)/Fuse(保险丝),以及触发OCP(Over Current Protection,过流保护)。

发明内容

[0004] 本发明的目的在于,针对现有技术中的Discharge功能被触发时的上述缺陷,提供一种阵列基板行驱动电路及其过流保护方法、液晶显示器。

[0005] 本发明解决上述技术问题所采用的技术方案是提供了一种阵列基板行驱动电路,包括:

[0006] 电平转换器和与所述电平转换器连接的N个阵列基板行驱动单元;

[0007] 在输入电压低于预定电压值时,所述电平转换器每间隔预定时间通过其电平输出以控制所述N个阵列基板行驱动单元中的部分阵列基板行驱动单元进行驱动,直至所述N个阵列基板行驱动单元均已进行驱动;

[0008] 其中,所述N为大于或等于2的正整数。

[0009] 其中,所述电平转换器向每个所述阵列基板行驱动单元输出一个时钟控制信号以控制所述阵列基板行驱动单元进行驱动;

[0010] 在输入电压低于预定电压值时,所述电平转换器所输出的N个时钟控制信号均为第二电平,且每间隔预定时间新增所输出的N个时钟控制信号中的其中一个时钟控制信号为第一电平,以每间隔预定时间控制一个阵列基板行驱动单元进行驱动。

[0011] 其中,所述电平转换器包括N个控制单元和N个电平转换单元,所述N个控制单元依次连接,且每个控制单元与对应一个电平转换单元连接;

[0012] 第i个控制单元控制与所述第i个控制单元对应连接的电平转换单元输出的时钟控制信号拉至第一电平,且通过第i+1个控制单元控制与第i+1个控制单元对应连接的电平

转换单元输出的时钟控制信号被拉至第二电平,且在间隔所述预定时间时通过第 $i+1$ 个控制单元控制与第 $i+1$ 个控制单元对应连接的电平转换单元输出的时钟控制信号拉至第一电平;

[0013] 其中, i 大于或等于1,且小于或等于 N 。

[0014] 其中,每个控制单元包括比较器、恒流源和充电电容,所述比较器的输出端与所述恒流源的一端连接,所述恒流源的另一端与所述充电电容的一端连接,所述充电电容的另一端连接参考地。

[0015] 其中,第1个控制单元中的比较器的负输入端连接输入电压、正输入端连接第一参考电压,第 j 个控制单元中的比较器的正输入端连接第 $j-1$ 个控制单元中的恒流源与充电电容之间的节点、负输入端连接第二参考电压,其中, j 大于或等于2,且小于或等于 N 。

[0016] 其中,所述第一参考电压和第二参考电压相等,所述预设电压值等于所述第一参考电压。

[0017] 其中,所述电平转换单元包括两个串联连接的晶体管。

[0018] 本发明解决上述技术问题所采用的另一技术方案是提供了一种液晶显示器,包括上述的阵列基板行驱动电路和 N 行薄膜晶体管,每行薄膜晶体管分别与所述阵列基板行驱动电路中的一个阵列基板行驱动单元连接。

[0019] 本发明解决上述技术问题所采用的另一技术方案是提供了一种应用于阵列基板行驱动电路的过流保护方法,所述阵列基板行驱动电路包括电平转换器和与所述电平转换器连接的 N 个阵列基板行驱动单元,其中, N 为大于或等于2的正整数;

[0020] 所述方法包括:

[0021] 在输入电压低于预定电压值时,所述电平转换器每间隔预定时间通过其输出电平以控制所述 N 个阵列基板行驱动单元中的部分阵列基板行驱动单元进行驱动,直至所述 N 个阵列基板行驱动单元均已进行驱动。

[0022] 其中,所述电平转换器向每个所述阵列基板行驱动单元输出一个时钟控制信号以控制所述阵列基板行驱动单元进行驱动;

[0023] 在输入电压低于预定电压值时,所述电平转换器所输出的 N 个时钟控制信号均为第二电平,且每间隔预定时间新增所输出的 N 个时钟控制信号中的其中一个时钟控制信号为第一电平,以每间隔预定时间控制一个阵列基板行驱动单元进行驱动。

[0024] 本发明的有益效果有:即在触发Discharge功能时,电平转换器每间隔预定时间将其部分电平输出控制部分阵列基板行驱动单元进行驱动,直到所有的阵列基板行驱动单元进行驱动,有效减少因所有的电平输出一次性驱动所有的阵列基板行驱动单元而引起的大电流,进而防止1C和Fuse烧坏。

[0025] 此外,在触发Discharge功能时,每次将电平转换器输出的其中一个时钟控制信号输出为高电平,阵列基板行驱动电路的瞬间抽载仅限于一个为高电平的时钟控制信号,不会超出限定而引起驱动异常甚至损坏。

附图说明

[0026] 下面将结合附图及实施方式对本发明作进一步说明,附图中:

[0027] 图1是现有阵列基板行驱动电路中电平转换器的所有输出电压的信号图;

[0028] 图2是本发明的阵列基板行驱动电路实施例的结构示意图；

[0029] 图3是本发明的阵列基板行驱动电路中电平转换器输出的第一实施例的所有时钟控制信号的信号图；

[0030] 图4是本发明的阵列基板行驱动电路中电平转换器输出的第二实施例的所有时钟控制信号的信号图；

[0031] 图5是本发明的电平转换器实施例的结构示意图；

[0032] 图6是本发明的应用于阵列基板行驱动电路的过流保护方法实施例的流程图。

具体实施方式

[0033] 为使本领域的技术人员更好地理解本发明的技术方案，下面结合附图和具体实施方式对本发明的技术方案做进一步详细描述。

[0034] 如图2所示，是本发明的阵列基板行驱动电路实施例的结构示意图，该阵列基板行驱动电路100包括电平转换器101和N个阵列基板行驱动单元，电平转换器101与N个阵列基板行驱动单元连接。其中，N为大于或等于2的正整数，N个阵列基板行驱动单元(GOA单元)包括如图2所示的第1个GOA单元1021、第2个GOA单元1022...第N-1个GOA单元102N-1、第N个GOA单元102N，每个GOA单元对应于一行TFT。电平转换器101用于向阵列基板行驱动电路单元提供电平输出以控制阵列基板行驱动单元进行驱动。当输入电压 V_{in} 低于预定电压值 V_0 时，电平转换器101每间隔预定时间通过其电平输出以控制N个阵列基板行驱动单元中的部分阵列基板行驱动单元进行驱动，直至N个阵列基板行驱动单元均已进行驱动。在本实施例中，在输入电压 V_{in} 低于预定电压值 V_0 时，即触发Discharge功能，通过电平转换器每间隔预定时间的电平输出来控制部分阵列基板行驱动单元进行驱动，进而将所有的阵列基板行驱动单元均进行驱动，即在触发Discharge功能时，每间隔预定时间将其部分电平输出控制部分阵列基板行驱动单元进行驱动，直到所有的阵列基板行驱动单元进行驱动，有效减少因所有的电平输出一次性驱动所有的阵列基板行驱动单元而引起的大电流，进而防止1C和Fuse烧坏。

[0035] 进一步地，在本实施例中，电平转换器101为达到每间隔预定时间通过其电平输出来控制部分阵列基板行驱动单元进行驱动的目的，电平转换器101用于向每个阵列基板行驱动单元输出一个时钟控制信号以控制阵列基板行驱动单元进行驱动，例如，如图2所示，时钟控制信号CLKOUT1控制第1个GOA单元，由于N个阵列基板行驱动单元，电平转换器101输出N个时钟控制信号CLKOUT 1~N。此时，在输入电压 V_{in} 低于预定电压值 V_0 时，电平转换器101输出的N个时钟控制信号均为第二电平，并且每间隔预定时间T新增所输出的N个时钟控制信号中的其中一个时钟控制信号为第一电平，以每间隔预定时间控制一个阵列基板行驱动单元进行驱动。在本实施例中，第一电平为高电平，第二电平为低电平，如图3所示，假设输入电压 V_{in} 低于预定电压值 V_0 在时刻 t_0 ，此时，时钟控制信号CLKOUT 1~N均为第二电平，即低电平，进而，在时刻 t_0+0*T ，即时刻 t_0 ，新增时钟控制信号CLKOUT 1为高电平，在时刻 t_0+1*T ，新增时钟控制信号CLKOUT 2为高电平，依次新增直到所有的时钟控制信号均为高电平时，即完成每间隔预设时间T新增所输出的N个时钟控制信号中的其中一个时钟控制信号为高电平。这样，在输入电压 V_{in} 低于预定电压值 V_0 时，将所有的时钟控制信号输出为高电平，放出像素内的暂存电荷，并且由于每次将其中一个时钟控制信号输出为高电平，阵列基

板行驱动电路的瞬间抽载仅限于一个为高电平的时钟控制信号,不会超出限定而引起驱动异常甚至损坏。在其他实施例中,根据时钟控制信号在输入电压 V_{in} 低于预定电压值 V_0 时的情况,电平转换器101将所输出的 N 个时钟控制信号每间隔预定时间来控制部分阵列基板行驱动单元还可以其他方式,例如,如图4所示,在输入电压低于预定电压值时,电平转换器101将其中一个时钟控制信号输出为高电平,如图4中的时钟控制信号CLKOUT 1,剩下的时钟控制信号输出为低电平,随后,将剩下的时钟控制信号依次且按照预定时间 T 输出为高电平,即每间隔预定时间 T 一个时钟控制信号输出为高电平,直到剩下的时钟控制信号均输出为高电平。

[0036] 需要说明的是,在本发明中,电平转换器101为达到每间隔预定时间通过其电平输出来控制部分阵列基板行驱动单元进行驱动的目的,电平转换器101还可以向阵列基板行驱动单元输出其他电平信号,而非时钟控制信号,仅需要通过其电平输出来控制阵列基板行驱动单元进行驱动即可,在此不作限定。

[0037] 进一步地,如图5所示,是本发明的电平转换器实施例的结构示意图,包括 N 个控制单元和 N 个电平转换单元, N 个控制单元依次连接,且每个控制单元与对应一个电平转换单元连接。

[0038] 第 i 个控制单元控制与第 i 个控制单元对应连接的电平转换单元输出的时钟控制信号拉至第一电平,且通过第 $i+1$ 个控制单元控制与第 $i+1$ 个控制单元对应连接的电平转换单元输出的时钟控制信号被拉至第二电平,且在间隔预定时间 T 时通过第 $i+1$ 个控制单元控制与第 $i+1$ 个控制单元对应连接的电平转换单元输出的时钟控制信号拉至第一电平;其中, i 大于或等于1,且小于或等于 N 。如图5所示,在输入电压 V_{in} 低于预定电压值 V_0 时,第1个控制单元控制对应的电平转换单元输出为高电平的时钟控制信号,即时钟控制信号CLKOUT 1为高电平,同时,通过第2个控制单元控制对应的电平转换单元输出为低电平的时钟控制信号,而第2个控制单元通过第3个控制单元控制对应的电平转换单元输出为低电平的时钟控制信号,依次类推,剩下的时钟控制信号为低电平,即时钟控制信号CLKOUT 2~ N 为低电平。接着,在间隔预设时间 T 时,第1个控制单元通过第2个控制单元控制与第2个控制单元对应连接的电平转换单元输出的时钟控制信号拉至高电平,即时钟控制信号CLKOUT 2为高电平,此时,剩余的时钟控制信号CLKOUT 3~ N 依然为低电平,依次类推,再间隔预定时间 T ,时钟控制信号CLKOUT 3为高电平,直到所有的时钟控制信号均为高电平。

[0039] 具体地,在本实施例中,每个控制单元包括比较器、恒流源和充电电容,比较器的输出端与恒流源的一端连接,恒流源的另一端与充电电容的一端连接,充电电容的另一端连接参考地。

[0040] 如图5所示,第1个控制单元中的比较器5011的负输入端连接输入电压、正输入端连接第一参考电压 V_{ref1} 。第 j 个控制单元中的比较器的正输入端连接第 $j-1$ 个控制单元中的恒流源与充电电容之间的节点、负输入端连接第二参考电压 V_{ref2} ,其中, j 大于或等于2,且小于或等于 N 。例如,如图5所示,第2个控制单元中的比较器5021的正输入端连接第1个控制单元中的恒流源5012与充电电容5013之间的节点、负输入端连接第二参考电压 V_{ref2} ,第3个控制单元中的比较器5031的正输入端连接第2个控制单元中的恒流源5022与充电电容5023之间的节点、负输入端连接第二参考电压 V_{ref2} ,依次类推。在本实施例中第一参考电压 V_{ref1} 等于第二参考电压 V_{ref2} ,第一参考电压 V_{ref1} 等于预设电压值 V_0 。

[0041] 进一步地,电平转换单元包括两个串联连接的晶体管,分别为上晶体管和下晶体管。两个晶体管的串联连接根据晶体管的类型不同而不同,在此不再说明。

[0042] 下面将结合图5详细说明下本发明的电平转换器实现每间隔预定时间 T 输出为高电平的时钟控制信号的工作原理。

[0043] 在输入电压 V_{in} 低于预设电压值 V_0 时,由于第一参考电压 V_{ref1} 等于预设电压值 V_0 ,即输入电压 V_{in} 低于第一参考电压 V_{ref1} ,此时,比较器5011输出高电平,进而高电平控制对应的电平转换单元中的上晶体管导通,输出高电平,即时钟控制信号 $CLKOUT_1$ 为高电平,同时,恒流源5012打开,给充电电容5013充电,在充电过程中,充电电容5013的电压 V_2 小于第二参考电压 V_{ref2} ,比较器5021输出低电平,进而低电平控制对应的电平转换单元中的下晶体管导通,输出低电平,即时钟控制信号 $CLKOUT_2$ 为低电平,同理,第 N 个控制单元控制对应的电平转换单元输出低电平,即时钟控制信号 $CLKOUT_N$ 为低电平。

[0044] 在预定时间 T 时,恒流源5012给充电电容5013充电达到其电压 V_2 大于第二参考电压 V_{ref2} ,即恒流源5012给充电电容5013充电预定时间 T ,此时,比较器5021输出高电平,进而高电平控制对应的电平转换单元的上晶体管导通,输出高电平,即时钟控制信号 $CLKOUT_2$ 为高电平,同时,恒流源5022打开,给充电电容5023充电,在充电过程中,充电电容5023的电压 V_3 小于第二参考电压 V_{ref2} ,比较器5021输出低电平,进而低电平控制对应的电平转换单元中的下晶体管导通,输出低电平,即时钟控制信号 $CLKOUT_3$ 依然为低电平,同理,第 N 个控制单元控制对应的电平转换单元输出低电平,即时钟控制信号 $CLKOUT_N$ 依然为低电平。

[0045] 同理,在恒流源5022给充电电容5023充电预定时间 T 时,第3个控制单元控制对应的电平转换单元输出高电平,即时钟控制信号 $CLKOUT_3$ 。

[0046] 依次类推,在恒流源50N1给充电电容50N3充电预定时间 T 时,第 N 个控制单元控制对应的电平转换单元输出高电平,即时钟控制信号 $CLKOUT_N$ 为高电平。

[0047] 值得注意的是,上述控制单元未必根据其前一个控制单元的输出控制其对应电平转换电路的输出,在其他实施例中,该电平转换器的所有控制单元均根据另设的一控制电路的输出控制其对应电平转换电路的输出。

[0048] 另外,以上仅举例列出电平转换器每间隔预定时间控制一个阵列基板行驱动单元进行驱动,但在其他实施例中,电平转换器每间隔预定时间可控制多个阵列基板行驱动单元进行驱动,在此不作限定。

[0049] 本发明还提供一种液晶显示器,包括阵列基板行驱动电路和 N 行薄膜晶体管,每行薄膜晶体管分别与阵列基板行驱动电路中的一个阵列基板行驱动单元连接,其中,阵列基板行驱动电路如图2和图5所示,详见相关说明,在此不再赘述。

[0050] 如图6所示,是本发明的应用于阵列基板行驱动电路的过流保护方法实施例的流程图,其中,阵列基板行驱动电路如图2和图5所示,详见相关说明,在此不再赘述。该方法包括:

[0051] 步骤S602:在输入电压低于预定电压值时,电平转换器每间隔预定时间通过其电平输出以控制 N 个阵列基板行驱动单元中的部分阵列基板行驱动单元进行驱动;

[0052] 步骤S604:重复步骤S602,直至 N 个阵列基板行驱动单元均已进行驱动。

[0053] 在本实施例中,在输入电压低于预定电压值时,即在触发Discharge功能时,每间隔预定时间将其部分电平输出控制部分阵列基板行驱动单元进行驱动,直到所有的阵列基

板行驱动单元进行驱动,有效减少因所有的电平输出一次性输出而引起的大电流,进而防止IC和Fuse烧坏。

[0054] 进一步地,在本实施例中,电平转换器向每个阵列基板行驱动单元输出一个时钟控制信号以控制阵列基板行驱动单元进行驱动;在输入电压低于预定电压值时,电平转换器所输出的N个时钟控制信号均为第二电平,且每间隔预定时间新增所输出的N个时钟控制信号中的其中一个时钟控制信号为第一电平,以每间隔预定时间控制一个阵列基板行驱动单元进行驱动。在本实施例中,在输入电压低于预定电压值时,将电平转换器输出的时钟控制信号每间隔预定时间设置为高电平以驱动阵列基板行驱动单元,有效减少因所有的时钟控制信号一次性输出为高电平而引起的大电流,进而防止IC和Fuse烧坏。

[0055] 以上仅为本发明的实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围。

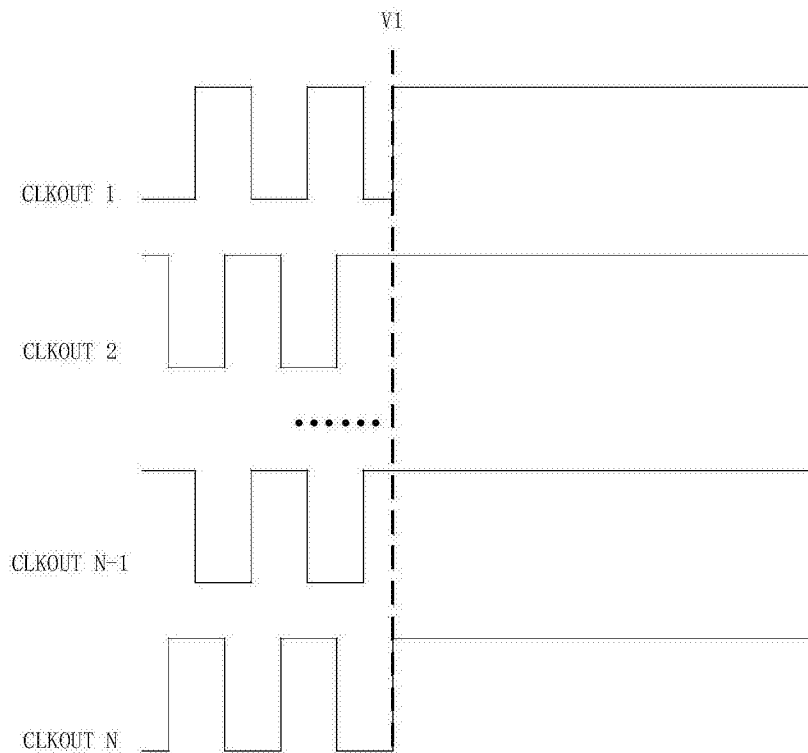


图1

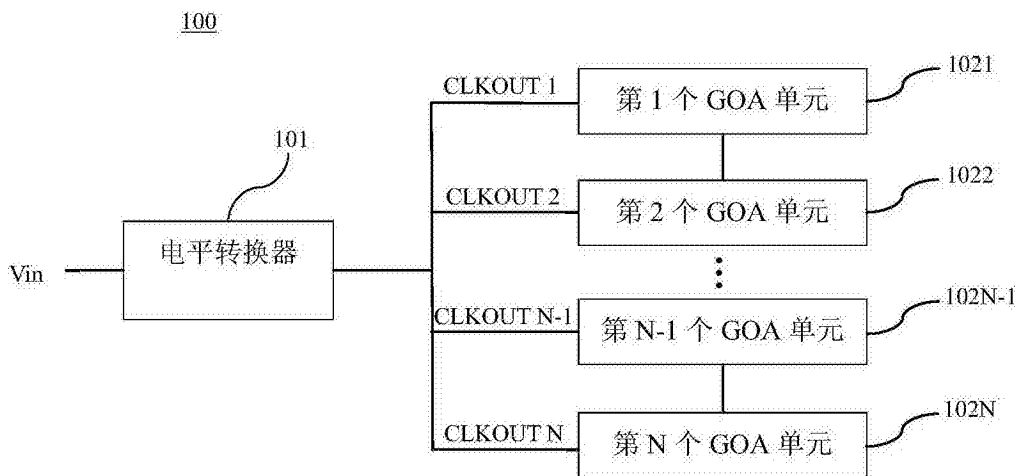


图2

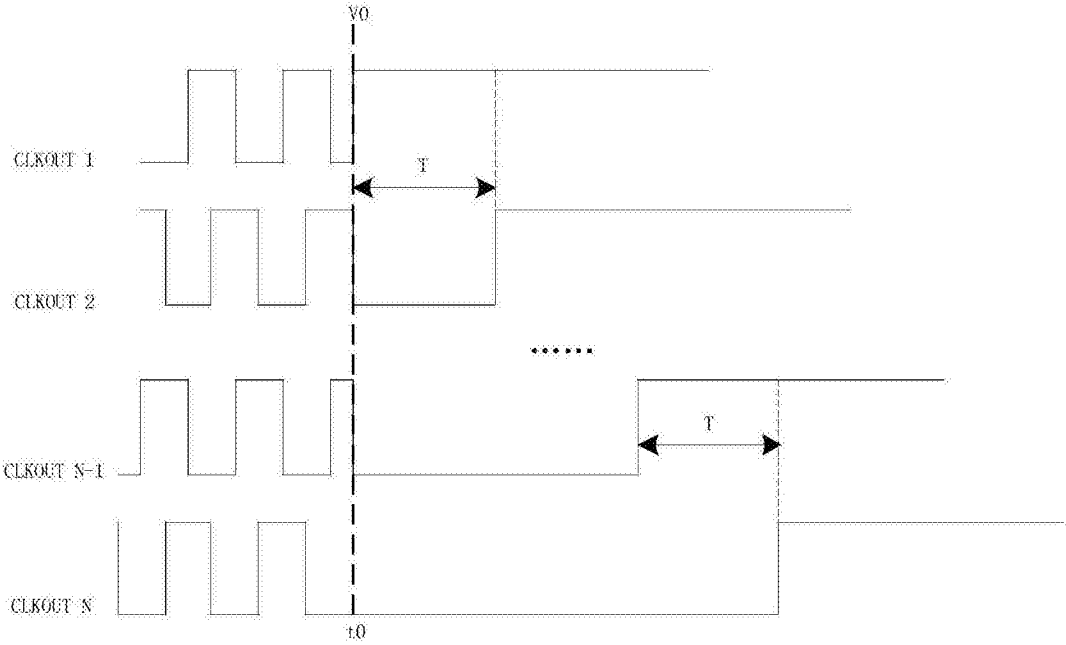


图3

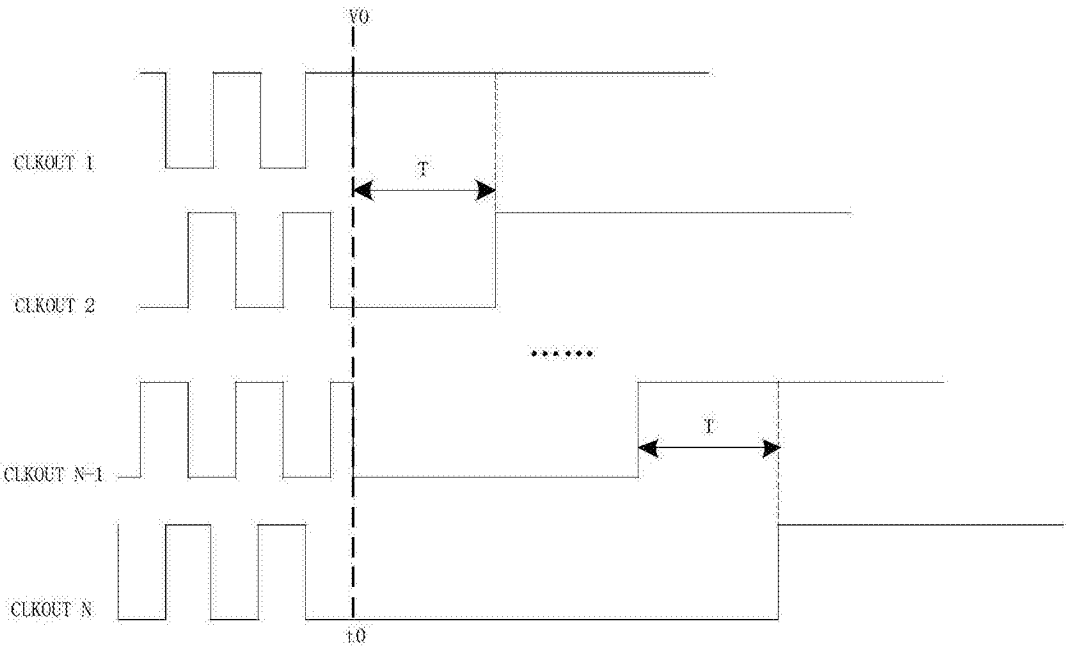


图4

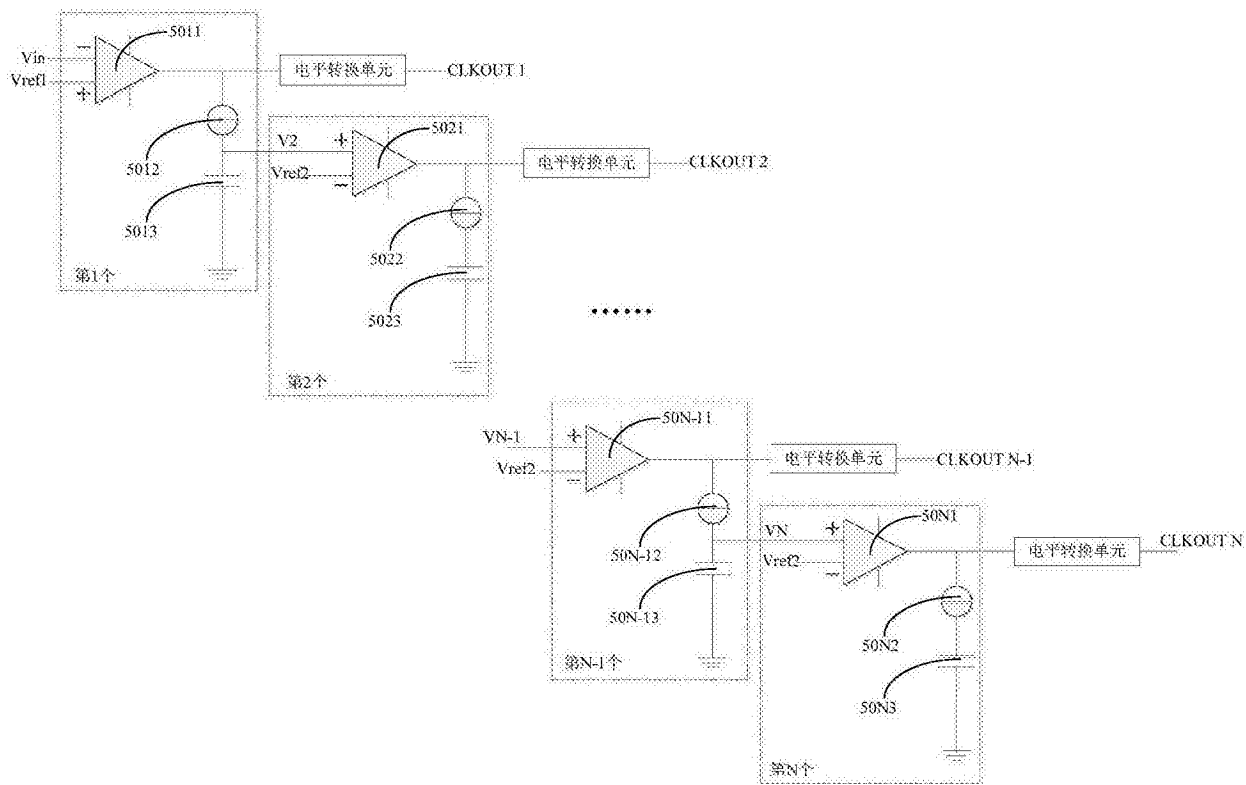


图5

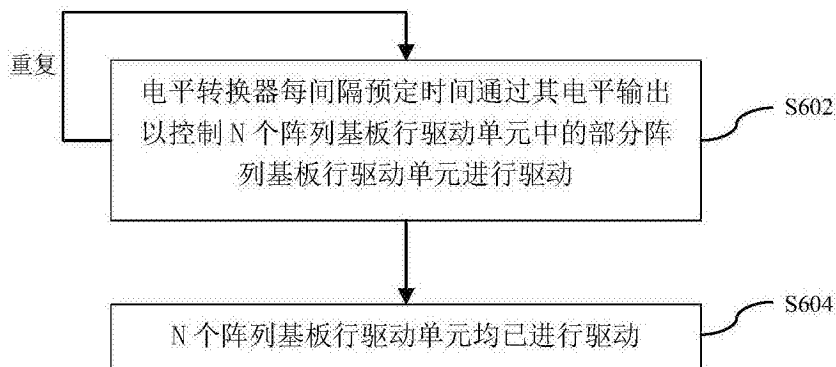


图6

专利名称(译)	一种阵列基板行驱动电路及其过流保护方法、液晶显示器		
公开(公告)号	CN106169289A	公开(公告)日	2016-11-30
申请号	CN201610855114.3	申请日	2016-09-27
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	张先明		
发明人	张先明		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2300/0408 G09G2310/0281 G09G2310/0283 G09G2310/0286		
其他公开文献	CN106169289B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板行驱动电路，包括：电平转换器和与所述电平转换器连接的N个阵列基板行驱动单元；在输入电压低于预定电压值时，所述电平转换器每间隔预定时间通过其电平输出以控制所述N个阵列基板行驱动单元中的部分阵列基板行驱动单元进行驱动，直至所述N个阵列基板行驱动单元均已进行驱动。本发明还公开了其过流保护方法及液晶显示器。本发明有效减少因所有的电平输出一次性驱动所有的阵列基板行驱动单元而引起的大电流，进而防止IC和Fuse烧坏。

