



(12)发明专利

(10)授权公告号 CN 104252075 B

(45)授权公告日 2018.03.09

(21)申请号 201310713320.7

H01L 27/12(2006.01)

(22)申请日 2013.12.20

H01L 21/77(2017.01)

(65)同一申请的已公布的文献号

申请公布号 CN 104252075 A

(43)申请公布日 2014.12.31

(30)优先权数据

10-2013-0075901 2013.06.28 KR

(73)专利权人 乐金显示有限公司

地址 韩国首尔

(72)发明人 文泰亨 宋泰俊 李揆煌 李灵河

(74)专利代理机构 北京三友知识产权代理有限公司 11127

代理人 吕俊刚 刘久亮

(51)Int.Cl.

G02F 1/1362(2006.01)

G02F 1/1368(2006.01)

G02F 1/1333(2006.01)

(56)对比文件

US 2012007091 A1, 2012.01.12, 说明书第[0006]-[0015]、[0021]-[0034]、[0041]-[0062]段,图1-4E.

US 2012007091 A1, 2012.01.12,

JP H0385530 A, 1991.04.10, 说明书第4页左上栏第2段至右上栏第1段,图2A-2B.

CN 102033370 A, 2011.04.27, 说明书第[0029]-[0036]段,图1-3.

US 2008314628 A1, 2008.12.25, 说明书第[0026]-[0048]段,图2.

CN 101109882 A, 2008.01.23, 全文.

US 2009236627 A1, 2009.09.24, 全文.

US 7166502 B1, 2007.01.23, 全文.

审查员 纪红

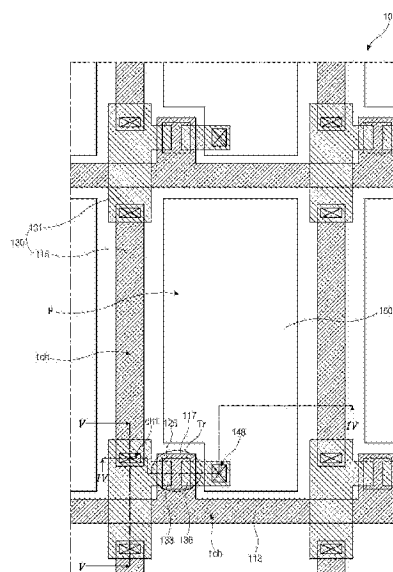
权利要求书4页 说明书8页 附图25页

(54)发明名称

液晶显示器的阵列基板及其制造方法

(57)摘要

本发明提供了一种液晶显示器的阵列基板及其制造方法。阵列基板包括:沟槽,其具有相对于基板的表面的深度;填充各沟槽的选通线、栅电极和数据图案,其中,数据图案位于相邻的选通线之间;栅极绝缘层,其位于选通线、栅电极和数据图案上,在基板上基本上是平坦的,并且包括分别暴露数据图案的两端的接触孔;数据连接部,其位于栅极绝缘层上并且通过接触孔接触相邻的数据图案;源电极,其从数据连接部延伸;以及漏电极,其与源电极隔开;钝化层,其位于源电极和漏电极上并且包括暴露漏电极的漏极接触孔;以及像素电极,其位于钝化层上并且通过漏极接触孔接触漏电极。



1. 一种阵列基板, 所述阵列基板包括:

基板, 所述基板包括像素区域;

沟槽, 所述沟槽具有相对于所述基板的表面的深度;

选通线、栅电极和数据图案, 所述选通线、所述栅电极和所述数据图案填充各沟槽, 其中, 所述数据图案沿着与所述选通线的延伸方向交叉的方向在相邻的选通线之间延伸而没有中断, 并且仅在与所述选通线与所述数据图案的交叉部对应的区域中中断;

栅极绝缘层, 所述栅极绝缘层位于所述选通线、所述栅电极和所述数据图案上, 在所述基板上是平坦的, 并且包括分别暴露所述数据图案的两端的接触孔;

半导体层, 所述半导体层位于所述栅电极上的所述栅极绝缘层上;

数据连接部, 所述数据连接部位于所述栅极绝缘层上并且通过所述接触孔接触相邻的数据图案, 其中, 所述数据连接部仅被设置在与所述选通线与所述数据图案的所述交叉部对应的所述区域中;

源电极和漏电极, 所述源电极连接到所述数据连接部, 并且所述漏电极与所述源电极隔开;

像素电极, 所述像素电极连接到所述漏电极; 以及

钝化层, 所述钝化层位于所述源电极和所述漏电极上并且包括暴露所述漏电极的漏极接触孔,

其中, 所述像素电极位于所述钝化层上并且通过所述漏极接触孔接触所述漏电极,

其中, 所述源电极从所述数据连接部延伸并且位于所述半导体层上,

其中, 所述钝化层还位于所述数据连接部上并具有双层结构, 该双层结构具有由无机绝缘材料制成的第一层和在所述第一层上的由有机绝缘材料制成的第二层, 并且

其中, 所述像素区域仅由在第一方向上延伸的所述选通线和在第二方向上延伸且与所述选通线交叉的数据线限定, 所述数据线包括所述数据图案和所述数据连接部, 所述数据连接部与所述选通线交叠且交叉, 并且所述栅电极形成在所述像素区域中且在所述选通线与所述数据线的交叉部分处。

2. 根据权利要求1所述的阵列基板, 其中, 所述深度为 $0.5\mu\text{m}$ 至 $5\mu\text{m}$, 并且所述选通线、所述栅电极和所述数据图案具有等于所述深度的厚度。

3. 一种阵列基板, 所述阵列基板包括:

基板, 所述基板包括像素区域;

缓冲层, 所述缓冲层位于所述基板上并且包括沟槽, 所述沟槽具有相对于所述缓冲层的表面的深度;

选通线、栅电极和数据图案, 所述选通线、所述栅电极和所述数据图案填充各沟槽, 其中, 所述数据图案沿着与所述选通线的延伸方向交叉的方向在相邻的选通线之间延伸而没有中断, 并且仅在与所述选通线与所述数据图案的交叉部对应的区域中中断;

栅极绝缘层, 所述栅极绝缘层位于所述选通线、所述栅电极和所述数据图案上, 在所述基板上是平坦的, 并且包括分别暴露所述数据图案的两端的接触孔;

半导体层, 所述半导体层位于所述栅电极上的所述栅极绝缘层上;

数据连接部, 所述数据连接部位于所述栅极绝缘层上并且通过所述接触孔接触相邻的数据图案, 其中, 所述数据连接部仅被设置在与所述选通线与所述数据图案的所述交叉部

对应的所述区域中；

源电极和漏电极，所述源电极连接到所述数据连接部，并且所述漏电极与所述源电极隔开；

像素电极，所述像素电极连接到所述漏电极；以及

钝化层，所述钝化层位于所述源电极和所述漏电极上并且包括暴露所述漏电极的漏极接触孔，

其中，所述像素电极位于所述钝化层上并且通过所述漏极接触孔接触所述漏电极，

其中，所述源电极从所述数据连接部延伸并且位于所述半导体层上，

其中，所述钝化层还位于所述数据连接部上并具有双层结构，该双层结构具有由无机绝缘材料制成的第一层和在所述第一层上的由有机绝缘材料制成的第二层，并且

其中，所述像素区域仅由在第一方向上延伸的所述选通线和在第二方向上延伸且与所述选通线交叉的数据线限定，所述数据线包括所述数据图案和所述数据连接部，所述数据连接部与所述选通线交叠且交叉，并且所述栅电极形成在所述像素区域中且在所述选通线与所述数据线的交叉部分处。

4. 根据权利要求3所述的阵列基板，其中，所述深度为 $0.5\mu\text{m}$ 至 $5\mu\text{m}$ ，并且所述选通线、所述栅电极和所述数据图案具有等于所述深度的厚度。

5. 根据权利要求3所述的阵列基板，其中，所述深度等于或小于所述缓冲层的厚度。

6. 一种制造阵列基板的方法，所述方法包括：

蚀刻包括像素区域的基板以形成具有相对于所述基板的表面的深度的沟槽；

形成填充各沟槽的选通线、栅电极和数据图案，其中，所述数据图案沿着与所述选通线的延伸方向交叉的方向在相邻的选通线之间延伸而没有中断，并且仅在与所述选通线与所述数据图案的交叉部对应的区域中中断；

在所述选通线、所述栅电极和所述数据图案上形成栅极绝缘层，所述栅极绝缘层在所述基板上是平坦的；

在所述栅电极上的所述栅极绝缘层上形成半导体层；

对所述栅极绝缘层进行图案化以形成分别暴露所述数据图案的两端的接触孔；

在所述栅极绝缘层上形成通过所述接触孔接触相邻的数据图案的数据连接部，形成连接到所述数据连接部的源电极和与所述源电极隔开的漏电极，其中，所述数据连接部仅被设置在与所述选通线与所述数据图案的所述交叉部对应的所述区域中；

在所述栅极绝缘层上形成数据连接部之后，在所述源电极和所述漏电极上形成钝化层，所述钝化层包括暴露所述漏电极的漏极接触孔；以及

形成连接到所述漏电极的像素电极，

其中，所述像素电极位于所述钝化层上并且通过所述漏极接触孔接触所述漏电极，

其中，所述源电极从所述数据连接部延伸并且位于所述半导体层上，

其中，所述钝化层还位于所述数据连接部上并具有双层结构，该双层结构具有由无机绝缘材料制成的第一层和在所述第一层上的由有机绝缘材料制成的第二层，并且

其中，所述像素区域仅由在第一方向上延伸的所述选通线和在第二方向上延伸且与所述选通线交叉的数据线限定，所述数据线包括所述数据图案和所述数据连接部，所述数据连接部与所述选通线交叠且交叉，并且所述栅电极形成在所述像素区域中且在所述选通线

与所述数据线的交叉部分处。

7. 根据权利要求6所述的方法, 其中, 蚀刻包括像素区域的基板以形成具有相对于所述基板的表面的深度的沟槽, 以及形成填充各沟槽的选通线、栅电极和数据图案的步骤包括:

在所述基板上形成光致抗蚀剂图案并且暴露对应于所述沟槽的部分;

使用所述光致抗蚀剂图案蚀刻所述基板以形成所述沟槽;

在所述沟槽和所述光致抗蚀剂图案上形成催化层;

移除所述光致抗蚀剂图案, 从而所述催化层留在所述沟槽中; 以及

将具有留在所述沟槽中的所述催化层的所述基板浸没在其中溶解有金属材料的镀溶液中, 并且执行非电解镀, 从而将所述金属材料镀在所述沟槽中。

8. 根据权利要求6所述的方法, 其中, 所述深度为 $0.5\mu\text{m}$ 至 $5\mu\text{m}$ 。

9. 根据权利要求7所述的方法, 其中, 通过涂敷Pd-Sn胶体或沉积Pd离子来形成所述催化层。

10. 一种制造阵列基板的方法, 所述方法包括:

在包括像素区域的基板上形成缓冲层;

蚀刻所述缓冲层以形成具有相对于所述缓冲层的表面的深度的沟槽;

形成填充各沟槽的选通线、栅电极和数据图案, 其中, 所述数据图案沿着与所述选通线的延伸方向交叉的方向在相邻的选通线之间延伸而没有中断, 并且仅在与所述选通线与所述数据图案的交叉部对应的区域中中断;

在所述选通线、所述栅电极和所述数据图案上形成栅极绝缘层, 所述栅极绝缘层在所述基板上是平坦的;

在所述栅电极上的所述栅极绝缘层上形成半导体层;

对所述栅极绝缘层进行图案化以形成分别暴露所述数据图案的两端的接触孔;

在所述栅极绝缘层上形成通过所述接触孔接触相邻的数据图案的数据连接部, 形成连接到所述数据连接部的源电极和与所述源电极隔开的漏电极, 其中, 所述数据连接部仅被设置在与所述选通线与所述数据图案的所述交叉部对应的所述区域中;

在所述栅极绝缘层上形成数据连接部之后, 在所述源电极和所述漏电极上形成钝化层, 所述钝化层包括暴露所述漏电极的漏极接触孔; 以及

形成连接到所述漏电极的像素电极,

其中, 所述像素电极位于所述钝化层上并且通过所述漏极接触孔接触所述漏电极,

其中, 所述源电极从所述数据连接部延伸并且位于所述半导体层上,

其中, 所述钝化层还位于所述数据连接部上并具有双层结构, 该双层结构具有由无机绝缘材料制成的第一层和在所述第一层上的由有机绝缘材料制成的第二层, 并且

其中, 所述像素区域仅由在第一方向上延伸的所述选通线和在第二方向上延伸且与所述选通线交叉的数据线限定, 所述数据线包括所述数据图案和所述数据连接部, 所述数据连接部与所述选通线交叠且交叉, 并且所述栅电极形成在所述像素区域中且在所述选通线与所述数据线的交叉部分处。

11. 根据权利要求10所述的方法, 其中, 蚀刻所述缓冲层以形成具有相对于所述缓冲层的表面的深度的沟槽, 以及形成填充各沟槽的选通线、栅电极和数据图案的步骤包括:

在所述缓冲层上形成光致抗蚀剂图案并且暴露对应于所述沟槽的部分;

使用所述光致抗蚀剂图案蚀刻所述缓冲层以形成所述沟槽；
在所述沟槽和所述光致抗蚀剂图案上形成催化剂层；
移除所述光致抗蚀剂图案，从而所述催化剂层留在所述沟槽中；以及
将具有留在所述沟槽中的所述催化剂层的所述基板浸没在其中溶解有金属材料的镀溶液中，并且执行非电解镀，从而将所述金属材料镀在所述沟槽中。

12. 根据权利要求10所述的方法，其中，所述深度等于或小于所述缓冲层的厚度。

13. 根据权利要求10所述的方法，其中，所述深度为0.5 μm 至5 μm 。

14. 根据权利要求11所述的方法，其中，通过涂敷Pd-Sn胶体或沉积Pd离子来形成所述催化剂层。

液晶显示器的阵列基板及其制造方法

技术领域

[0001] 本发明涉及一种液晶显示器的阵列基板,并且更具体地,涉及一种液晶显示器的阵列基板及其制造方法。

背景技术

[0002] 近来,随着信息化社会的发展,被构造为处理和显示大量信息的显示装置的领域已经得到了快速发展。特别地,液晶显示器(LCD)或有机发光二极管(OLED)近来已经发展为平板显示器(FPD),其具有优异的性能,例如,薄、轻和低功耗,并且已经取代了传统的阴极射线管(CRT)。

[0003] 在LCD当中,包括具有用作能够控制各像素的接通/关断电压的开关元件的TFT的阵列基板的主动矩阵(AM)型LCD可以具有优异的分辨率并且能够实施动态图像。

[0004] 一般来说,通过制造阵列基板和滤色器基板并且在阵列基板与滤色器基板之间插入液晶层来制造LCD。

[0005] 图1是示出根据现有技术的LCD或OLED的分解透视图。

[0006] 参考图1,阵列基板10和滤色器基板2彼此附接并且在其间插入有液晶层30。阵列基板10包括多条选通线14和多条数据线16以在第一基板12上限定多个像素区域P。薄膜晶体管T形成在选通线14与数据线16的交叉部处并且连接到像素区域P中的像素电极18。

[0007] 滤色器基板20包括对应于选通线14和数据线16以及薄膜晶体管T并且围绕像素区域P的黑色矩阵25、包括布置在各像素区域P中的红色(R) 26a、绿色(G) 26b和蓝色(B) 26c的滤色器层26以及位于黑色矩阵25和滤色器层26上的公共电极28。

[0008] 虽然在图中未示出,但是在阵列基板10与滤色器基板20之间形成有密封剂以防止液晶的泄漏,分别在阵列基板10与滤色器基板20的内表面上形成有配向层,并且偏光器分别位于阵列基板10与滤色器基板20的外表面上。

[0009] 此外,背光单元设置在阵列基板10下面。选通信号被顺序地提供给选通线14,然后对应的薄膜晶体管T被接通并且数据信号被提供给数据线16并且然后提供给像素电极18,并且因此,在像素电极18与公共电极28之间产生电场以操作液晶层30的液晶分子,从而显示图像。

[0010] 图2是示出根据现有技术的阵列基板的截面图。

[0011] 参考图2,在阵列基板10中,选通线(未示出)与数据线16彼此交叉以限定像素区域P,并且栅电极55形成在第一基板11上的像素区域P的开关区域TrA中。

[0012] 栅极绝缘层58形成在栅电极50上,并且包括由本征非晶硅制成的有源层62和由杂质掺杂非晶硅制成的欧姆接触层66的半导体层68形成在栅极绝缘层58上。

[0013] 源电极76和漏电极78彼此隔开并且形成在欧姆接触层66上。栅电极55、栅极绝缘层58、半导体层68和源电极76以及漏电极78形成薄膜晶体管Tr。

[0014] 钝化层82位于源电极76和漏电极78上并且包括暴露漏电极78的漏极接触孔85。像素电极18形成在像素区域P中并且位于钝化层82上,像素电极18通过漏极接触孔85接触漏

电极78。

[0015] 选通线具有预定的厚度和宽度,并且数据线16具有预定的厚度和宽度。

[0016] 随着LCD的尺寸的增加,选通线和数据线变得更长。这导致信号线的电阻的增大,并且因此,发生信号延迟。因此,导致了信号失真和操作缺陷,并且显示质量受到了劣化。

[0017] 为了防止这样的信号延迟,要求信号线增加厚度和/或宽度。然而,在增加宽度的情况下,开口率减小。在增加厚度的情况下,台阶部分变得较大,并且这导致了信号线上方的组件的连接中断。此外,这样的台阶部分导致信号线侧面的空隙,绝缘性能因此被劣化,并且因此,会发生信号线与将在之后形成的导电组件之间的短路。

[0018] 本发明要求2013年6月28日在韩国提交的韩国专利申请No.10-2013-0075901的优先权,通过引用将其并入这里,如在此完全阐述一样。

发明内容

[0019] 因此,本发明涉及一种LCD的阵列基板及其制造方法,其基本上避免了由于现有技术的限制和缺点导致的一个或多个问题。

[0020] 本发明的优点在于提供了一种LCD的阵列基板及其制造方法,其能够在信号线的厚度增大的情况下减少信号延迟和台阶部分。

[0021] 在随后的描述中将会部分地阐述本发明的额外的优点、目的和特征,并且部分优点、目的和特征对于已经研究过下面所述的本领域技术人员来说将是显而易见的,或者部分优点、目的和特征将通过本发明的实践来知晓。通过在给出的描述及其权利要求以及附图中特别地指出的结构可以实现并且获得本发明的目的和其它的优点。

[0022] 为了实现这些和其它优点并且根据本发明的目的,如在此具体化并且广泛描述的,一种阵列基板包括:基板,该基板包括像素区域;沟槽,其具有相对于基板的表面的深度;填充各沟槽的选通线、栅电极和数据图案,其中,数据图案位于相邻的选通线之间;栅极绝缘层,其位于选通线、栅电极和数据图案上,在基板上基本上是平坦的,并且包括分别暴露数据图案的两端的接触孔;半导体层,其位于栅电极上的栅极绝缘层上;数据连接部,其位于栅极绝缘层上并且通过接触孔接触相邻的数据图案;源电极,其从数据连接部延伸并且位于半导体层上;以及漏电极,其与源电极隔开;钝化层,其位于源电极和漏电极上并且包括暴露漏电极的漏极接触孔;以及像素电极,其位于钝化层上并且通过漏极接触孔接触漏电极。

[0023] 在另一方面,一种阵列基板包括:基板,其包括像素区域;缓冲层,其位于基板上并且包括沟槽,该沟槽具有相对于缓冲层的表面的深度;填充各沟槽的选通线、栅电极和数据图案,其中数据图案处于相邻的选通线之间;栅极绝缘层,其位于选通线、栅电极和数据图案上,在基板上基本上是平坦的,并且包括分别暴露数据图案的两端的接触孔;半导体层,其位于栅电极上的栅极绝缘层上;数据连接部,其位于栅极绝缘层上并且通过接触孔接触相邻的数据图案;源电极,其从数据连接部延伸并且位于半导体层上;以及漏电极,其与源电极隔开;钝化层,其位于源电极和漏电极上并且包括暴露漏电极的漏极接触孔;以及像素电极,其位于钝化层上并且通过漏极接触孔接触漏电极。

[0024] 在又一方面,一种制造阵列基板的方法包括:蚀刻包括像素区域的基板以形成具有相对于基板的表面的深度的沟槽;形成填充各沟槽的选通线、栅电极和数据图案,其中,

数据图案处于相邻的选通线之间；在选通线、栅电极和数据图案上形成在基板上基本上是平坦的栅极绝缘层；在栅电极上的栅极绝缘层上形成半导体层；对栅极绝缘层进行图案化以形成分别暴露数据图案的两端的接触孔；在栅极绝缘层上形成数据连接部并且数据连接部通过接触孔接触相邻的数据图案，形成从数据连接部延伸的并且位于半导体层上的源电极，并且形成与源电极隔开的漏电极；在源电极和漏电极上形成钝化层，其包括暴露漏电极的漏极接触孔；以及在钝化层上形成像素电极，其通过漏极接触孔接触漏电极。

[0025] 在又一方面中，一种制造阵列基板的方法包括：在包括像素区域的基板上形成缓冲层；蚀刻缓冲层以形成具有相对于缓冲层的表面的深度的沟槽；形成填充各沟槽的选通线、栅电极和数据图案，其中，数据图案处于相邻的选通线之间；在选通线、栅电极和数据图案上形成在基板上基本上是平坦的栅极绝缘层；在栅电极上的栅极绝缘层上形成半导体层；对栅极绝缘层进行图案化以形成分别暴露数据图案的两端的接触孔；在栅极绝缘层上形成数据连接部并且数据连接部通过接触孔接触相邻的数据图案，形成从数据连接部延伸的并且位于半导体层上的源电极，并且形成与源电极隔开的漏电极；在源电极和漏电极上形成钝化层，其包括暴露漏电极的漏极接触孔；以及在钝化层上形成像素电极，其通过漏极接触孔接触漏电极。

[0026] 将理解的是，本发明的前述一般性描述和下面的详细描述是示例性和说明性的并且意在提供如权利要求所记载的本发明的进一步说明。

附图说明

[0027] 附图被包括进来以提供本发明的进一步理解，并且被并入本申请且构成本申请的一部分，示出了本发明的实施方式，并且与说明书一起用于说明本发明的原理。

[0028] 在附图中：

[0029] 图1是示出根据现有技术的LCD或OLED的分解透视图；

[0030] 图2是示出根据现有技术的阵列基板的截面图；

[0031] 图3是示出根据本发明的第一实施方式的LCD的阵列基板的平面图；

[0032] 图4是沿着图3的线IV-IV截取的截面图；

[0033] 图5是沿着图3的线V-V截取的截面图；

[0034] 图6是示出根据本发明的第二实施方式的LCD的阵列基板的截面图；

[0035] 图7A至图7G是示出制造根据第一实施方式的LCD的阵列基板的方法的平面图；

[0036] 图8A至图8K是沿着图7A至图7G的线VIII-VIII截取的截面图；

[0037] 图9A至图9K是沿着图7A至图7G的线IX-IX截取的截面图；以及

[0038] 图10A至图10E是示出制造根据第二实施方式的LCD的阵列基板的方法的截面图。

具体实施方式

[0039] 现在将详细参考在附图中示出其示例的优选实施方式。

[0040] 图3是示出根据本发明的第一实施方式的LCD的阵列基板的平面图，图4是沿着图3的线IV-IV截取的截面图，并且图5是沿着图3的线V-V截取的截面图。为了说明的目的，像素区域P中形成有作为开关元件的薄膜晶体管Tr的区域被称为开关区域TrA。

[0041] 参考图3至图5，在作为阵列基板101的基底的绝缘基板110中形成沟槽tch。例如，

沟槽tch位于其中形成选通线113和栅电极117的区域以及形成数据线130的区域中除了选通线113和数据线130的交叉部之外的部分以及与交叉部相距预定距离的部分处。

[0042] 优选(但不要求)的是,沟槽tch可以具有大约0.5至5 μ m的深度,并且用于选通线113和数据线130的沟槽tch可以分别具有公共阵列基板的选通线或数据线所具有的宽度。

[0043] 在基板110中,选通线113、栅电极117和数据图案115填充各自的沟槽tch。选通线113、栅电极117和数据图案115可以具有由同一材料制成的单层结构,所述材料例如为铝(Al)、铝合金(例如,AlNd)、铜(Cu)和铜合金。数据图案115位于相邻的选通线113之间。

[0044] 选通线113、栅电极117和数据图案115可以具有与沟槽tch的深度相同的厚度。因此,选通线113、栅电极117和数据图案115可以相对于基板110的表面基本上是平的。

[0045] 因此,即使当选通线113、栅电极117和数据图案115具有比现有技术的选通线和数据线的厚度大得多的厚度,也几乎不会形成从基板110的表面向上突出的台阶部。因此,将在后面形成的组件基本上不会受到选通线113、栅电极117和数据图案115的影响。

[0046] 在其中形成有选通线113、栅电极117和数据图案115的基板110的整个表面上形成栅极绝缘层120。栅极绝缘层120可以由无机绝缘材料制成,所述无机绝缘材料例如为氧化硅(SiO₂)或硅氮化物(SiN_x)。

[0047] 栅极绝缘层120由于其下面的具有选通线113、栅电极117和数据图案115的基板的表面基本上是平的而基本上是平的。栅极绝缘层120具有暴露数据图案115的两端的第一接触孔ch1。

[0048] 半导体层125对应于栅电极117形成在开关区域TrA中的栅极绝缘层上。

[0049] 半导体层125包括由本征非晶硅制成的有源层125a和暴露有源层125a的中心部分的由杂质掺杂非晶硅制成的欧姆接触层125b。

[0050] 数据连接部131和源电极133以及漏电极136形成在栅极绝缘层120和半导体层125上。数据连接部131和源电极133以及漏电极136可以具有使用铝(Al)、铝合金(例如,AlNd)、铜(Cu)、铜合金、钼(Mo)和钼合金(例如,MoTi)中的至少一种的单层或多层结构。例如,数据连接部131可以是数据连接图案。数据连接部131与其两侧的相邻的数据图案115和选通线113交叠,并且通过第一接触孔ch1接触其两侧的数据图案115。源电极133连接到数据连接部131。更具体地,源电极133从数据连接部131延伸并且位于欧姆接触层125b上。漏电极136与源电极133隔开并且位于欧姆接触层125b上。

[0051] 形成在沟槽tch处的数据图案115和数据连接部131形成沿着与选通线113交叉的方向延伸的数据线130。

[0052] 栅电极117、栅极绝缘层120、半导体层125和源电极133以及漏电极136形成薄膜晶体管Tr。

[0053] 钝化层形成在数据连接部131和源电极133以及漏电极136上。钝化层包括暴露漏电极136的漏极接触孔148。

[0054] 钝化层可以是使用无机绝缘材料或有机绝缘材料的单层结构或者使用无机绝缘材料和有机绝缘材料制成的双层结构。在该实施方式中,为了说明的目的,钝化层具有双层结构,其具有由无机绝缘材料制成的第一层140和由有机绝缘材料制成的第二层145并且因此具有平坦的表面。

[0055] 在该方面,当有源层125a接触有机绝缘材料时,有源层125a的沟道部被有机绝缘

材料污染,并且因此,薄膜晶体管Tr的性质可能劣化。为了防止该问题,无机绝缘材料的第一层140首先形成并且然后在其上形成有机绝缘材料的第二层145。

[0056] 此外,使用有机绝缘材料的第二层145可以有利于特定LCD的操作。在该方面,在LCD的各种模式(例如,扭转向列模式,共面转换模式、边缘场模式等等)中,共面转换模式LCD和边缘场模式LCD为了电场的产生的均匀性和效率而优选形成在平坦表面上的像素电极,并且考虑此,第二层145用于产生平坦表面。

[0057] 像素电极150形成在第二层145上并且通过漏极接触孔148接触漏电极136。像素电极150可以由透明导电材料(例如,铟锡氧化物(ITO)或铟锌氧化物(IZO))制成。

[0058] 然而,可以能够省略钝化层。并且,在该情况下,像素电极150能够形成在例如漏电极136上并且连接到漏电极136。

[0059] 像素电极150可以在像素区域P中具有板形状,并且在该情况下,阵列基板110可以用作用于扭转向列模式LCD的阵列基板。

[0060] 然而,像素电极150可以根据LCD的模式而具有其它形状。例如,在阵列基板101用于共面转换模式LCD的情况下,像素电极150可以被构造为具有彼此隔开的多个条,并且公共电极可以被构造为具有与像素电极150的条交替的多个另外的条以产生共面电场。在该情况下,公共电极连接到公共线,并且公共线可以形成在基板110中,填充与选通线113隔开并且与其平行的对应沟槽。

[0061] 或者,在阵列基板110用于边缘场模式LCD的情况下,像素电极150可以被构造为具有板形状,并且公共电极可以被构造为具有多个条形开口以产生共面电场。在该情况下,公共电极可以形成在像素电极150上并且在其间插入有绝缘层。

[0062] 如上所述,由于沟槽tch,阵列基板101能够使用厚度是现有技术的几倍至几十倍的选通线113和数据线130。因此,即使当显示区域增大并且信号线变长时,厚度增大并且电阻变小。因此,能够防止信号延迟。

[0063] 此外,即使当选通线113和数据线130的厚度增大时,也没有产生由于此导致的台阶部。因此,防止了由于台阶部导致的信号线上方的组件的连接断开或者信号线附近的间隙。因此,能够减少产品缺陷率和生产成本。

[0064] 图6是示出根据本发明的第二实施方式的LCD的阵列基板的截面图。

[0065] 第二实施方式的阵列基板202与第一实施方式的阵列基板101类似,不同之处在于沟槽tch。可以省略与第一实施方式的部件类似的部件的说明。

[0066] 第一实施方式的沟槽tch形成在基板110中,而第二实施方式的沟槽tch形成在基板110上的缓冲层112中。缓冲层112可以由无机或有机绝缘材料制成。

[0067] 选通线113、栅电极117和数据图案115填充缓冲层112中的对应的沟槽tch。选通线113、栅电极117和数据图案115的表面可以相对于缓冲层112的表面基本上是平坦的。

[0068] 沟槽tch可以被构造为下面的基板110的表面的开口。或者,沟槽tch可以被构造为具有小于缓冲层112的厚度的厚度。

[0069] 选通线113、栅电极117和数据图案115上的分层结构与第一实施方式类似。

[0070] 第二实施方式的阵列基板201能够具有与第一实施方式101相同的优点。

[0071] 下面说明制造根据第一和第二实施方式的阵列基板的方法。

[0072] 图7A至图7G是示出制造根据第一实施方式的LCD的阵列基板的方法的平面图,图

8A至图8K是沿着图7A至图7G的线VIII-VIII截取的截面图,并且图9A至图9K是沿着图7A至图7G的线IX-IX截取的截面图。

[0073] 参考图7A、图8A和图9A,第一光致抗蚀剂层形成在由例如玻璃或塑料制成的基板110上,并且然后执行曝光和显影以在除了其中形成选通线113、栅电极117和数据图案115的区域之外的区域处形成第一光致抗蚀剂图案181。换言之,第一光致抗蚀剂图案181暴露其中形成选通线113、栅电极117和数据图案115的区域。

[0074] 参考图7A、图8B和图9B,使用第一光致抗蚀剂图案181蚀刻基板110以形成沟槽tch。沟槽tch可以具有大约5 μ m至大约15 μ m的宽度和0.5 μ m至5 μ m的深度。

[0075] 对应于选通线113的沟槽tch沿着作为选通线113的延伸方向的第一方向延伸而没有中断。对应于数据图案115的沟槽tch沿着与第一方向交叉的第二方向延伸并且相对于用于选通线113的各沟槽分离。

[0076] 参考图7A、图8C和图9C,在具有第一光致抗蚀剂图案181的基板110上整体地形成催化剂层185。例如,催化剂层185可以由钯(Pd)族材料制成,并且可以通过涂敷Pd-Sn胶体或沉积Pd离子(例如,Pd²⁺)来形成。

[0077] 参考图7A、图8D和图9D,执行剥离处理以移除第一光致抗蚀剂层181。

[0078] 因此,第一光致抗蚀剂图案181上的催化剂层185被移除,并且因此,催化剂层185留在沟槽tch的内表面上,并且沟槽tch外部的基板110的表面被暴露并且其上没有催化剂层185。

[0079] 参考图7B、图8E和图9E,具有处于沟槽tch中的催化剂层185的基板110浸没在包含其中溶解有低电阻的至少一种金属材料(例如,铝(Al)、铝合金、铜和铜合金离子中的至少一种)的镀溶液的箱195中,并且执行非电解镀。

[0080] 通过非电解镀,金属离子被选择性地镀在其中具有催化剂层185的沟槽tch中但是没有镀在基板110的不具有催化剂层185的表面上。

[0081] 因此,当非电解镀结束时,选通线113、栅电极117和数据图案115形成为填充对应的沟槽tch。

[0082] 参考图7B、图8F和图9F,栅极绝缘层120整体地形成在具有选通线113、栅电极117和数据图案115的基板110上。栅极绝缘层120可以由无机绝缘材料(例如,硅氧化物(SiO₂)或硅氮化物(SiN_x))制成。

[0083] 由于栅极绝缘层下面的选通线113、栅电极117和数据图案115的表面相对于基板110的表面是基本上平的,因此栅极绝缘层120在基板110上基本上是平坦的而没有台阶部。

[0084] 参考图7C、图8G和图9G,本征非晶硅层和杂质掺杂非晶硅层形成在栅极绝缘层120上,并且然后执行掩蔽处理以形成有源层125a并且在有源层125a上形成杂质掺杂非晶硅图案124。

[0085] 参考图7D、图8H和图9H,对于具有有源层125a和杂质掺杂非晶硅图案124的基板110执行掩蔽处理以移除栅极绝缘层120的对应于数据图案115的末端的部分,并且形成暴露数据图案115的两端中的每一个的第一接触孔ch1。

[0086] 参考图7E、图8I和图9I,第二金属层形成在具有第一接触孔ch1的基板110上。可以通过沉积来自包括铝(Al)、铝合金、铜、铜合金、钼和钼合金的金属材料组中的至少一种来形成第二金属层。

[0087] 对于第二金属层执行掩蔽处理以形成数据连接部131和源电极133和漏电极136。数据连接部131与对应的选通线131交叉,并且通过各第一接触孔ch1在其两侧接触数据图案115以连接数据图案115。源电极133从数据连接部131分开,并且漏电极136与源电极133隔开。源电极133和漏电极136形成在杂质掺杂非晶硅图案124上。

[0088] 数据图案115和数据连接部131沿着第二方向交替并且连接以形成各数据线130。

[0089] 然后,在源电极133与漏电极136之间暴露的杂质掺杂非晶硅图案124的部分被移除以在源电极133和漏电极136中的每一个下面形成欧姆接触层125b并且暴露有源层125a的中心部分。

[0090] 有源层125a和欧姆接触层125b形成半导体层125。开关区域TrA中的栅电极117、栅极绝缘层120、半导体层125和源电极133以及漏电极136形成薄膜晶体管Tr。

[0091] 参考图7F、图8J和图9J,第一钝化层140形成在具有源电极133和漏电极136的基板110上,并且然后在第一钝化层140上形成第二钝化层145。第一钝化层140可以由无机绝缘材料(例如,硅氧化物(SiO_2)或硅氮化物(SiN_x))制成,并且第二钝化层145可以由有机绝缘材料(例如,光敏性亚克力)制成。

[0092] 对于第一钝化层140和第二钝化层145执行掩蔽处理以形成暴露漏电极136的漏极接触孔148。

[0093] 参考图7G、图8K和图9K,透明导电材料层形成在第二钝化层145上并且在掩蔽处理中进行图案化以在像素区域P中形成像素电极150。像素电极150通过漏极接触孔148接触漏电极136。

[0094] 然而,能够省略钝化层。并且,在该情况下,透明导电材料层能够形成在例如漏电极136上并且在掩蔽处理中进行图案化以在像素区域P中形成像素电极150。像素电极150连接到漏电极136。

[0095] 通过上述处理,能够制造阵列基板101。如上的阵列基板101可以用于扭转向列模式LCD。

[0096] 或者,像素电极150形成为在像素区域中具有多个条,并且可以以形成像素电极150的同一处理形成公共电极,以具有与像素电极150的条交替的多个另外的条。具有上述构造的阵列基板110可以用于共面转换模式LCD。

[0097] 在用于共面转换模式LCD的阵列基板110的情况下,可以在形成选通线113的处理中形成公共线,可以在形成钝化层140和145的漏极接触孔148的处理中形成公共接触孔,并且公共电极可以通过公共接触孔接触公共线。

[0098] 或者,在形成像素电极150之后,在像素电极150上形成绝缘层,并且然后,在绝缘层上形成公共电极以在像素电极150上具有多个条形开口。具有上述构造的阵列基板110可以用于边缘场模式LCD。

[0099] 图10A至图10E是示出制造根据第二实施方式的LCD的阵列基板的方法的截面图。

[0100] 制造第二实施方式的阵列基板的方法包括在缓冲层而不是基板中形成沟槽,并且在缓冲层中形成沟槽之后的处理与第一实施方式类似并且可以省略其说明。

[0101] 参考图10A,缓冲层112形成在基板110上。缓冲层112可以由无机绝缘材料(例如,硅氧化物(SiO_2)或硅氮化物(SiN_x))或有机绝缘材料(例如,光敏性亚克力、聚合物或聚苯乙烯)制成。

[0102] 缓冲层112可以具有等于或大于将在后面形成的选通线113、栅电极117和数据图案115的厚度。

[0103] 然后,光致抗蚀剂层形成在缓冲层112上并且在掩蔽处理中进行图案化以在除了其中形成选通线113、栅电极117和数据图案115的区域之外的区域处形成第一光致抗蚀剂图案181。换言之,第一光致抗蚀剂图案181暴露其中形成选通线113、栅电极117和数据图案115的区域。

[0104] 参考图10B,利用第一光致抗蚀剂图案181作为蚀刻掩模来蚀刻缓冲层112以形成沟槽tch。沟槽tch可以具有大约0.5 μ m至5 μ m的深度。沟槽tch可以通过完全地移除缓冲层112来暴露基板110或者可以通过部分地移除缓冲层112而不暴露基板110。

[0105] 参考图10C,在第一光致抗蚀剂图案181中并且在沟槽tch中整体地形成催化剂层185。例如,催化剂层185可以由钯(Pd)族材料制成,并且可以通过涂敷Pd-Sn胶体或沉积Pd离子(例如,Pd²⁺)来形成。

[0106] 参考图10D,执行剥离处理以移除第一光致抗蚀剂层181。

[0107] 因此,第一光致抗蚀剂图案181上的催化剂层185被移除,并且因此,催化剂层185留在沟槽tch的内表面上,并且沟槽tch外部的缓冲层112的表面被暴露并且其上没有催化剂层185。

[0108] 参考图10E,具有位于沟槽tch中的催化剂层185的基板110被浸没在包含其中溶解有低电阻的至少一种金属材料(例如,铝(Al)、铝合金、铜和铜合金离子中的至少一种)的镀溶液的箱195中,并且执行非电解镀。

[0109] 通过非电解镀,金属离子被选择性地镀在其中具有催化剂层185的沟槽tch中但是没有镀在缓冲层112的不具有催化剂层185的表面上。

[0110] 因此,当非电解镀结束时,选通线113、栅电极117和数据图案115形成为填充对应的沟槽tch。

[0111] 可以参考第一实施方式的方法来描述后面的处理。

[0112] 如上所述,由于沟槽tch,阵列基板101能够使用厚度是现有技术的几倍至几十倍的选通线和数据线。因此,即使当显示区域增大并且信号线变长时,厚度增大并且电阻变小。因此,能够防止信号延迟。

[0113] 此外,即使当选通线和数据线的厚度增大时,也没有产生由于此导致的台阶部。因此,防止了由于台阶部导致的信号线上方的组件的连接断开或者信号线附近的空隙。因此,能够减少产品缺陷率和生产成本。

[0114] 对于本领域技术人员来说显而易见的是,在不偏离本发明的精神或范围的情况下能够在本发明中进行各种修改和变化。因此,本发明意在涵盖本发明的修改和变化,只要它们落入所附权利要求及其等同物的范围内即可。

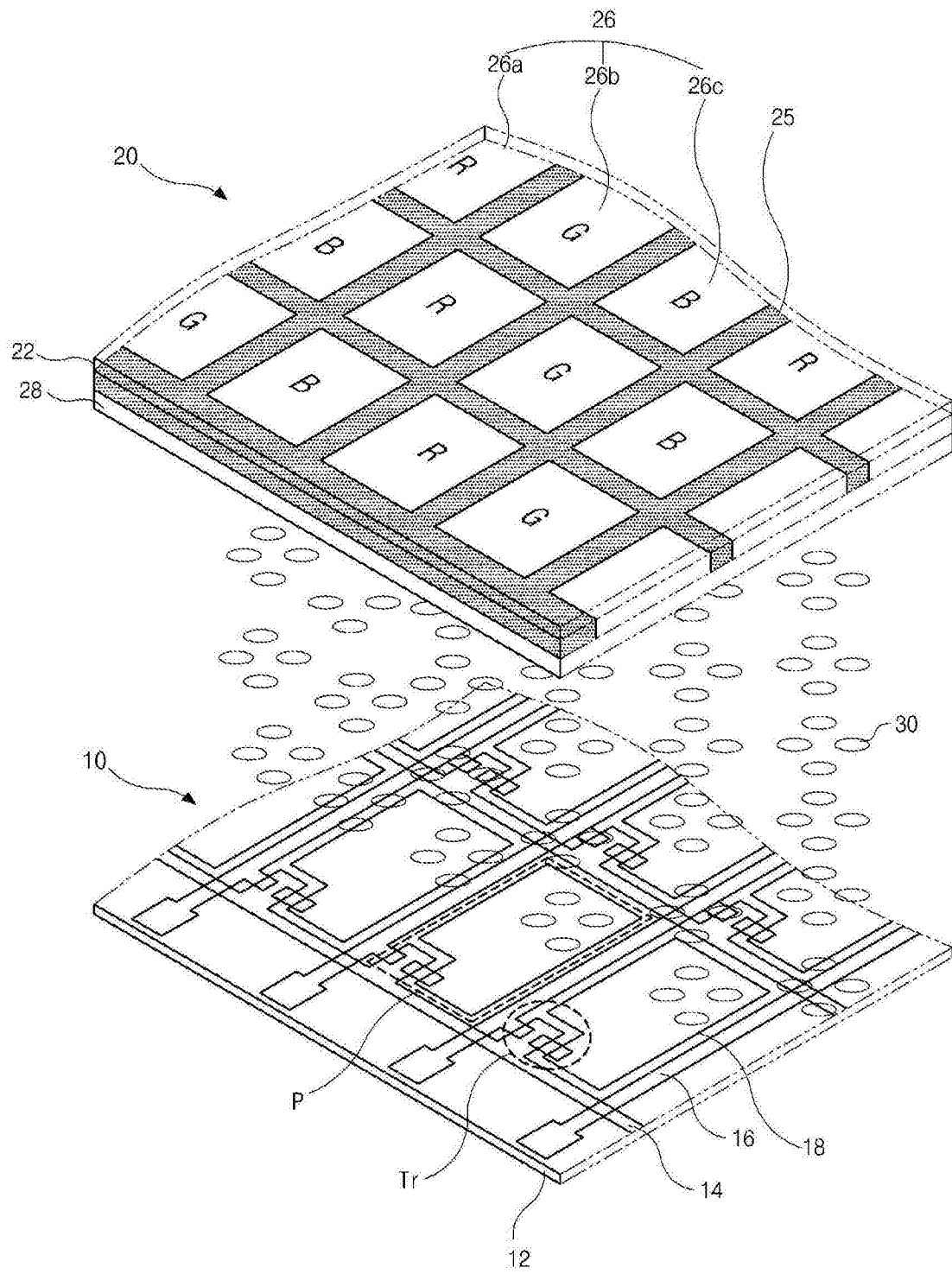


图1

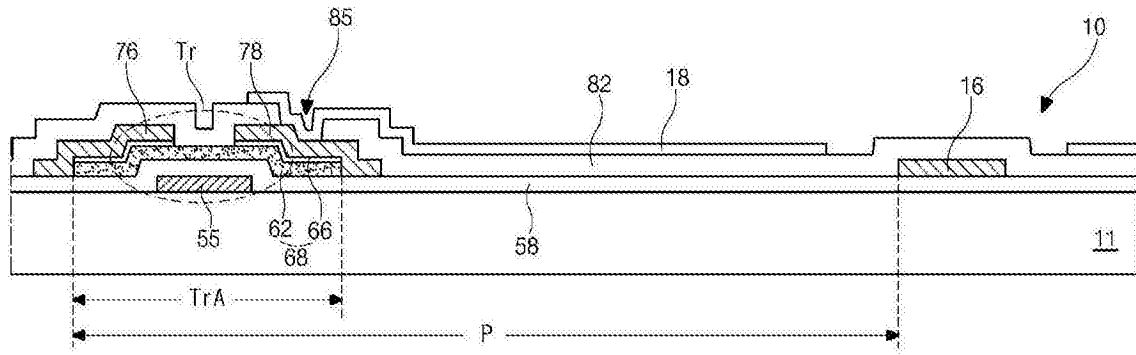


图2

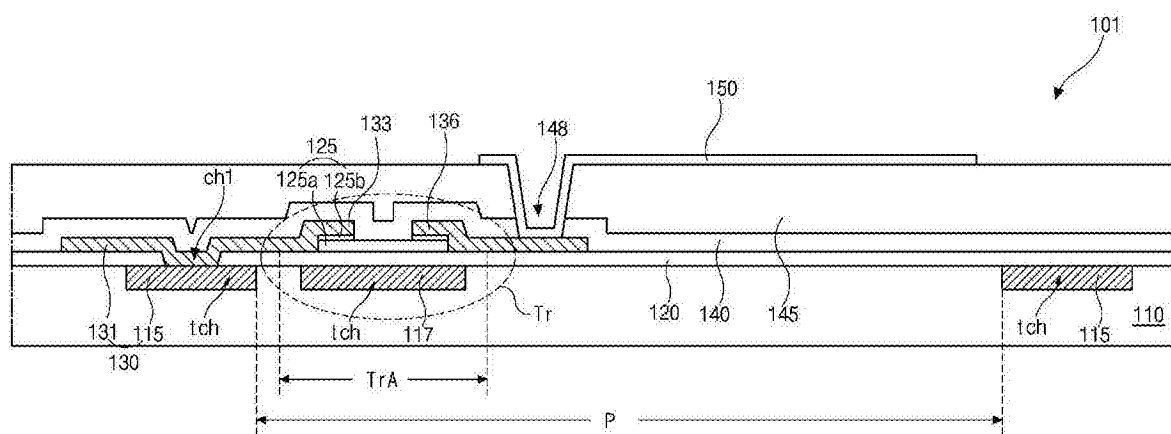


图4

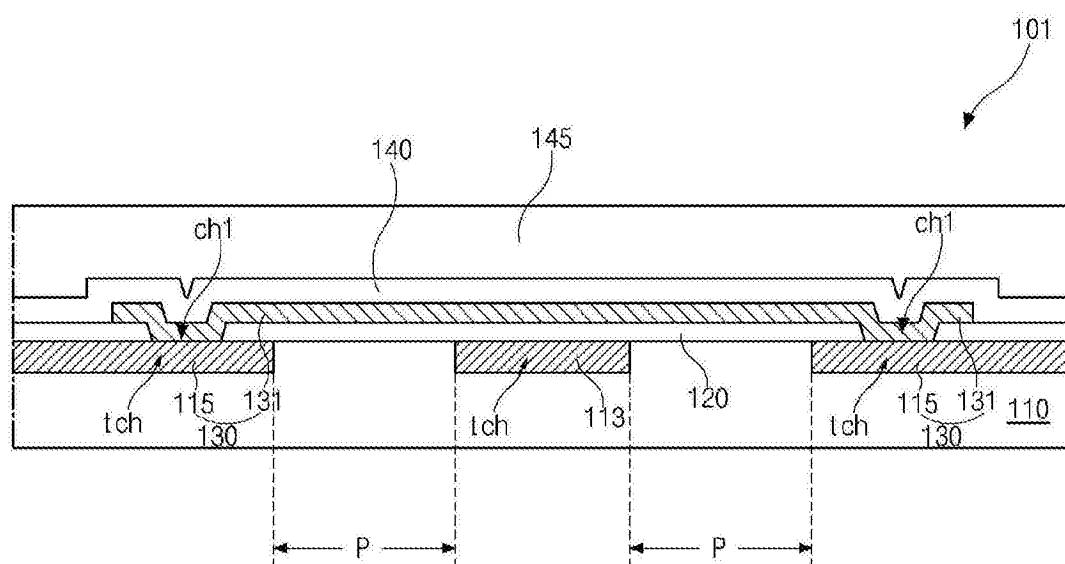


图5

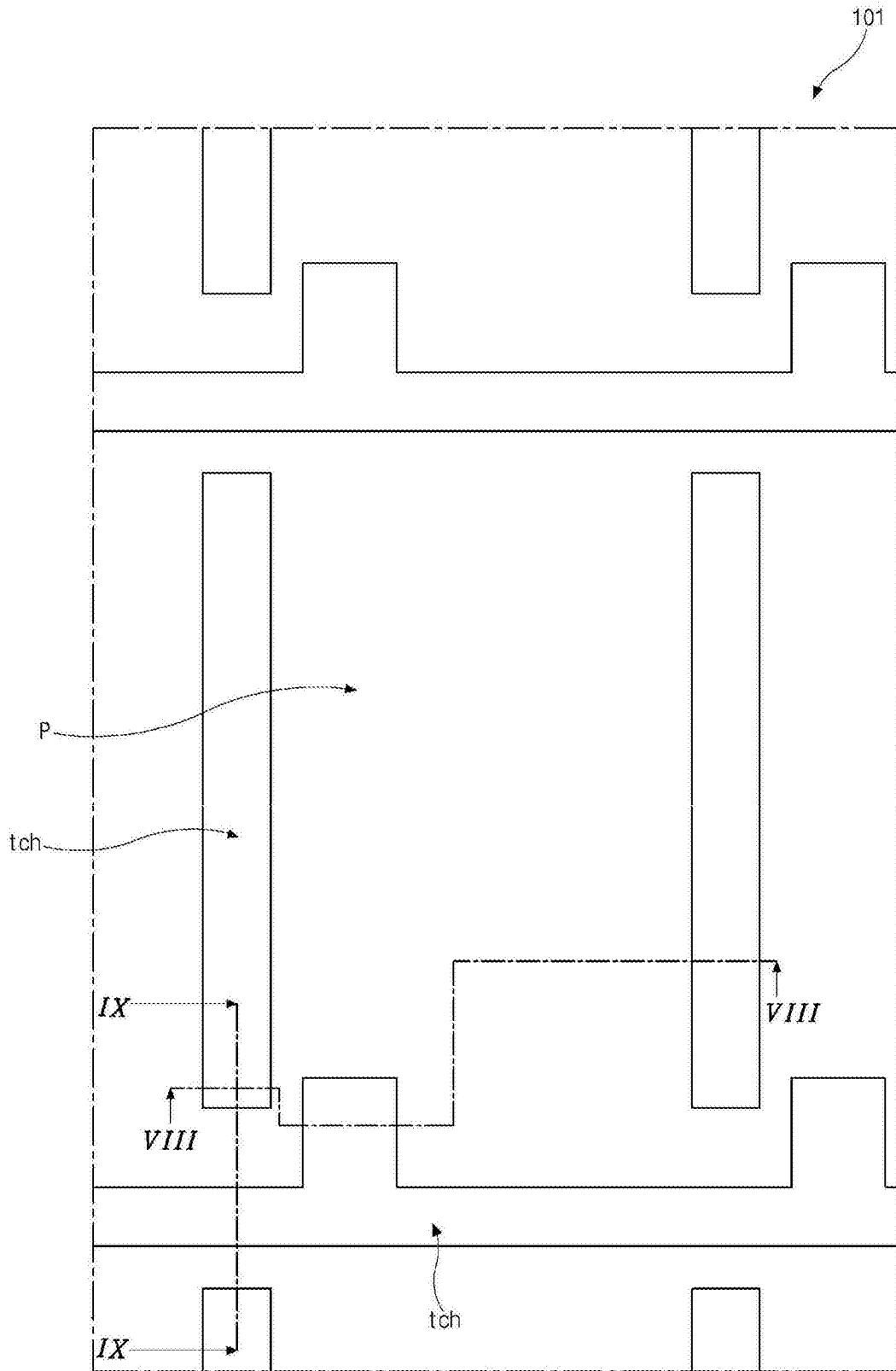


图7A

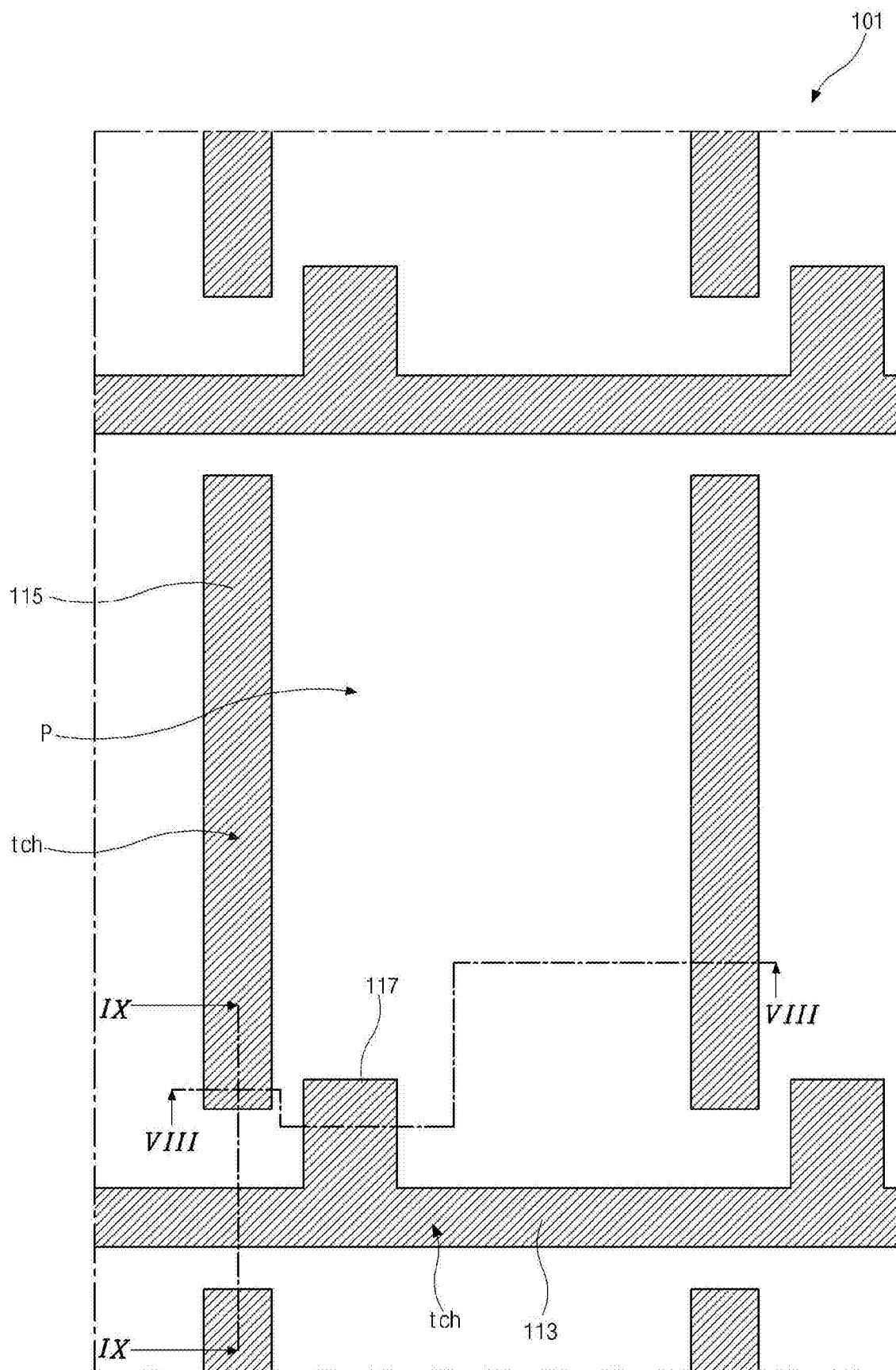


图7B

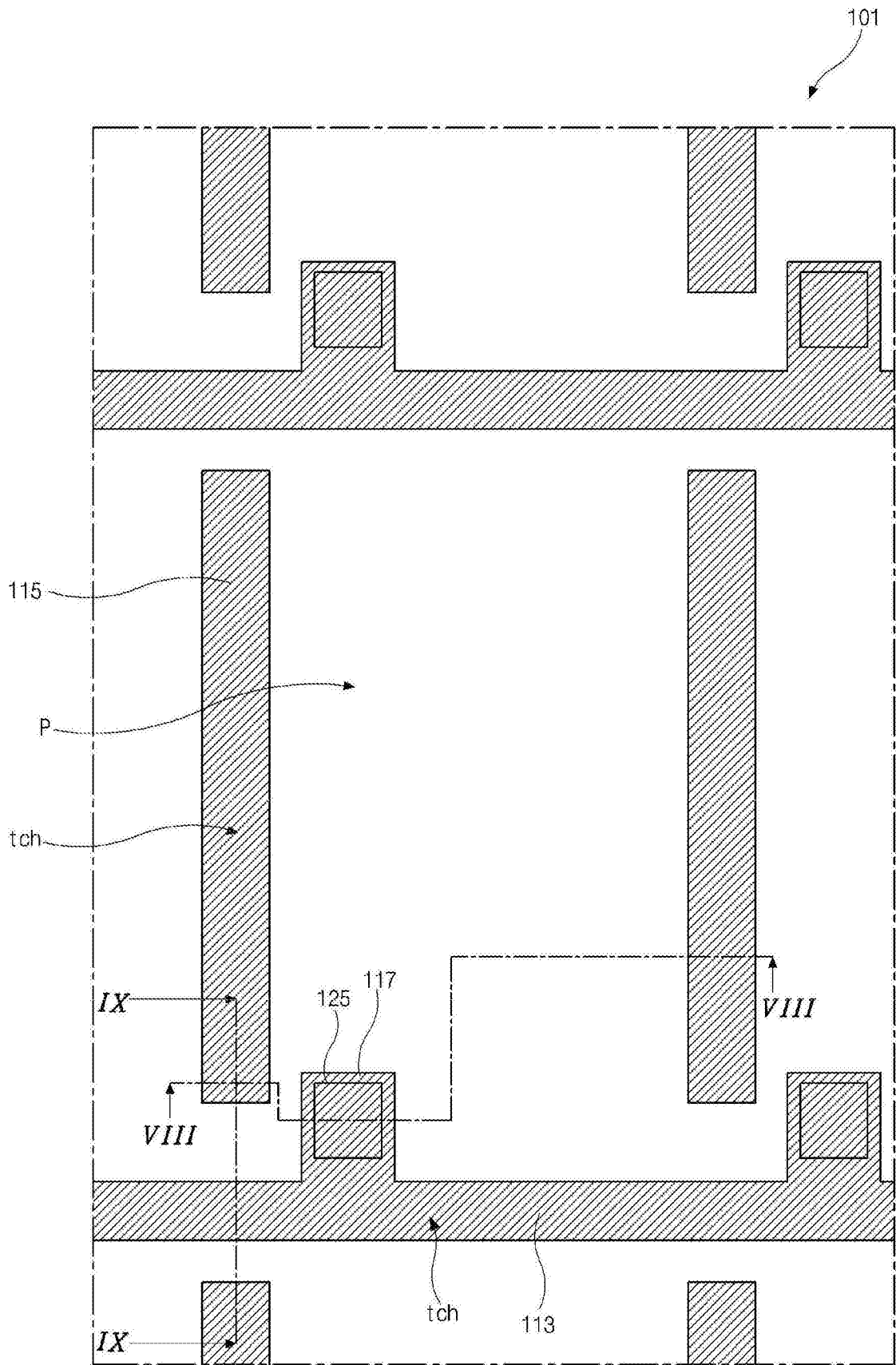


图7C

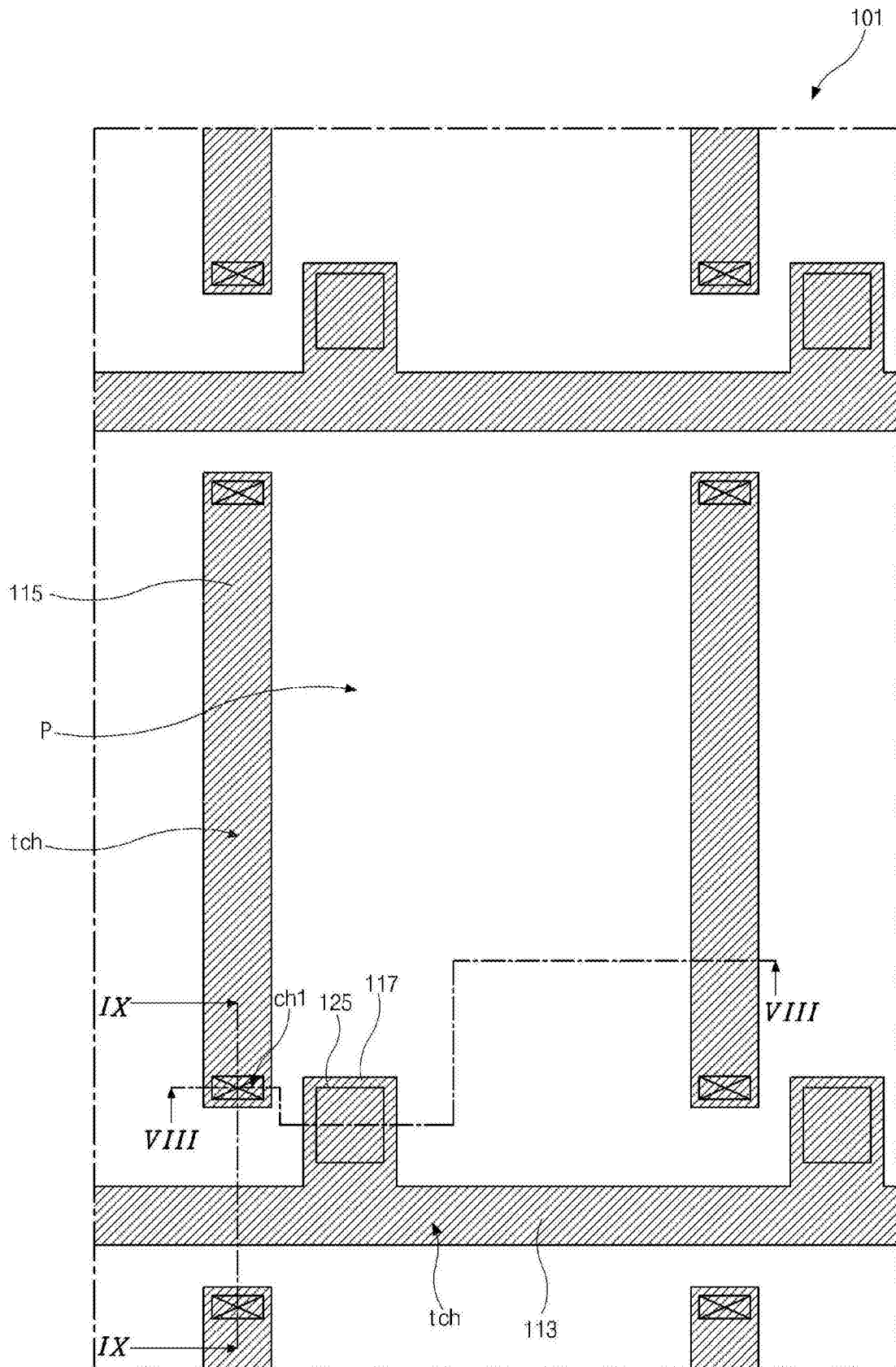


图7D

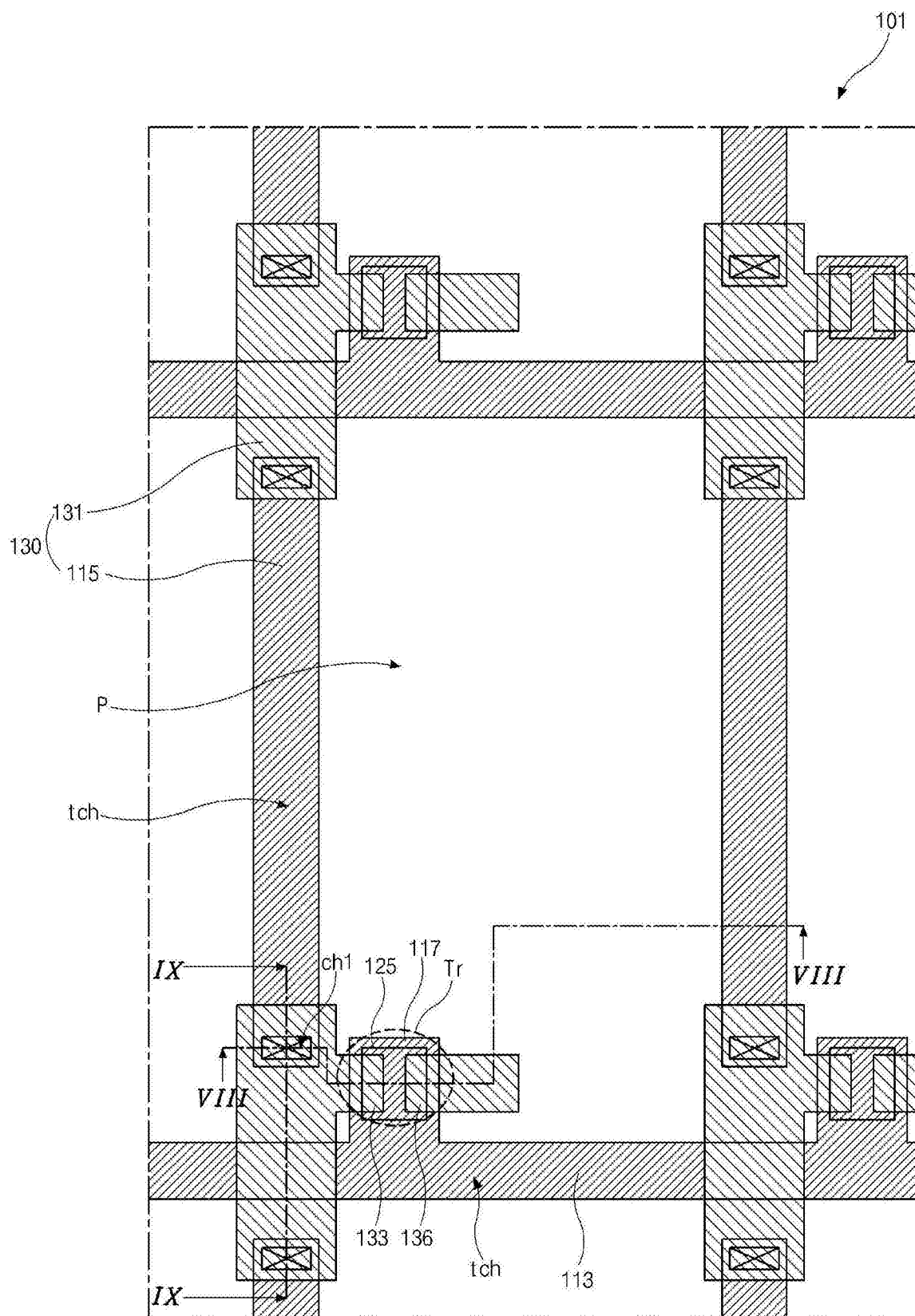


图7E

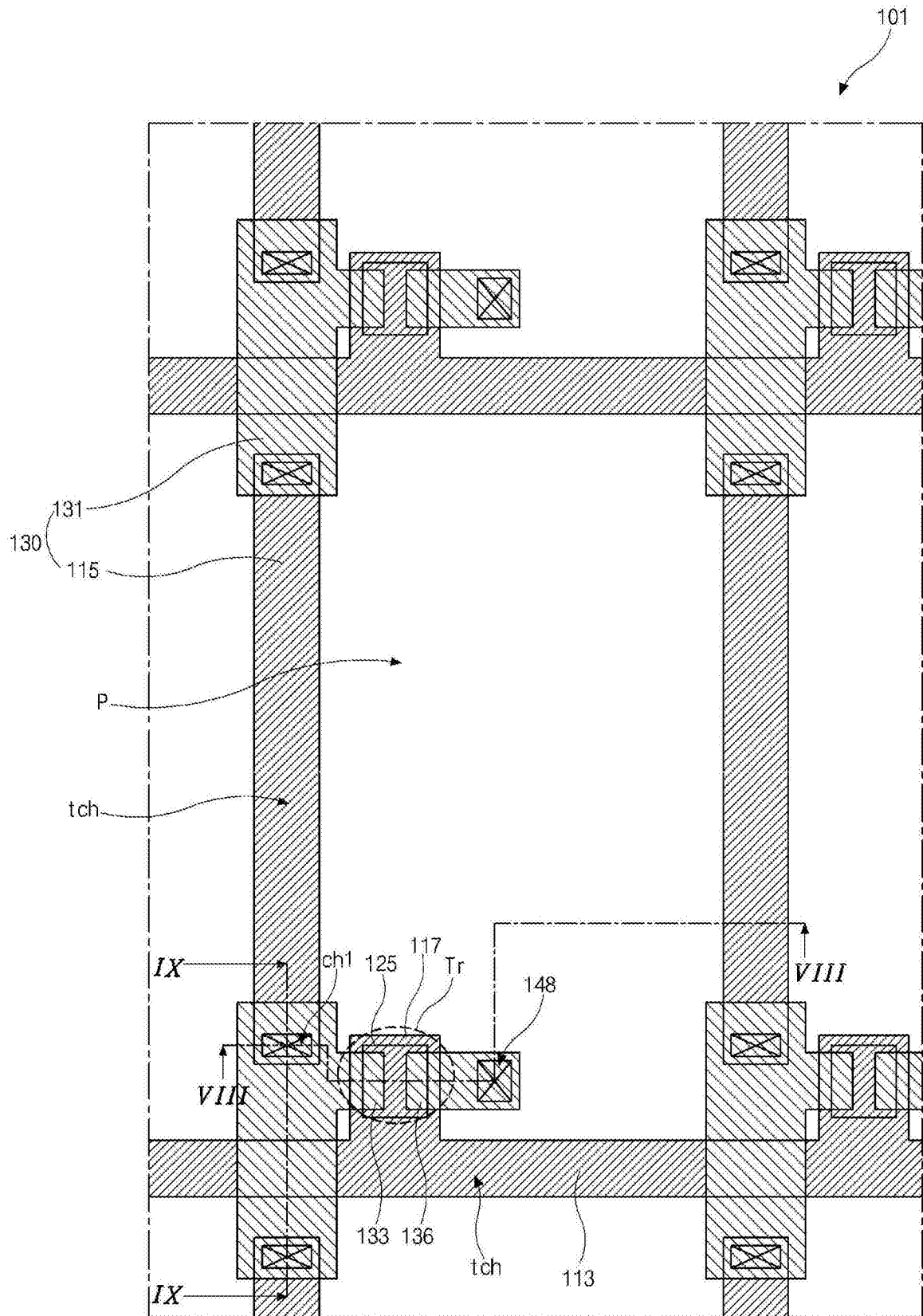


图7F

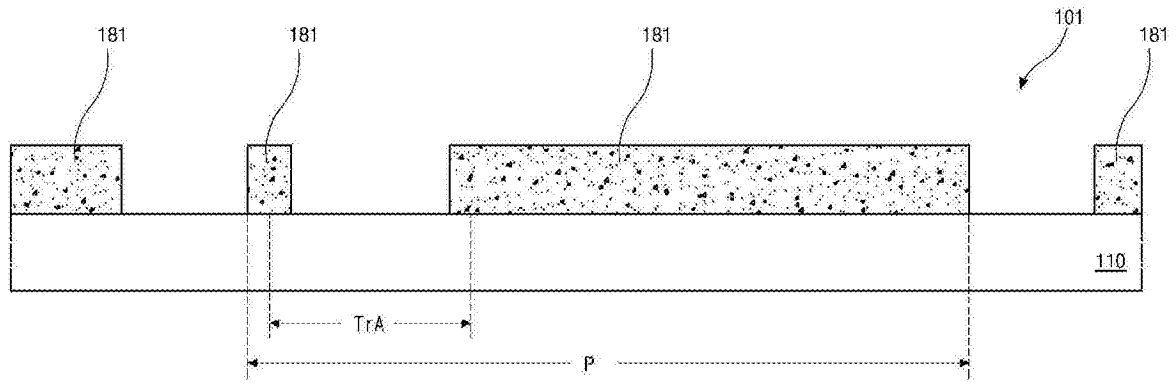


图8A

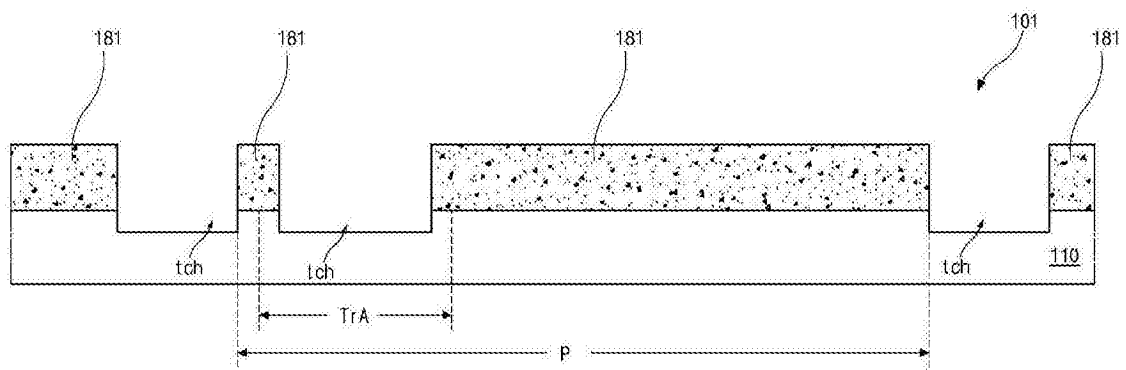


图8B

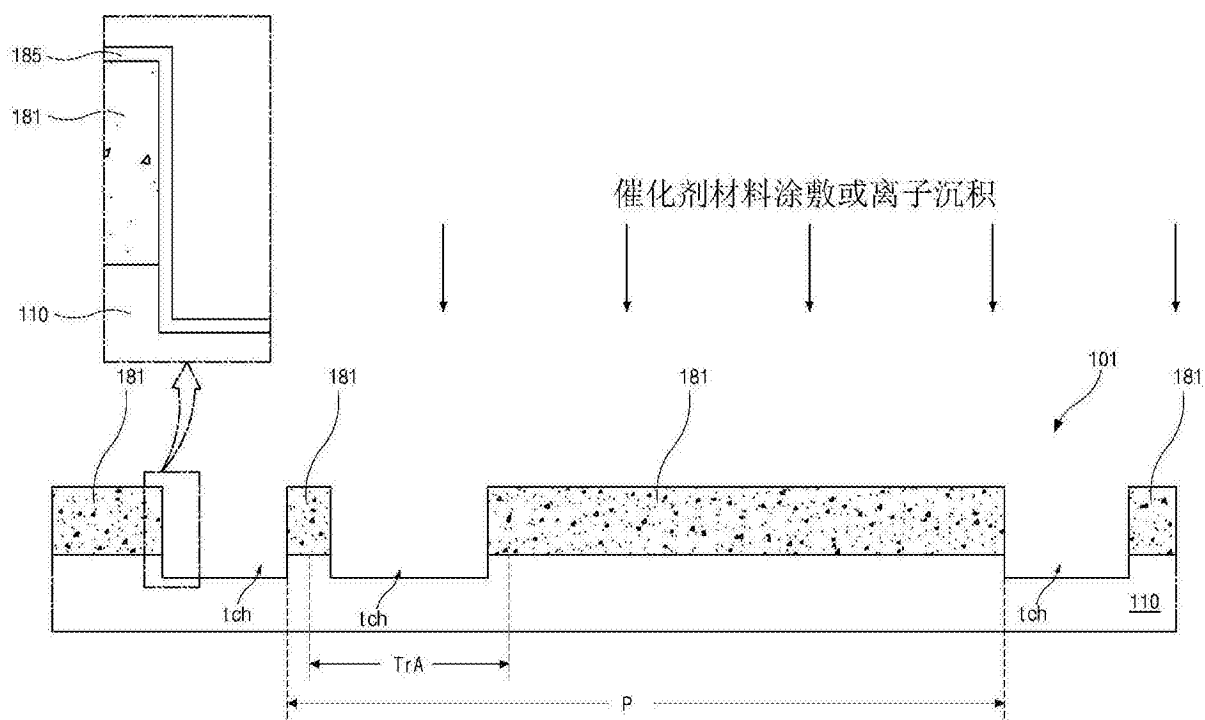


图8C

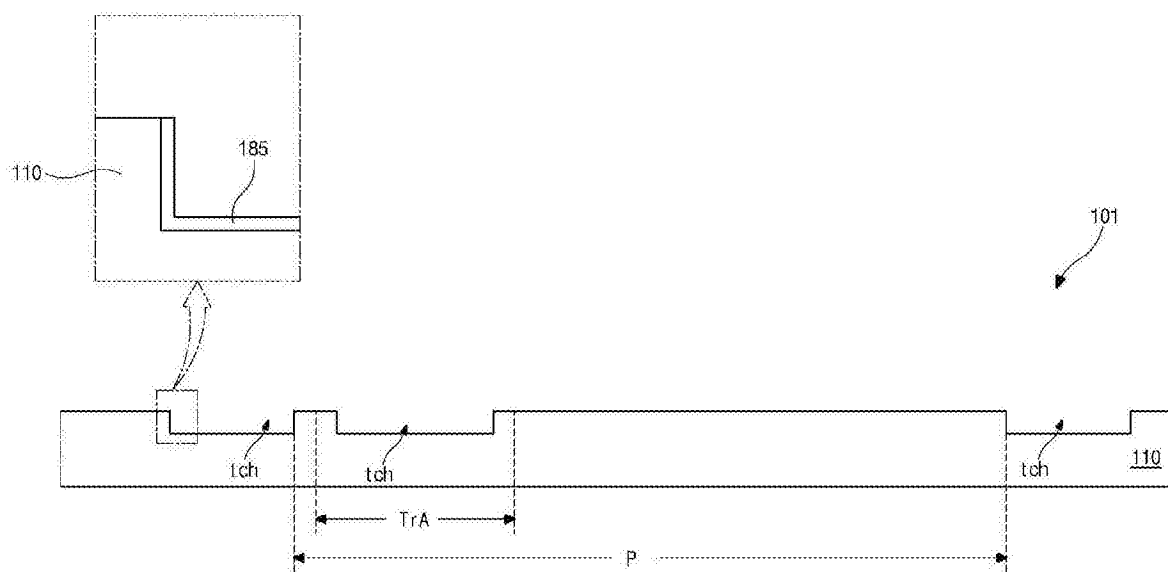


图8D

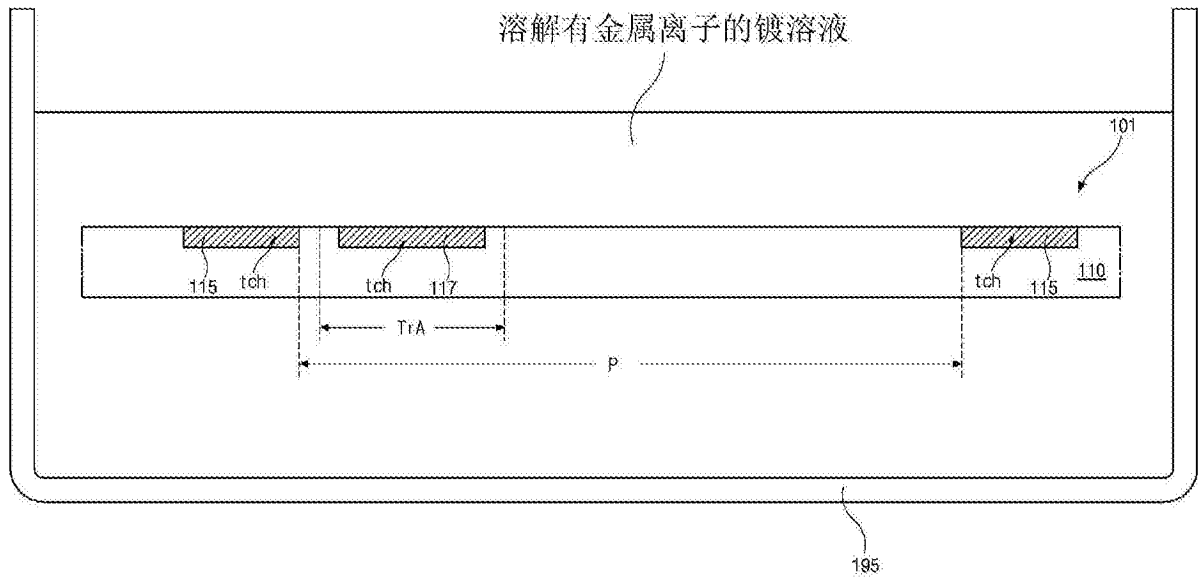


图8E

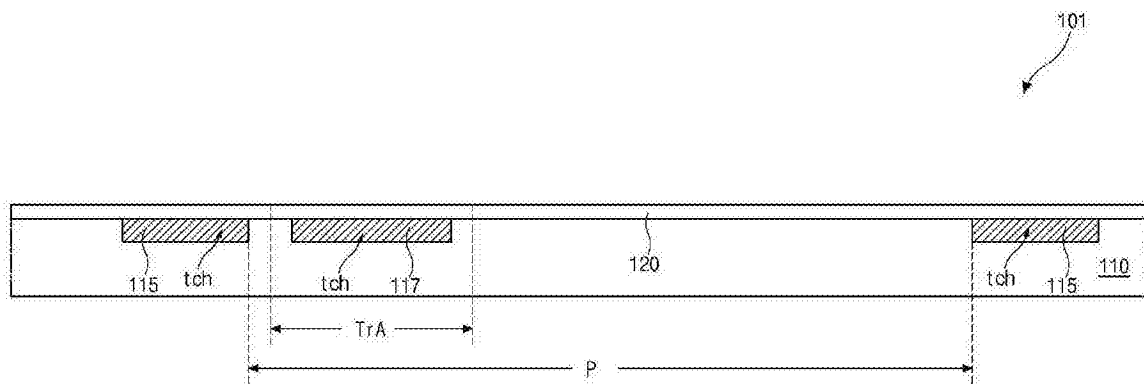


图8F

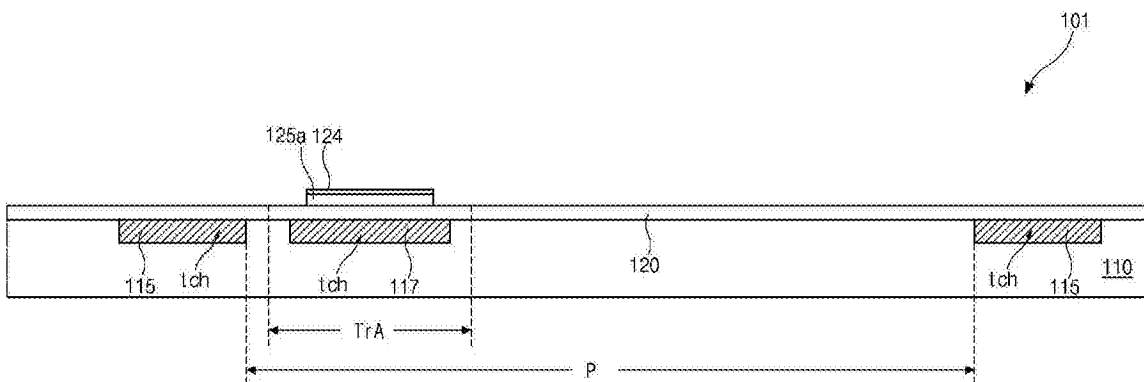


图8G

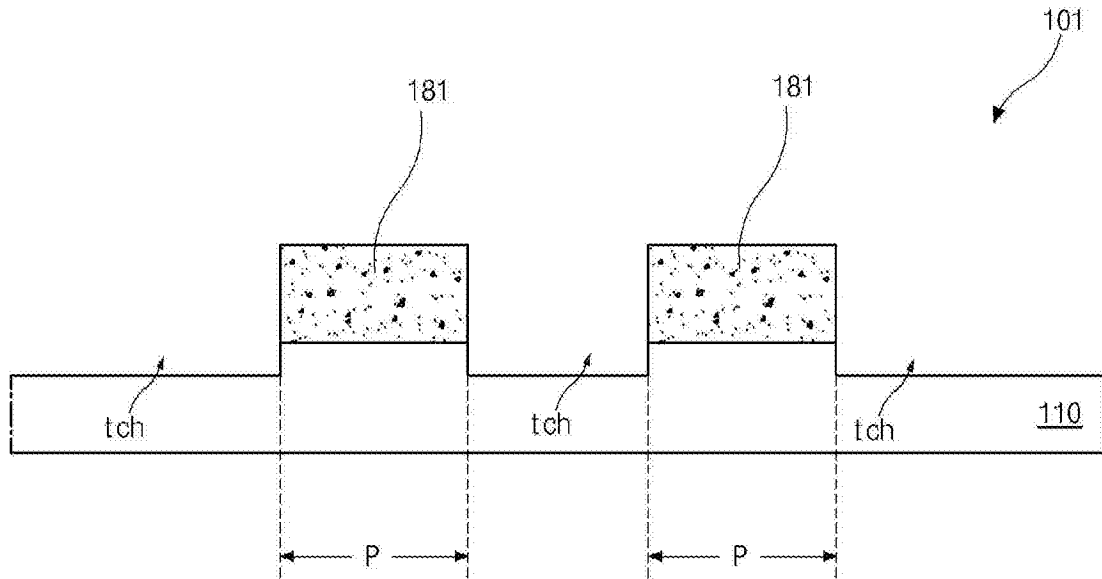


图9B

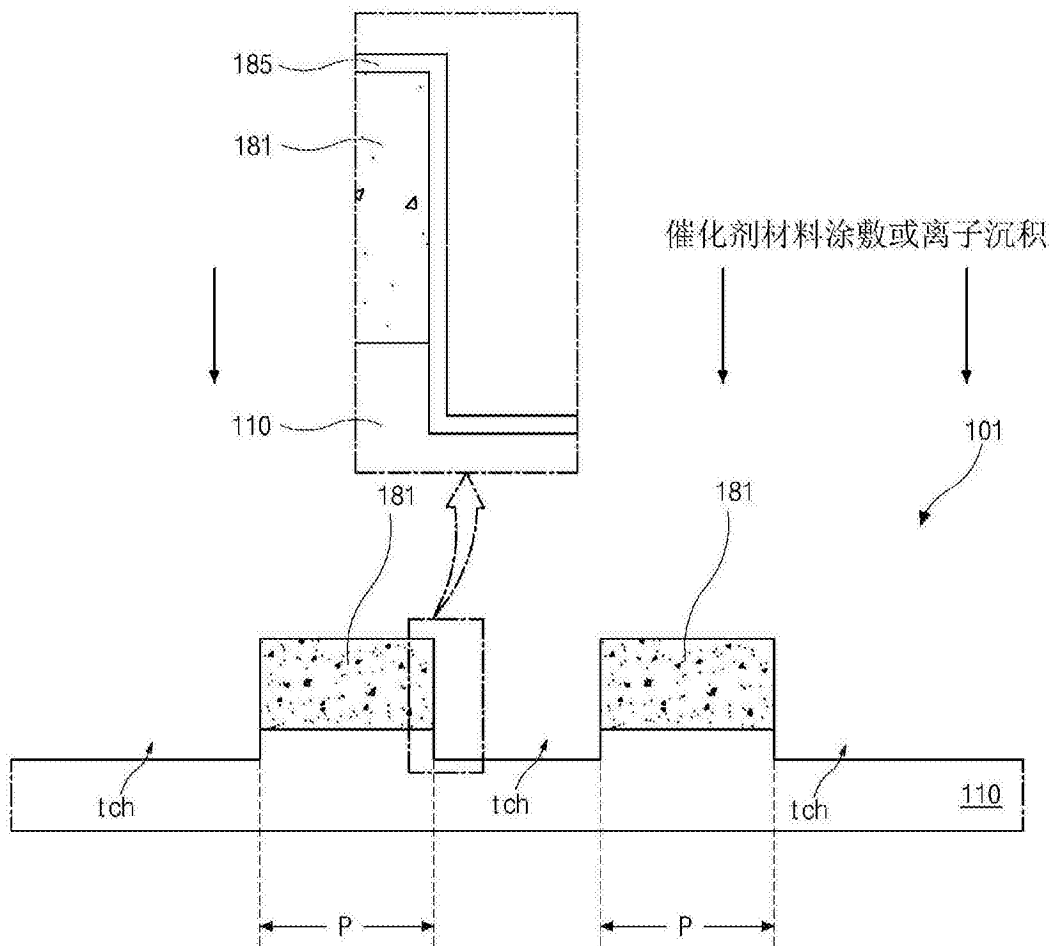


图9C

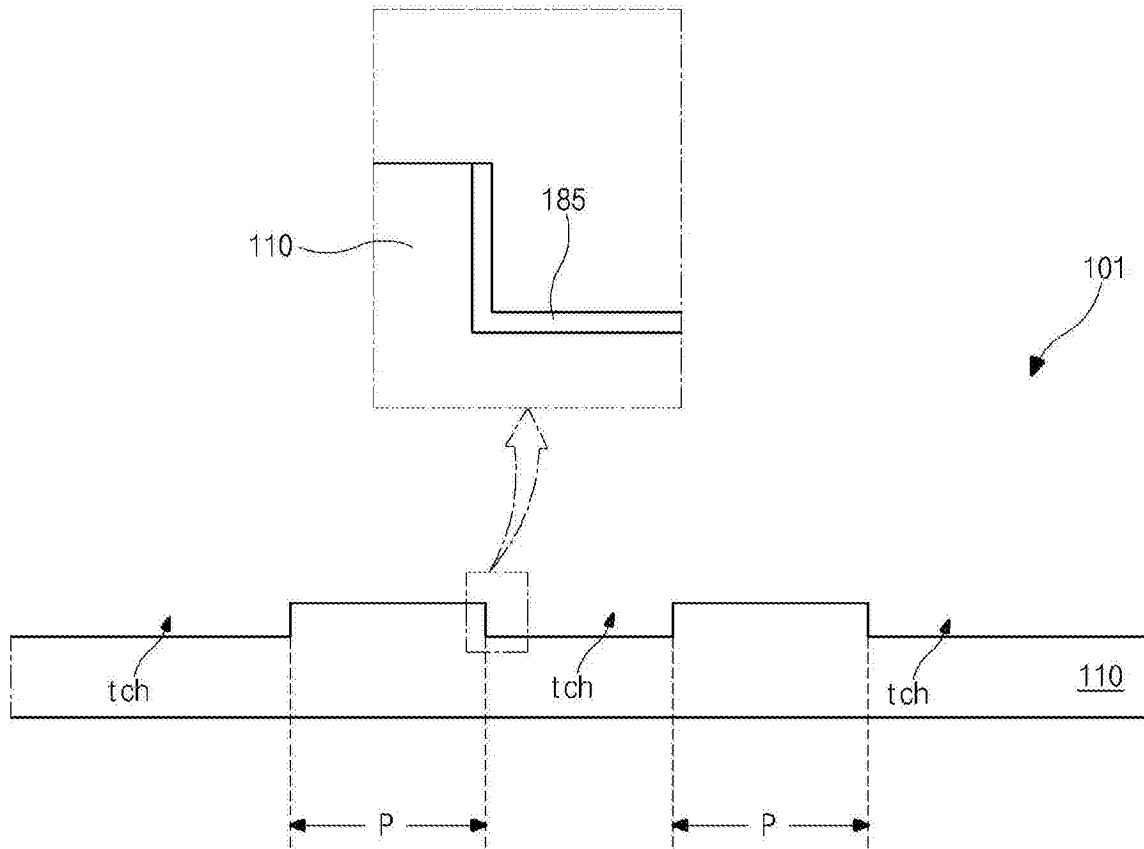


图9D

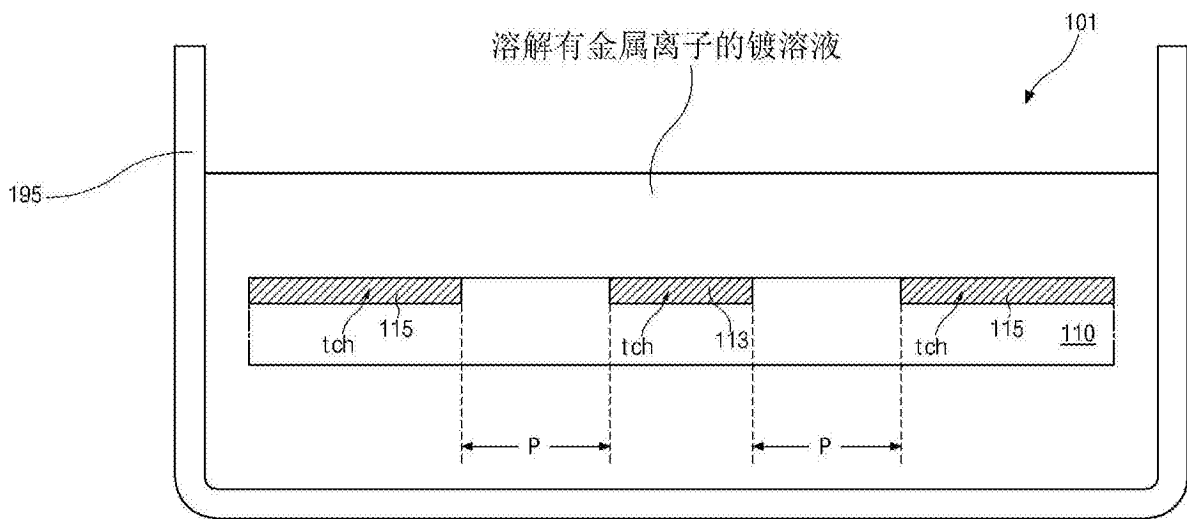


图9E

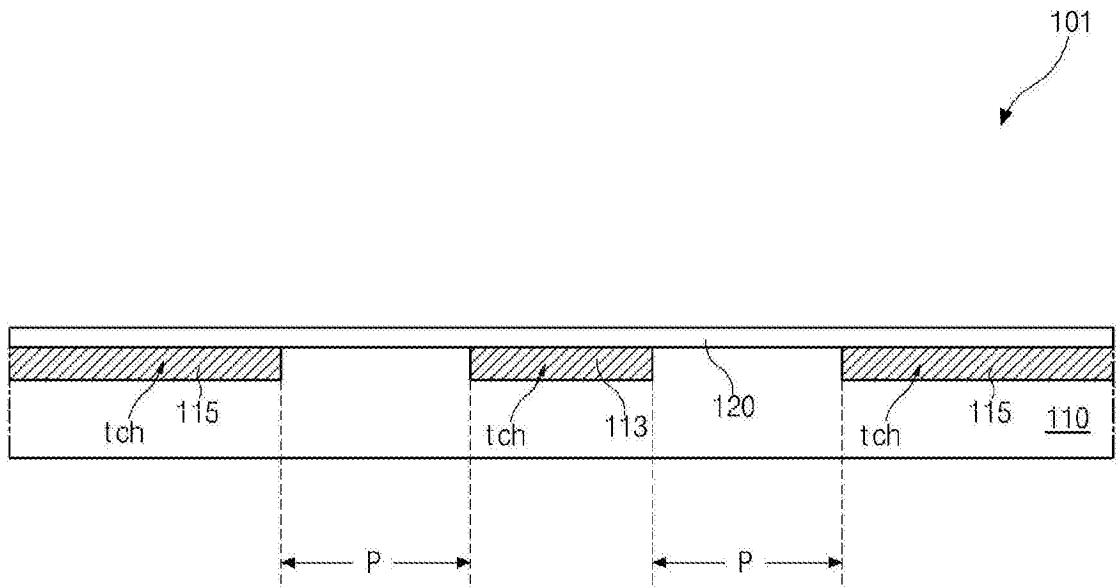


图9F

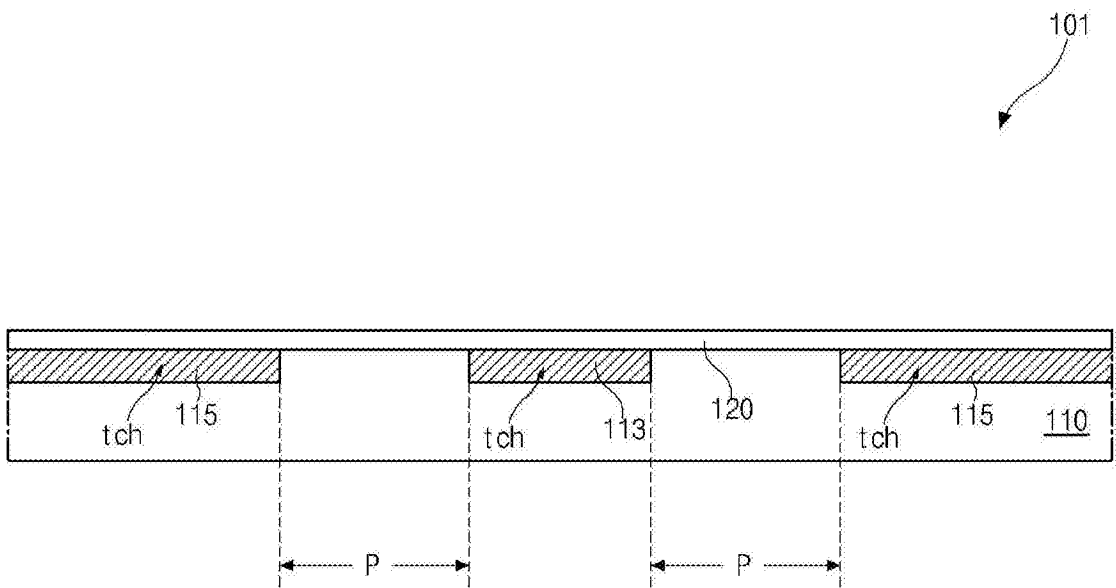


图9G

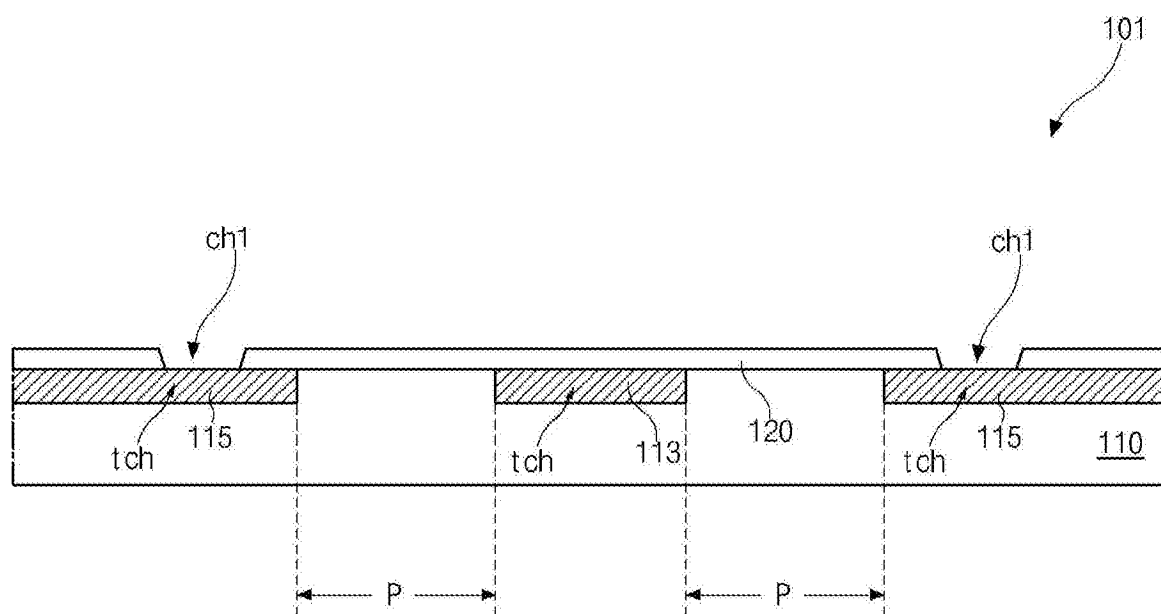


图 9H

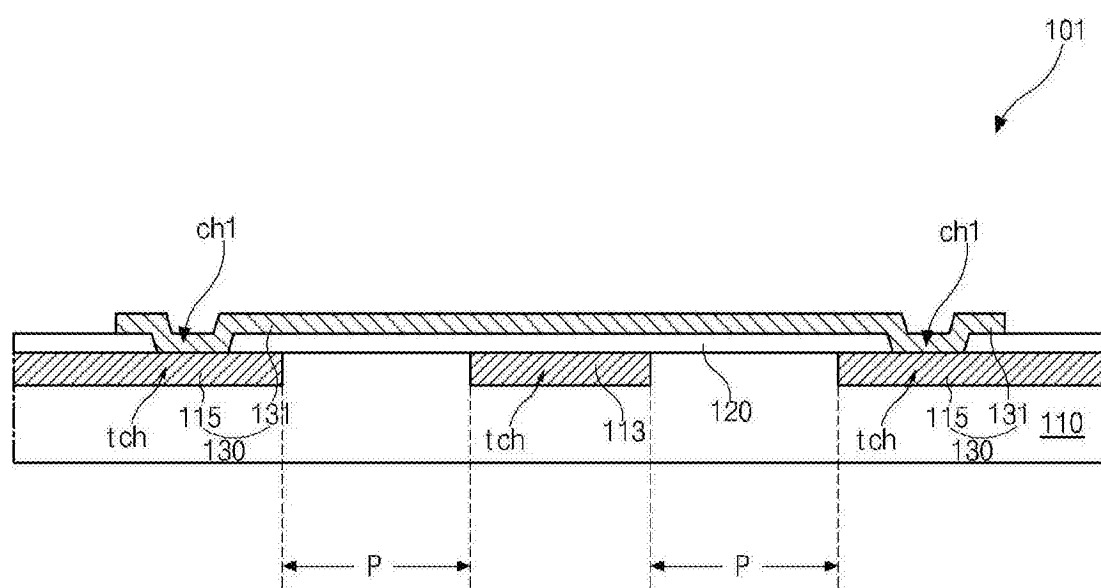


图9I

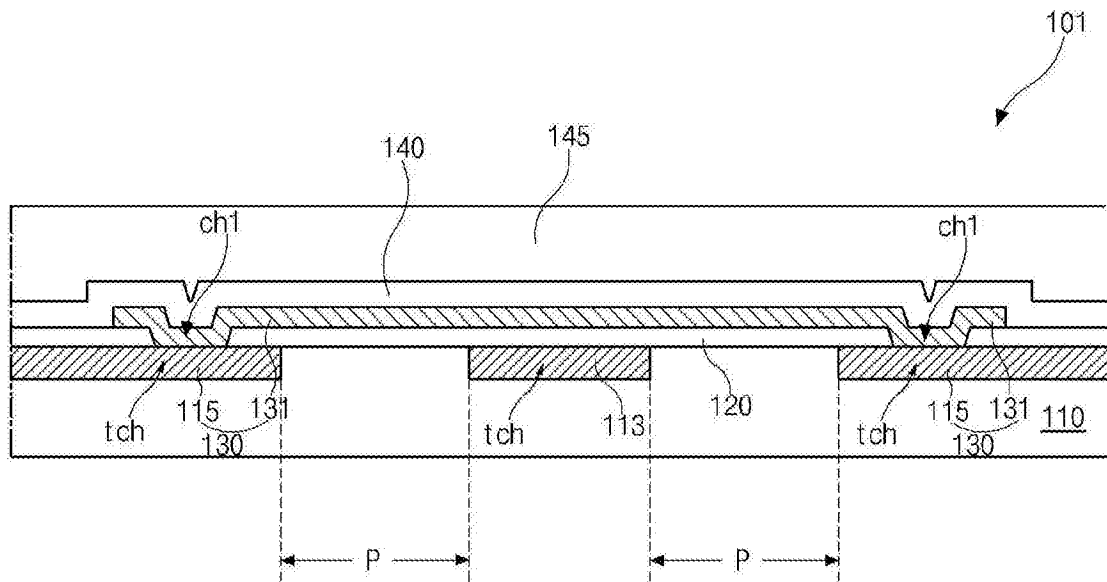


图9J

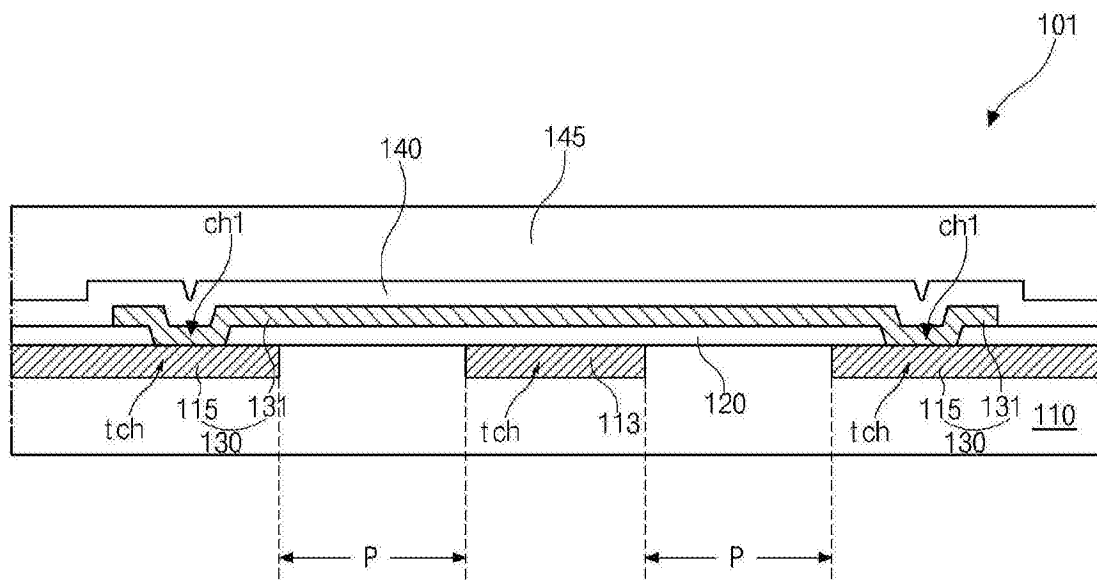


图9K

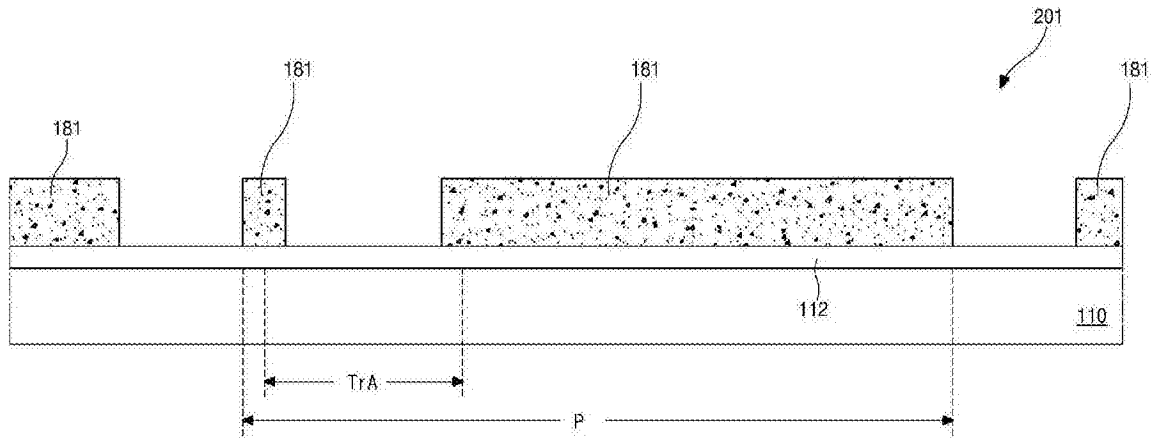


图10A

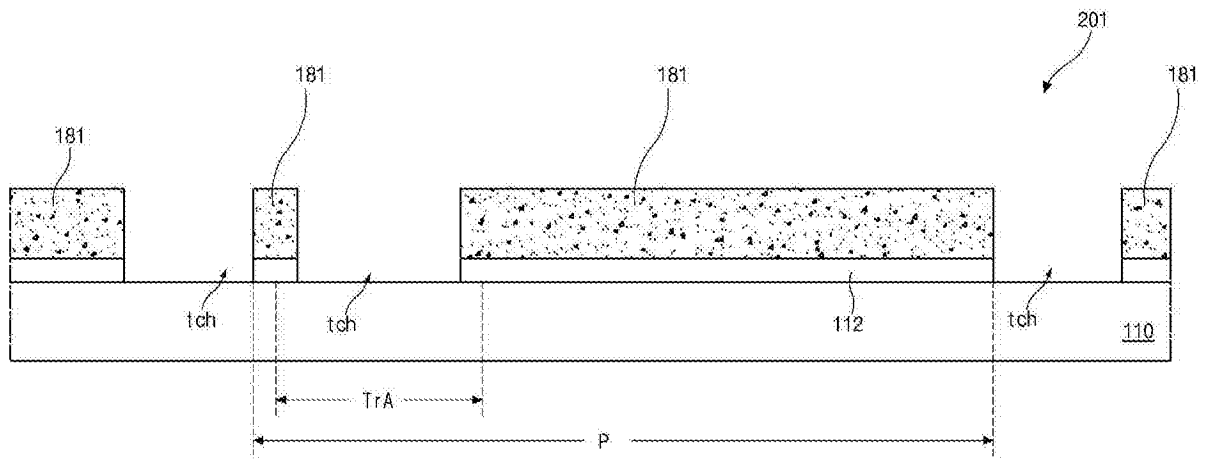


图10B

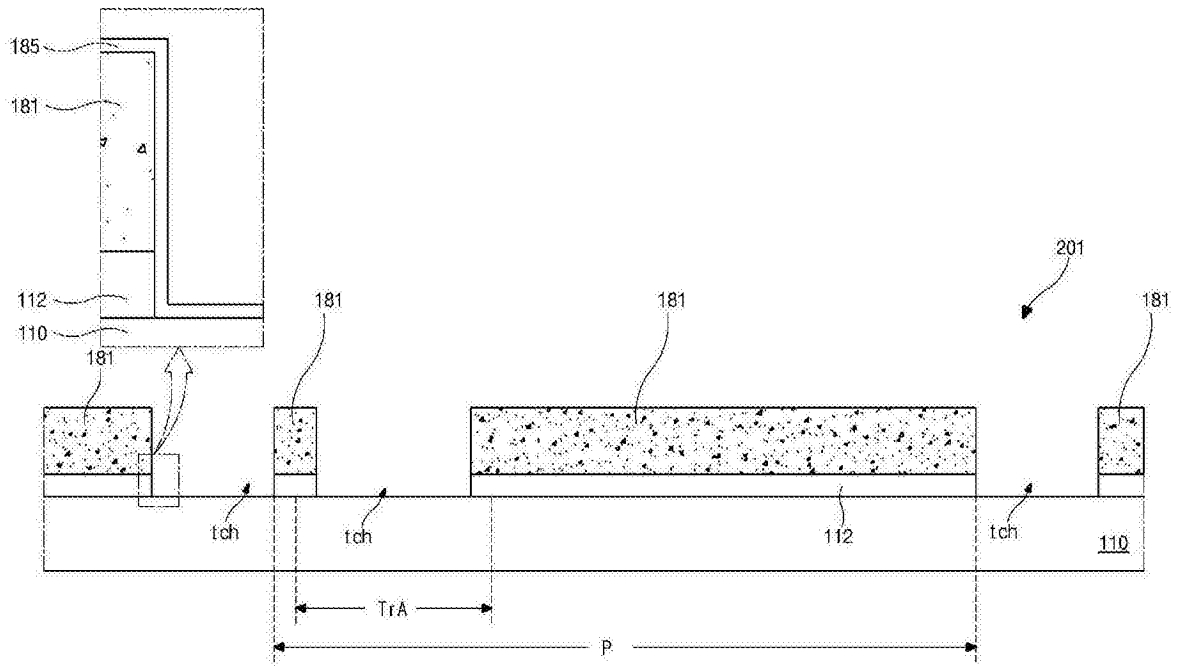


图10C

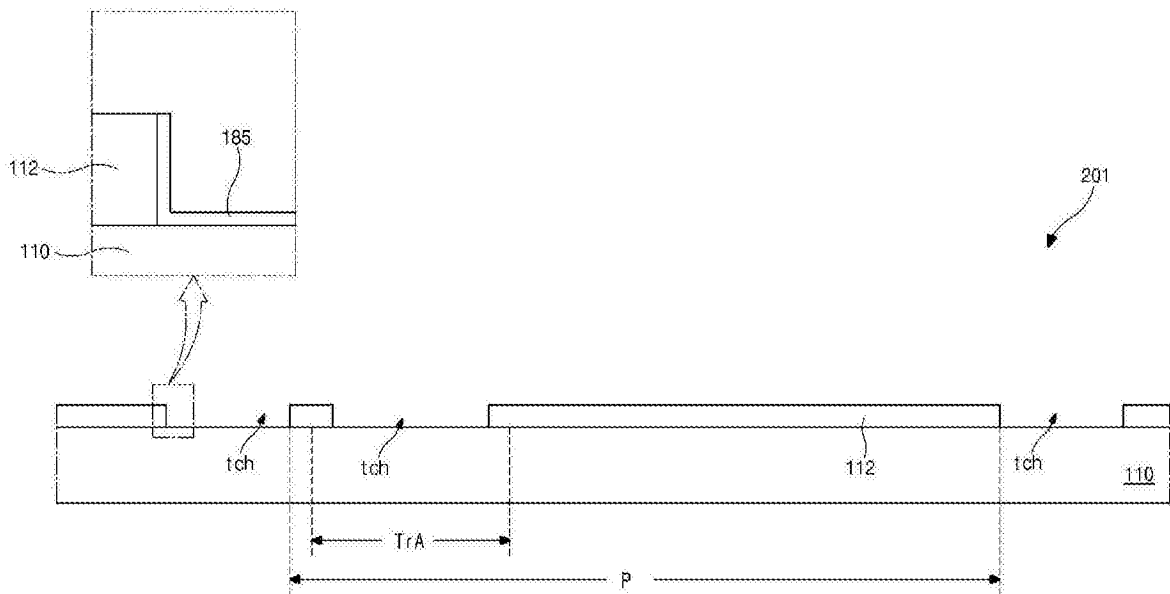


图10D

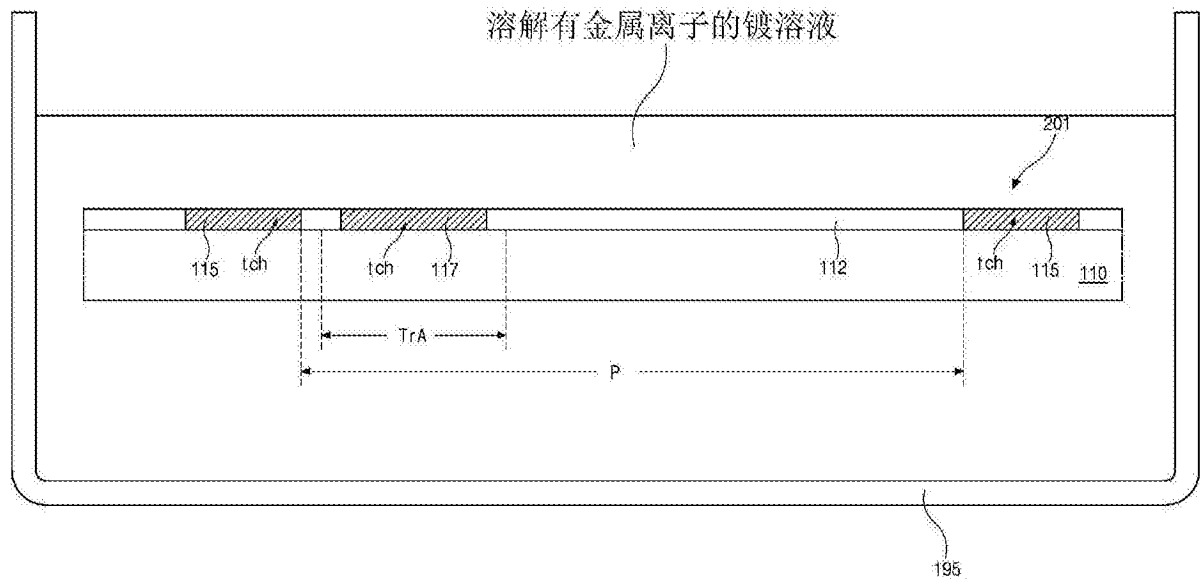


图10E

专利名称(译)	液晶显示器的阵列基板及其制造方法		
公开(公告)号	CN104252075B	公开(公告)日	2018-03-09
申请号	CN201310713320.7	申请日	2013-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	文泰亨 宋泰俊 李揆煌 李炅河		
发明人	文泰亨 宋泰俊 李揆煌 李炅河		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/1333 H01L27/12 H01L21/77		
CPC分类号	G02F1/136286 G02F2001/136295 H01L27/1244 H01L27/1259		
代理人(译)	刘久亮		
审查员(译)	纪红		
优先权	1020130075901 2013-06-28 KR		
其他公开文献	CN104252075A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种液晶显示器的阵列基板及其制造方法。阵列基板包括：沟槽，其具有相对于基板的表面的深度；填充各沟槽的选通线、栅电极和数据图案，其中，数据图案位于相邻的选通线之间；栅极绝缘层，其位于选通线、栅电极和数据图案上，在基板上基本上是平坦的，并且包括分别暴露数据图案的两端的接触孔；数据连接部，其位于栅极绝缘层上并且通过接触孔接触相邻的数据图案；源电极，其从数据连接部延伸；以及漏电极，其与源电极隔开；钝化层，其位于源电极和漏电极上并且包括暴露漏电极的漏极接触孔；以及像素电极，其位于钝化层上并且通过漏极接触孔接触漏电极。

