

1. 一种液晶显示装置,包括:

通过多条栅极线与多条数据线之间的交叉界定的多个像素;

沿所述像素的周边设置的多个虚拟像素;

与所述栅极线平行设置的多条公共线,所述公共线与所述像素和所述虚拟像素连接;

接收外部公共电压的第一栅极金属;

从所述公共线延伸到一侧的多个第二栅极金属,所述第二栅极金属具有焊盘形状;

在与所述数据线平行的方向上设置在所述第二栅极金属一侧的源极-漏极金属;

将所述第一栅极金属与所述源极-漏极金属电连接的第一连接图案;和

将所述源极-漏极金属与所述第二栅极金属电连接的第二连接图案。

2. 根据权利要求1所述的液晶显示装置,进一步包括:

从所述公共线延伸到另一侧的多个第三栅极金属,所述第三栅极金属具有焊盘形状;

和

将所述第一栅极金属与所述第三栅极金属电连接的第三连接图案。

3. 根据权利要求2所述的液晶显示装置,其中所述第一到第三栅极金属以及所述公共线与所述栅极线由相同的材料形成在同一层中。

4. 根据权利要求2所述的液晶显示装置,其中所述源极-漏极金属与所述数据线由相同的材料形成在同一层中。

5. 根据权利要求2所述的液晶显示装置,其中所述第一到第三连接图案与所述像素中设置的像素电极由相同的材料形成在同一层中。

6. 根据权利要求1所述的液晶显示装置,进一步包括:

与所述数据线平行形成的虚拟数据线,从而所述虚拟数据线与第一条和最后一条数据线相邻;

在与所述栅极线平行的方向上从所述第一栅极金属分支的虚拟公共线,所述虚拟公共线与所述数据线和所述虚拟数据线交叉;

设置和连接在所述数据线与所述虚拟公共线之间的第一抗静电放电电路;

设置和连接在所述虚拟公共线与所述第一栅极金属之间的第二抗静电放电电路;和

设置和连接在所述虚拟数据线与所述虚拟公共线之间的第三抗静电放电电路,

其中所述虚拟数据线设置在所述第二和第三抗静电放电电路之间。

7. 根据权利要求6所述的液晶显示装置,进一步包括:

设置和连接在所述栅极线与所述源极-漏极金属之间的第四抗静电放电电路。

8. 一种制造液晶显示装置的方法,包括:

在基板上形成彼此交叉的多条栅极线和多条数据线,以界定多个像素区域;

在所述像素区域中形成多个像素,每个像素都包括薄膜晶体管和像素电极;

沿所述像素的周边形成多个虚拟像素;

形成多条公共线和多个第二栅极金属,所述公共线与所述栅极线平行设置并与所述像素和所述虚拟像素连接,所述第二栅极金属从所述公共线延伸到一侧并具有焊盘形状;

形成与焊盘单元电连接的、接收外部公共电压的第一栅极金属;

在所述第二栅极金属一侧形成设置在与所述数据线平行的方向上的源极-漏极金属;

形成第一连接图案和第二连接图案,所述第一连接图案将所述第一栅极金属与所述源

极-漏极金属电连接,所述第二连接图案将所述源极-漏极金属与所述第二栅极金属电连接。

9. 根据权利要求8所述的方法,进一步包括:

形成多个第三栅极金属,所述第三栅极金属从所述公共线延伸到另一侧并具有焊盘形状;和

形成第三连接图案,所述第三连接图案将所述第一栅极金属与所述第三栅极金属电连接。

10. 根据权利要求8所述的方法,其中所述第一到第三栅极金属以及所述公共线与所述栅极线由相同的材料形成在同一层中。

11. 根据权利要求9所述的方法,其中所述源极-漏极金属与所述数据线由相同的材料形成在同一层中。

12. 根据权利要求9所述的方法,其中所述第一到第三连接图案与所述像素电极由相同的材料形成在同一层中。

13. 根据权利要求8所述的方法,进一步包括:

形成与所述数据线平行的虚拟数据线,从而所述虚拟数据线与第一条和最后一条数据线相邻;

形成虚拟公共线,从而所述虚拟公共线在与所述栅极线平行的方向上从所述第一栅极金属分支并与所述数据线和所述虚拟数据线交叉;

形成第一抗静电放电电路,从而所述第一抗静电放电电路设置和连接在所述数据线与所述虚拟公共线之间;

形成第二抗静电放电电路,从而所述第二抗静电放电电路设置和连接在所述虚拟公共线与所述第一栅极金属之间;和

形成第三抗静电放电电路,从而所述第三抗静电放电电路设置和连接在所述虚拟数据线与所述虚拟公共线之间,

其中所述虚拟数据线设置在所述第二和第三抗静电放电电路之间。

14. 根据权利要求13所述的方法,进一步包括:

形成第四抗静电放电电路,从而所述第四抗静电放电电路设置和连接在所述栅极线与所述源极-漏极金属之间。

15. 根据权利要求14所述的方法,其中所述第一到第四抗静电放电电路与所述像素区域中设置的所述薄膜晶体管同时形成。

液晶显示装置及其制造方法

[0001] 本申请要求 2011 年 12 月 7 日提交的韩国专利申请 No. 10-2011-0130497 的优先权,在此援引该专利申请作为参考,如同在这里完全阐述一样。

技术领域

[0002] 本发明涉及一种液晶显示装置,尤其涉及一种可减小由静电放电冲击导致的对信号线和开关器件的损害的液晶显示装置及其制造方法。

背景技术

[0003] 一般来说,为了防止静电放电(ESD)引入像素中,液晶显示装置包括设置在不显示图像的非显示区域中的抗静电放电电路。抗静电放电电路设置在给像素提供扫描信号的栅极线的引入部和给像素提供数据电压的数据线的引入部中。这种抗静电放电电路将引入数据线或栅极线中的静电放电传递到公共线,被引入公共线的静电放电流入栅极线或数据线。

[0004] 同时,近年来,随着高分辨率和尺寸增加的趋势,液晶显示装置被设计成具有较小宽度的栅极线和数据线以及较小尺寸的开关器件。这些行为意味着栅极线和数据线以及开关器件对静电放电冲击变得更加脆弱。因此,需要能更有效地保护像素中的栅极线和数据线以及开关器件免于静电放电冲击的技术。

发明内容

[0005] 因此,本发明涉及一种基本上克服了由于现有技术的限制和缺点而导致的一个或多个问题的液晶显示装置及其制造方法。

[0006] 本发明的一个目的是提供一种可减小由静电放电冲击导致的对信号线和开关器件的损害的液晶显示装置及其制造方法。

[0007] 在下面的描述中将列出本发明的其它优点、目的和特征,这些优点、目的和特征的一部分从下面的描述对于本领域普通技术人员来说是显而易见的,或者可从本发明的实施领会到。通过说明书、权利要求以及附图中特别指出的结构可实现和获得本发明的这些目的和其他优点。

[0008] 为了实现这些目的和其他优点并根据本发明的目的,如在此具体和概括描述的,一种液晶显示装置,包括:通过多条栅极线与多条数据线之间的交叉界定的多个像素;沿所述像素的周边设置的多个虚拟像素;与所述栅极线平行设置的多条公共线,所述公共线与所述像素和所述虚拟像素连接;接收外部公共电压的第一栅极金属;从所述公共线延伸到一侧的多个第二栅极金属,所述第二栅极金属具有焊盘形状;在与所述数据线平行的方向上设置在所述第二栅极金属一侧的源极-漏极金属;将所述第一栅极金属与所述源极-漏极金属电连接的第一连接图案;和将所述源极-漏极金属与所述第二栅极金属电连接的第二连接图案。

[0009] 所述液晶显示装置可进一步包括:从所述公共线延伸到另一侧的多个第三栅极金

属,所述第三栅极金属具有焊盘形状;和将所述第一栅极金属与所述第三栅极金属电连接的第三连接图案。

[0010] 所述第一到第三栅极金属以及所述公共线与所述栅极线由相同的材料形成在同一层中。

[0011] 所述源极-漏极金属与所述数据线由相同的材料形成在同一层中。

[0012] 所述第一到第三连接图案与所述像素中设置的像素电极由相同的材料形成在同一层中。

[0013] 所述液晶显示装置可进一步包括:与所述数据线平行形成的虚拟数据线,从而所述虚拟数据线与第一条和最后一条数据线相邻;在与所述栅极线平行的方向上从所述第一栅极金属分支的虚拟公共线,所述虚拟公共线与所述数据线和所述虚拟数据线交叉;设置和连接在所述数据线与所述虚拟公共线之间的第一抗静电放电电路;设置和连接在所述虚拟公共线与所述第一栅极金属之间的第二抗静电放电电路;和设置和连接在所述虚拟数据线与所述虚拟公共线之间的第三抗静电放电电路,其中所述虚拟数据线设置在所述第二和第三抗静电放电电路之间。

[0014] 所述液晶显示装置可进一步包括:设置和连接在所述栅极线与所述源极-漏极金属之间的第四抗静电放电电路。

[0015] 在本发明的另一个方面中,一种制造液晶显示装置的方法,包括:在基板上形成彼此交叉的多条栅极线和多条数据线,以界定多个像素区域;在所述像素区域中形成多个像素,每个像素都包括薄膜晶体管和像素电极;沿所述像素的周边形成多个虚拟像素;形成多条公共线和多个第二栅极金属,所述公共线与所述栅极线平行设置并与所述像素和所述虚拟像素连接,所述第二栅极金属从所述公共线延伸到一侧并具有焊盘形状;形成与焊盘单元电连接的、接收外部公共电压的第一栅极金属;在所述第二栅极金属一侧形成设置在与所述数据线平行的方向上的源极-漏极金属;形成第一连接图案和第二连接图案,所述第一连接图案将所述第一栅极金属与所述源极-漏极金属电连接,所述第二连接图案将所述源极-漏极金属与所述第二栅极金属电连接。

[0016] 所述方法可进一步包括:形成多个第三栅极金属,所述第三栅极金属从所述公共线延伸到另一侧并具有焊盘形状;和形成第三连接图案,所述第三连接图案将所述第一栅极金属与所述第三栅极金属电连接。

[0017] 所述第一到第三栅极金属以及所述公共线与所述栅极线由相同的材料形成在同一层中。

[0018] 所述源极-漏极金属与所述数据线由相同的材料形成在同一层中。

[0019] 所述第一到第三连接图案与所述像素电极由相同的材料形成在同一层中。

[0020] 所述方法可进一步包括:形成与所述数据线平行的虚拟数据线,从而所述虚拟数据线与第一条和最后一条数据线相邻;形成虚拟公共线,从而所述虚拟公共线在与所述栅极线平行的方向上从所述第一栅极金属分支并与所述数据线和所述虚拟数据线交叉;形成第一抗静电放电电路,从而所述第一抗静电放电电路设置和连接在所述数据线与所述虚拟公共线之间;形成第二抗静电放电电路,从而所述第二抗静电放电电路设置和连接在所述虚拟公共线与所述第一栅极金属之间;和形成第三抗静电放电电路,从而所述第三抗静电放电电路设置和连接在所述虚拟数据线与所述虚拟公共线之间,其中所述虚拟数据线设置

在所述第二和第三抗静电放电电路之间。

[0021] 所述方法可进一步包括：形成第四抗静电放电电路，从而所述第四抗静电放电电路设置和连接在所述栅极线与所述源极-漏极金属之间。

[0022] 所述第一到第四抗静电放电电路与所述像素区域中设置的所述薄膜晶体管同时形成。

[0023] 应当理解，本发明前面的一般性描述和下面的详细描述都是例示性的和解释性的，意在对本发明提供进一步的解释。

附图说明

[0024] 给本发明提供进一步理解并组成说明书一部分的附图图解了本发明的实施方式并与说明书一起用于说明本发明的原理。在附图中：

[0025] 图 1 是显示根据本发明一个实施方式的液晶显示装置的构造的示意图；

[0026] 图 2 是显示图 1 中所示的液晶面板 2 的区域 A 的放大图；

[0027] 图 3 是显示图 1 中所示的液晶面板的区域 B 的放大图；

[0028] 图 4 是显示本发明效果的比较例；

[0029] 图 5 显示了其中静电放电冲击集中在特定公共线中，从而导致数据线断裂的一个例子；

[0030] 图 6 是显示像素区域中包含的薄膜晶体管 TFT 的示意性剖面图，并且是沿图 2 中所示的 TFT 的线 X-Y 的剖面图。

具体实施方式

[0031] 现在详细描述本发明的优选实施方式，附图中图解了这些实施方式的一些例子。只要可能，在整个附图中将使用相同的参考数字表示相同或相似的部件。

[0032] 之后，将参照附图详细描述根据本发明一个实施方式的液晶显示装置及其制造方法。

[0033] 图 1 是显示根据本发明一个实施方式的液晶显示装置的构造的示意图。

[0034] 图 1 中所示的液晶显示装置包括液晶面板 2、栅极驱动器 4、数据驱动器 6 和公共电压供应器 8。

[0035] 液晶面板 2 界定有显示图像的显示区域 AA、以及虚拟区域 DA，即显示区域 AA 外部的区域。

[0036] 在显示区域 AA 中设置有以矩阵形式排列的多个像素 P。像素 P 设置在像素区域中。通过多条栅极线 GL 与多条数据线 DL 之间的交叉界定像素区域。每个像素 P 包括薄膜晶体管 TFT、液晶电容器 Clc 和存储电容器 Cst。液晶电容器 Clc 根据通过薄膜晶体管 TFT 提供给像素电极的数据电压与通过公共线 CL 提供给公共电极的公共电压 Vcom 之间的电压差产生的电场驱动液晶。存储电容器 Cst 将提供给像素电极的数据电压保持预定的时间周期。

[0037] 在虚拟区域 DA 中设置有不显示图像的多个虚拟像素 DP1 和 DP2。虚拟像素 DP1 和 DP2 沿像素区域 AA 中设置的多个像素 P 的周边设置。同时，在虚拟区域 DA 中，设置有将来自公共电压供应器 8 的公共电压 Vcom 提供给多条公共线 CL 的第一到第三栅极金属 10, 12

和 14、源极-漏极金属 16 以及保护像素 P 中设置的信号线和薄膜晶体管 TFT 免于外部静电放电的多个抗静电放电电路(见图 2 和 3)。

[0038] 栅极驱动器 4 依次给栅极线 GL 提供扫描信号。扫描信号是脉冲信号,具有导通像素区域中包含的薄膜晶体管 TFT 的栅极导通电压和关断薄膜晶体管 TFT 的栅极关断电压中的一个值。

[0039] 数据驱动器 6 使用标准伽马电压将从外部提供的图像数据转换为数据电压,并将转换后的数据电压提供给数据线 DL。

[0040] 公共电压供应器 8 通过设置在虚拟区域 DA 中的第一到第三栅极金属 10,12 和 14、以及源极-漏极金属 16,将公共电压 Vcom 提供给公共线 CL (见图 2 和 3)。

[0041] 特别是,在该实施方式中,减小了给公共线 CL 提供公共电压 Vcom 的路径之间的电阻偏差,因而可防止由于高压静电放电的集中提供而导致的线断裂或对薄膜晶体管 TFT 的损害。

[0042] 之后,将详细描述提供公共电压 Vcom 到多条公共线 CL 的路径。

[0043] 图 2 是显示图 1 中所示的液晶面板 2 的区域 A 的放大图。图 3 是显示图 1 中所示的液晶面板的区域 B 的放大图。

[0044] 参照图 2 和 3,多条栅极线 GL 排列在第一方向(例如水平方向)上,多条数据线 DL 排列在垂直于第一方向的第二方向(例如纵向方向)上。此外,多条公共线 CL 排列在第一方向,从而公共线 CL 平行于栅极线 GL。

[0045] 多个虚拟像素(DP)包括排列在第一方向上的多个第一虚拟像素 DP1、以及排列在第二方向上的多个第二虚拟像素 DP2。

[0046] 第一虚拟像素 DP1 设置在显示区域 AA 的上部和下部中,从而第一虚拟像素 DP1 与排列在第一行和最后一行中的像素 P 相邻。第二虚拟像素 DP2 设置在显示区域 AA 的左部和右部,从而第二虚拟像素 DP2 与排列在第一列和最后一列中的像素 P 相邻。尽管图 2 和 3 中显示了第二虚拟像素 DP2 设置三列的例子,但第二虚拟像素 DP2 可设置数列。作为参考,第一虚拟像素 DP1 与公共线 CL 连接,但不与栅极线 GL 连接。

[0047] 同时,如上所述,第一到第三栅极金属 10,12 和 14 以及源极-漏极金属 16 设置在虚拟区域 DA 中,这将在下面描述。

[0048] 第一栅极金属 10 形成在虚拟区域 DA 的外围并与焊盘单元(未示出)电连接,所述焊盘单元与公共电压供应器 8 电连接。第二栅极金属 12 从公共线 CL 延伸到一侧(例如左侧),以形成焊盘形状。第三栅极金属 14 从公共线延伸到另一侧(例如右侧),以形成焊盘形状。第一到第三栅极金属 10,12 和 14 以及公共线 CL 可与栅极线 GL 由相同的材料形成在同一层中。

[0049] 参照图 2,源极-漏极金属 16 在第二方向上设置在第二栅极金属 12 的一侧。源极-漏极金属 16 例如可设置在栅极焊盘单元(未示出)与第二栅极焊盘 12 之间。在该情形中,为了防止源极-漏极金属 16 与栅极线 GL 之间的短路,源极-漏极金属 16 可与数据线 DL 由相同的材料形成在同一层中。

[0050] 同时,第一栅极金属 10 与源极-漏极金属 16 电连接,源极-漏极金属 16 与第二栅极金属 12 电连接,第一栅极金属 10 与第三栅极金属 14 电连接。因此,从公共电压供应器 8 施加到第一栅极金属 10 的公共电压 Vcom 被施加到公共线 CL,结果公共电压 Vcom 可施

加到第一和第二虚拟像素 DP1 和 DP2 以及像素 P。

[0051] 具体来说,由于分别暴露第一栅极金属 10 和源极-漏极金属 16 的第一和第二接触孔 H1 和 H2 被第一连接图案 18 覆盖,第一栅极金属 10 和源极-漏极金属 16 彼此电连接。其中,第一接触孔 H1 穿过保护膜和栅极绝缘膜并暴露一部分第一栅极金属 10,第二接触孔 H2 穿过保护膜并暴露一部分源极-漏极金属 16。第一连接图案 18 可与像素电极由相同的材料形成在同一层中。

[0052] 此外,由于分别暴露源极-漏极金属 16 和第二栅极金属 12 的第三和第四接触孔 H3 和 H4 被第二连接图案 20 覆盖,源极-漏极金属 16 和第二栅极金属 12 彼此电连接。其中,第三接触孔 H3 穿过保护膜并暴露一部分源极-漏极金属 16,第四接触孔 H4 穿过保护膜和栅极绝缘膜并暴露一部分第二栅极金属 12。第二连接图案 20 可与像素区域的像素电极由相同的材料形成在同一层中。

[0053] 如图 3 中所示,由于分别暴露第一栅极金属 10 和第三栅极金属 14 的第五和第六接触孔 H5 和 H6 被第三连接图案 22 覆盖,第一栅极金属 10 和第三栅极金属 14 彼此电连接。其中,第五接触孔 H5 穿过保护膜和栅极绝缘膜并暴露一部分第一栅极金属 10,第六接触孔 H6 穿过保护膜和栅极绝缘膜并暴露一部分第三栅极金属 14。第三连接图案 22 可与像素区域的像素电极由相同的材料形成在同一层中。

[0054] 就是说,将在下面概述将公共电压 Vcom 引入公共线 CL 中的路径。公共电压 Vcom 按顺序通过第一栅极金属 10、第一连接图案 18、源极-漏极金属 16、第二连接图案 20 和第二栅极金属 12 而施加到每条公共线 CL 的一侧。此外,公共电压 Vcom 按顺序通过第一栅极金属 10、第三连接图案 22 和第三栅极金属 14 施加到每条公共线 CL 的另一侧。

[0055] 这样,在该实施方式中,公共电压 Vcom 通过第一到第三栅极金属 10,12 和 14 以及极-漏极金属 16 跳动(jump),且因此被提供给公共线 CL。因此,可减小将公共电压引入公共线 CL 的路径之间的电阻偏差,和可防止静电放电被集中地引入公共线 CL 的问题。

[0056] 作为参考,静电放电会流到具有相对低电阻的部分。因为第一栅极金属 10 具有较大面积,所以静电放电容易被引入第一栅极金属 10。被引入第一栅极金属 10 的静电放电被引入与第一栅极金属 10 电连接的公共线 CL。当第一栅极金属 10 与公共线 CL 之间的电连接路径不同时,在第一栅极金属 10 与公共线 CL 之间产生电阻偏差。结果,被引入第一栅极金属 10 的静电放电会集中地流到具有相对低电阻的公共线 CL。这样,当静电放电冲击集中在特定公共线 CL 中时,相应公共线 CL 会被损害,或者与公共线 CL 交叉的数据线 DL 被损害。图 5 显示了静电放电冲击集中在特定公共线 CL 中,从而导致数据线 DL 断裂的例子。根据本发明,第一栅极金属 10 与公共线 CL 之间的电连接路径相同,可防止静电放电冲击集中在特定公共线 CL 中,结果,可防止线的断裂或对薄膜晶体管 TFT 的损害。

[0057] 同时,在该实施方式中,为了减小静电放电对信号线和薄膜晶体管的损害,液晶显示装置包括多个抗静电放电电路,将详细描述该构造。

[0058] 参照图 2 和 3,虚拟区域 DA 进一步包括虚拟数据线 DDL、虚拟公共线 DCL 和多个抗静电放电电路。

[0059] 虚拟数据线 DDL 设置在第一方向上,从而虚拟数据线 DDL 与第一条和最后一条数据线 DL 相邻。虚拟数据线 DDL 分支为三条虚拟数据线 DDL,从而虚拟数据线 DDL 与设置在三列中的第二虚拟像素 DP2 对应,并因而与第二虚拟像素 DP2 连接。

[0060] 虚拟公共线 DCL 在第二方向上从第一栅极金属 10 分支, 并与虚拟数据线 DDL 和数据线 DL 交叉。这种虚拟公共线 DCL 的数量至少为一条。

[0061] 抗静电放电电路包括第一到第四抗静电放电电路 24a 到 24d。

[0062] 第一抗静电放电电路 24a 保护数据线 DL 免受静电放电冲击的损害。为此, 第一抗静电放电电路 24a 设置并连接在数据线 DL 与虚拟公共线 DCL 之间。

[0063] 第二抗静电放电电路 24b 保护虚拟公共线 DCL 免受静电放电冲击的损害。为此, 第二抗静电放电电路 24b 设置并连接在虚拟公共线 DCL 与第一栅极金属 10 之间。

[0064] 第三抗静电放电电路 24c 保护虚拟数据线 DDL 免受静电放电冲击的损害。为此, 第三抗静电放电电路 24c 设置并连接在虚拟数据线 DDL 与虚拟公共线 DCL 之间。

[0065] 第四抗静电放电电路 24d 保护栅极线 GL 免受静电放电冲击的损害。为此, 第四抗静电放电电路 24d 设置并连接在栅极线 GL 与源极 - 漏极金属 16 之间。

[0066] 特别是, 该实施方式特征在于, 虚拟数据线 DDL 设置在第二和第三抗静电放电电路 24b 和 24c 之间。当虚拟数据线 DDL 设置在第一栅极金属 10 与第二抗静电放电电路 24b 之间时, 如图 4 中所示, 由于静电放电从第一栅极金属 10 引入虚拟公共线 DCL, 虚拟数据线 DDL 很容易受到损害。根据本发明, 通过将虚拟数据线 DDL 设置在第二和第三抗静电放电电路 24b 和 24c 之间, 可防止虚拟数据线 DDL 的损害。

[0067] 之后, 将详细描述根据本发明一个实施方式的制造液晶显示装置的方法。

[0068] 在根据本实施方式的液晶面板 2 的薄膜晶体管阵列基板中, 如上所述, 多条栅极线 GL、多条公共线 CL 和第一到第三栅极金属 10, 12 和 14 由相同的材料形成在同一层中。此外, 数据线 DL 和源极 - 漏极金属 16 由相同的材料形成在同一层中, 像素电极和第一到第三连接图案 18, 20 和 22 由相同的材料形成在同一层中。

[0069] 就是说, 根据该实施方式的第一到第三栅极金属 10, 12 和 14、源极 - 漏极金属 16 和第一到第三连接图案 18, 20 和 22 与像素区域中设置的薄膜晶体管同时形成, 因而不需要用于形成这些元件的单独掩模工艺。之后, 为了便于描述, 提供了制造像素区域中包含的薄膜晶体管 TFT 的工艺。图 6 是显示像素区域中包含的薄膜晶体管 TFT 的示意性剖面图, 并且是沿图 2 中所示的 TFT 的线 X-Y 的剖面图。下面将参照图 6 描述制造液晶显示装置的方法。

[0070] 首先, 使用金属在基板 50 上形成栅极金属层, 然后将栅极金属层构图, 以形成多个栅极图案。栅极图案包括多条栅极线 GL 和对应于像素区域从栅极线 GL 突出的栅极电极 26。栅极图案进一步包括第一到第三栅极金属 10, 12, 14、公共线 CL 和虚拟公共线 DCL。

[0071] 接着, 使用诸如氮化硅 (SiN_x) 或氧化硅 (SiO_2) 的无机绝缘材料在包含栅极图案的基板 50 上形成栅极绝缘膜 60。

[0072] 此外, 在栅极绝缘膜 60 上层叠包含纯非晶硅的半导体层 28 和包含掺杂非晶硅的欧姆接触层 34。此时, 半导体层 28 和欧姆接触层 34 在与栅极电极 26 重叠的区域中形成为岛状。

[0073] 接着, 使用从导电金属组选出的一种材料在包含半导体层 28 和欧姆接触层 34 的基板 50 上形成源极 - 漏极金属层, 然后将源极 - 漏极金属层构图, 以形成多个源极 - 漏极图案。源极 - 漏极图案包括多条数据线 DL、对应于像素区域与多条数据线连接的源极电极 30、以及与源极电极 30 隔开的漏极电极 32, 从而栅极电极 26 设置在漏极电极 32 与源极电

极 30 之间。源极 - 漏极图案进一步包括源极 - 漏极金属 16 和虚拟数据线 DDL。

[0074] 接着,去除暴露在源极电极和漏极电极 30 和 32 之间的欧姆接触层 34,以暴露出半导体层 28。

[0075] 接着,使用从氮化硅(SiN_x)或氧化硅(SiO_2)组成的组选出的无机绝缘材料或者从苯并环丁烯(BCB)和压克力树脂选出的有机绝缘材料,在包含源极 - 漏极图案的基板 50 上形成保护膜 70。

[0076] 选择性地去除保护膜 70 和栅极绝缘膜 60,以形成暴露漏极电极 32 的像素接触孔以及前述第一到第六接触孔 H1 到 H6。

[0077] 接着,在所得结构上沉积从氧化铟锡(ITO)和氧化铟锌(IZO)组成的组选出的透明导电金属,并将透明导电金属构图,以形成多个透明图案。透明图案包括覆盖像素接触孔的像素电极 36 和与像素电极 36 形成电场的公共电极(未示出)。透明图案进一步包括前述的第一到第三连接图案 18, 20 和 22。

[0078] 同时,前述的第一到第四抗静电放电电路 24a 到 24d 包括多个薄膜晶体管。这些薄膜晶体管也与像素区域中设置的薄膜晶体管同时形成。

[0079] 这样,在该实施方式中,第一到第三栅极金属 10, 12 和 14、源极 - 漏极金属 16 和第一到第三连接图案 18, 20 和 22 与像素区域中设置的薄膜晶体管同时形成,因而不需要用于形成这些元件的单独掩模工艺。

[0080] 同时,根据图 2 和 3 中所示的构造,该实施方式可减小在薄膜晶体管阵列基板的制造过程中产生的静电放电导致的产品缺陷,因而提高了产率。具体来说,在制造薄膜晶体管的工艺中,通过化学气相沉积(CVD)进行无机绝缘材料或纯非晶硅的沉积,并使用干蚀刻构图各个金属层。在 CVD 或干蚀刻过程中,会产生大量静电放电。如上所述,静电放电会高度集中在公共线 CL 之中的特定线中。特别是,在选择性去除沉积的保护膜 70 的蚀刻工艺或者形成透明图案的工艺过程中,因为是在形成栅极图案之后进行这些工艺,静电放电冲击很容易集中在特定公共线 CL 中。根据本发明,根据图 2 和 3 中所示的构造,可减小在诸如 CVD 或干蚀刻的制造工艺过程中产生的静电放电导致的产品缺陷。

[0081] 从前面描述显而易见,本发明可减小将公共电压提供到多条公共线的路径之间的电阻偏差,因而可防止由于高压静电放电集中地提供到特定公共线而导致的线的断裂或对薄膜晶体管的损害。此外,本发明改变了虚拟数据线的的设计,因而减小了对虚拟数据线的静电放电冲击,并防止线的断裂或对薄膜晶体管的损害。

[0082] 本发明提高了在产品驱动过程中的产品可靠性并减小了由于在制造薄膜晶体管过程中产生的大量静电放电而导致的产品缺陷,因而有利地提高了产品产率并降低了制造成本。

[0083] 在不脱离本发明的精神或范围的情况下,在本发明中可进行各种修改和变化,这对于本领域技术人员来说是显而易见的。因而,本发明意在覆盖落入所附权利要求范围及其等价范围内的本发明的修改和变化。

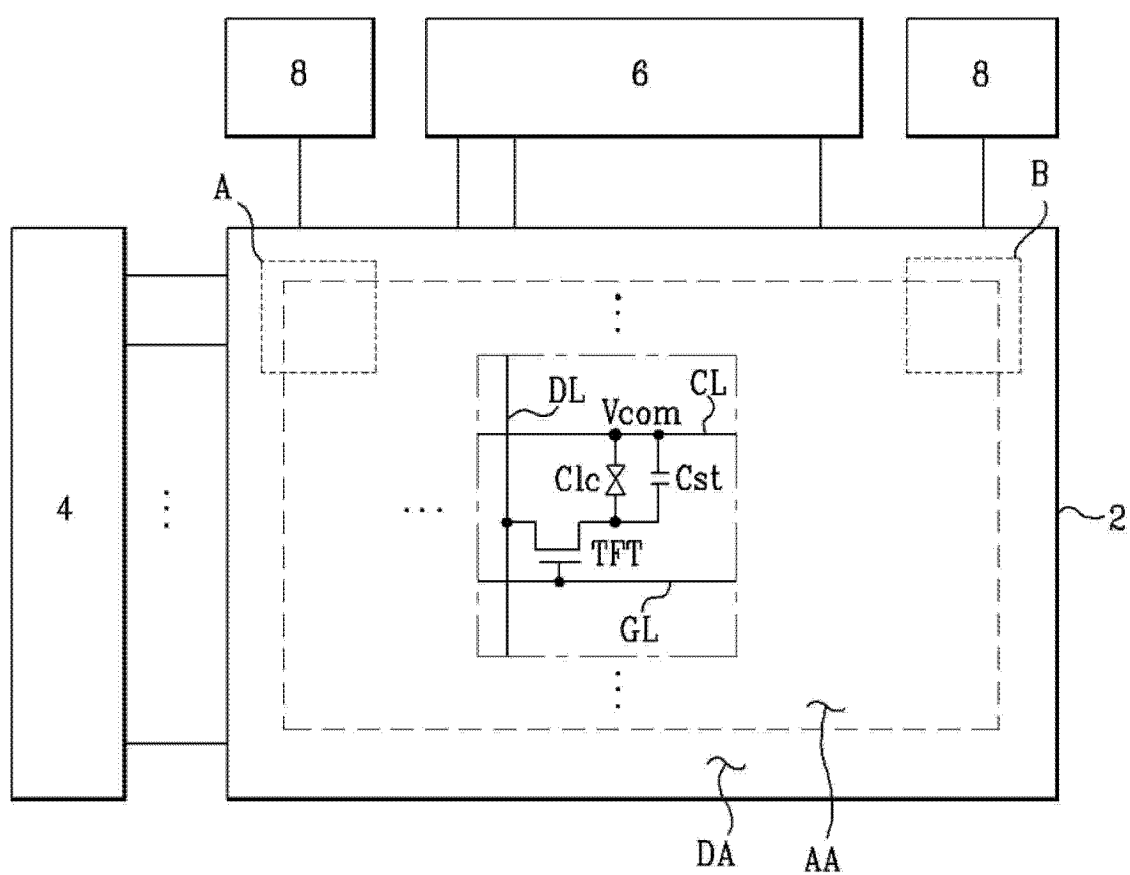


图 1

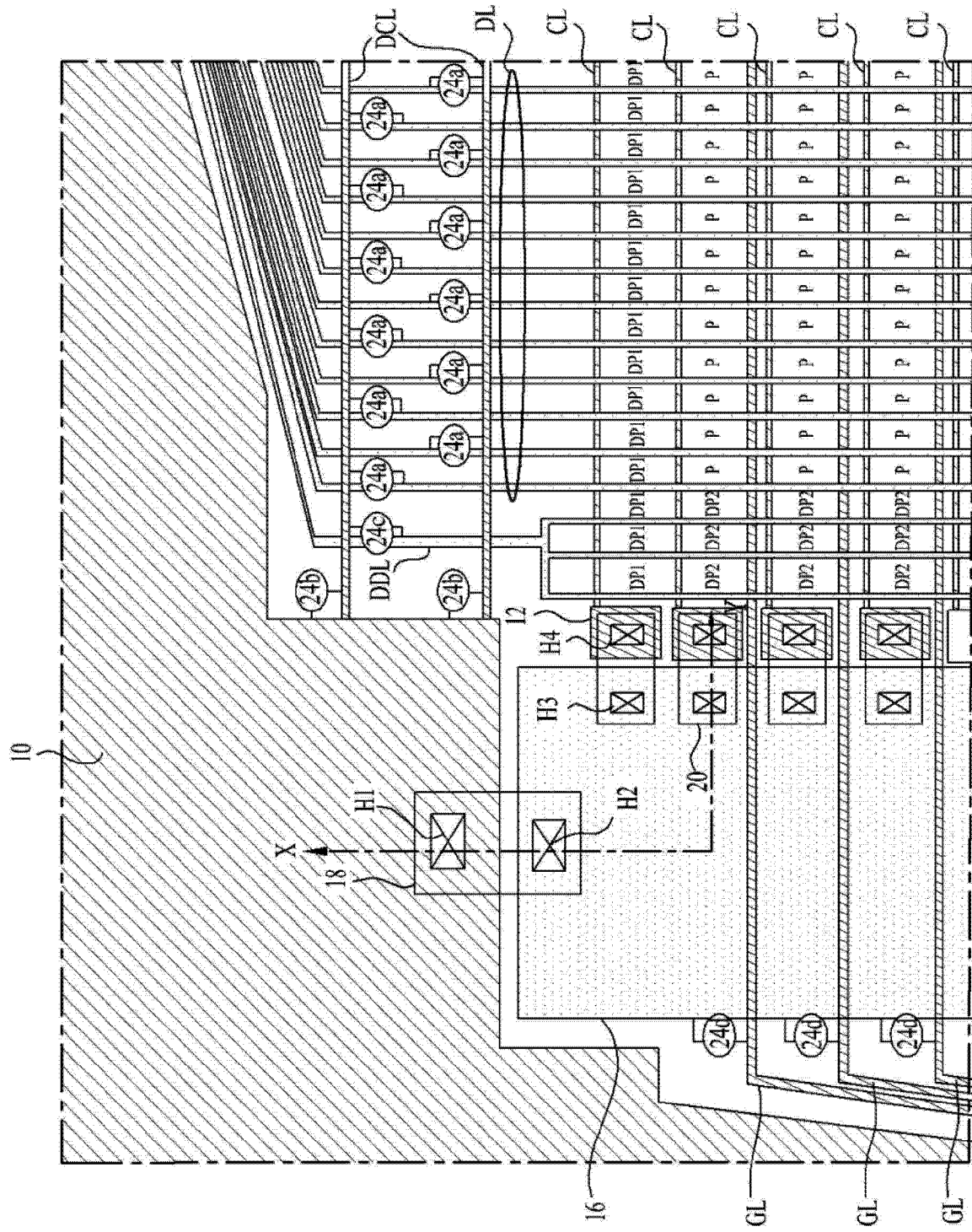


图 2

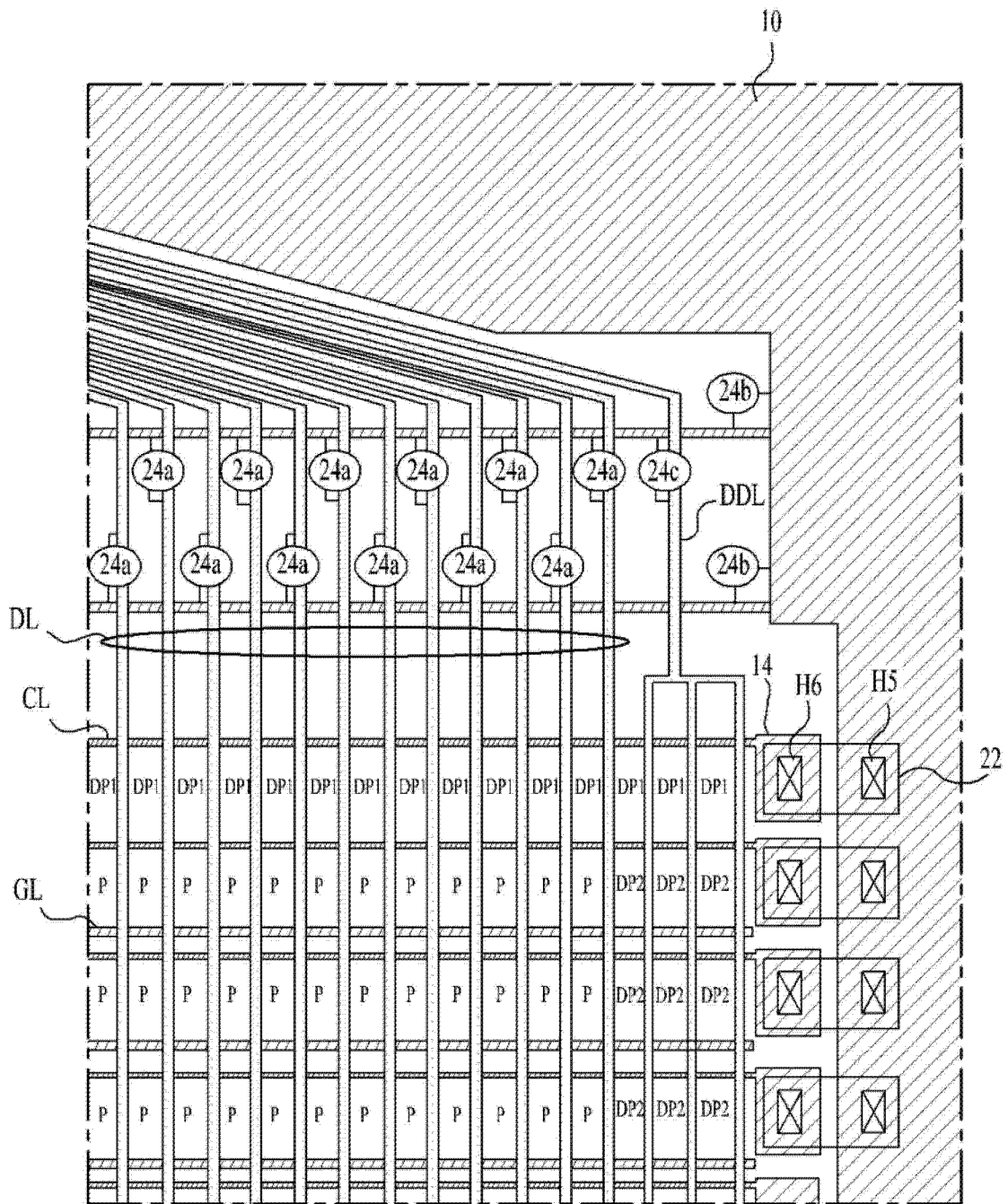


图 3

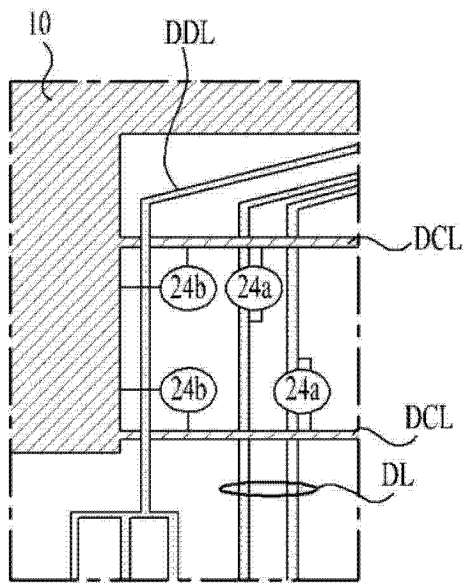


图 4

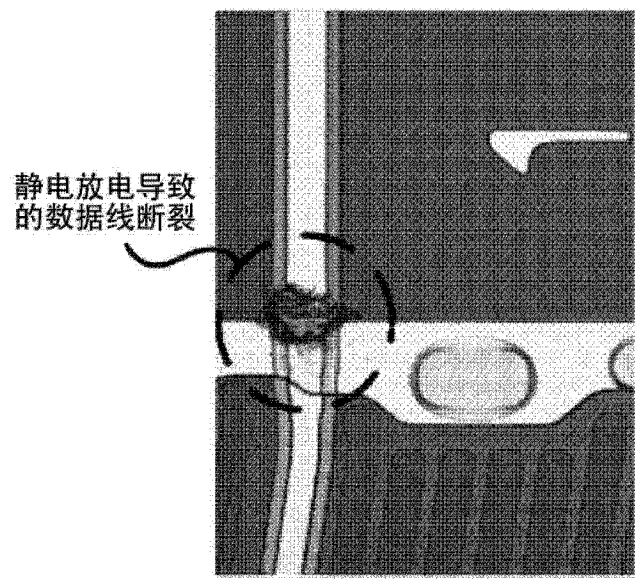


图 5

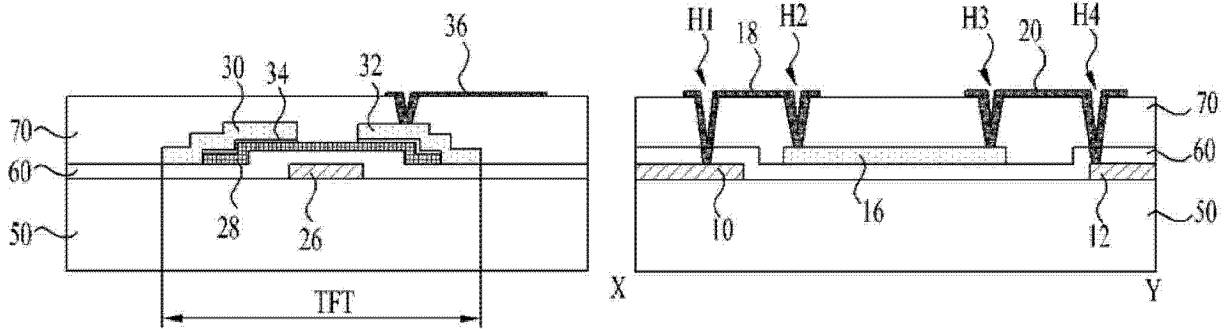


图 6

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	CN103149757A	公开(公告)日	2013-06-12
申请号	CN201210501140.8	申请日	2012-11-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	权银美 金正凡		
发明人	权银美 金正凡		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/133 G02F1/1333		
CPC分类号	G02F1/136204 G02F1/13458 H01L33/005		
代理人(译)	徐金国 钟强		
优先权	1020110130497 2011-12-07 KR		
其他公开文献	CN103149757B		
外部链接	Espacenet SIPO		

摘要(译)

公开了一种可减小由静电放电冲击导致的对信号线和开关器件的损害的液晶显示装置及其制造方法。所述液晶显示装置包括：通过多条栅极线与多条数据线之间的交叉界定的多个像素；沿所述像素的周边设置的多个虚拟像素；与所述栅极线平行设置的多条公共线，所述公共线与所述像素和所述虚拟像素连接；接收外部公共电压的第一栅极金属；从所述公共线延伸到一侧的多个第二栅极金属，所述第二栅极金属具有焊盘形状；在与所述数据线平行的方向上设置在所述第二栅极金属一侧的源极-漏极金属；将所述第一栅极金属与所述源极-漏极金属电连接的第一连接图案；和将所述源极-漏极金属与所述第二栅极金属电连接的第二连接图案。

