



(12)发明专利申请

(10)申请公布号 CN 106448607 A

(43)申请公布日 2017.02.22

(21)申请号 201611067049.4

(22)申请日 2016.11.28

(71)申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明
大道9-2号

(72)发明人 刘徐君 陈书志

(74)专利代理机构 深圳翼盛智成知识产权事务
所(普通合伙) 44300

代理人 黄威

(51)Int.Cl.

G09G 3/36(2006.01)

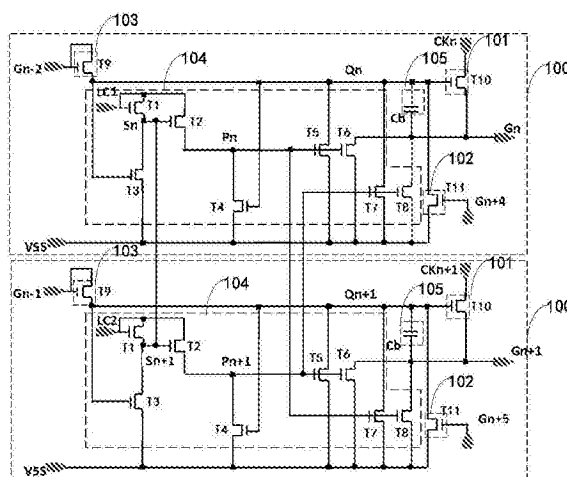
权利要求书2页 说明书4页 附图4页

(54)发明名称

GOA驱动电路及液晶显示装置

(57)摘要

本发明提供一种GOA驱动电路及液晶显示装置,该GOA驱动电路包括多个GOA单元,按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线;奇数级的GOA单元依次级联,偶数级的GOA单元依次级联;所述第N级GOA单元包括上拉模块、下拉模块、上拉控制模块、下拉维持模块以及自举电容模块;该上拉模块、上拉控制模块、下拉维持模块、下拉模块以及自举电容模块连接于第N级栅极信号点,所述上拉模块、下拉维持模块以及自举电容模块均与第N级水平扫描线连接。本发明具有减少薄膜晶体管的有益效果。



1. 一种GOA驱动电路,其特征在于,包括多个GOA单元,按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线;奇数级的GOA单元依次级联,偶数级的GOA单元依次级联;所述第N级GOA单元包括上拉模块、下拉模块、上拉控制模块、下拉维持模块以及自举电容模块;该上拉模块、上拉控制模块、下拉维持模块、下拉模块以及自举电容模块连接于第N级栅极信号点,所述上拉模块、下拉维持模块以及自举电容模块均与第N级水平扫描线连接;

所述下拉维持模块包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管以及第八薄膜晶体管,所述第一薄膜晶体管的栅极与漏极以及第二薄膜晶体管的漏极连接并在该连接点接入第一低频时钟信号,所述第一薄膜晶体管的源极、第三薄膜晶体管的漏极以及第二薄膜晶体管的栅极连接于一第N级第一节点SN,所述第二薄膜晶体管的源极、所述第四薄膜晶体管的漏极、所述第五薄膜晶体管的栅极以及所述第六薄膜晶体管的栅极连接于第N级第二节点PN;所述第五薄膜晶体管的漏极以及第七薄膜晶体管的漏极均与第N级栅极信号点QN连接,所述第六薄膜晶体管的漏极以及第八薄膜晶体管的漏极均与第N级水平扫描线GN连接,所述第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管以及第八薄膜晶体管的源极均接入直流低压电VSS;

当第N级GOA单元为奇数级GOA单元时,第N级第一节点SN均与第N+1级第一节点SN+1连接,第N级第二节点PN与第N+1级GOA单元的第七薄膜晶体管以及第八薄膜晶体管的栅极连接,第N级GOA单元的第七薄膜晶体管以及第八薄膜晶体管的栅极与第N+1级第二节点PN+1连接。

2. 根据权利要求1所述的GOA驱动电路,其特征在于,当第N级GOA单元为奇数级GOA单元时,所述第N级GOA单元接入的第一低频时钟信号与第N+1级GOA单元接入的第一低频时钟信号相位相反。

3. 根据权利要求1所述的GOA驱动电路,其特征在于,所述下拉模块包括第十一薄膜晶体管,所述第十一薄膜晶体管的漏极与所述该级的栅极信号点连接,所述第十一薄膜晶体管的源极接入所述直流低压电VSS;第N级GOA单元的第一薄膜晶体管的栅极与第N+4级水平扫描线连接。

4. 根据权利要求1所述的GOA驱动电路,其特征在于,所述上拉控制模块包括第九薄膜晶体管,所述第九薄膜晶体管的源极连接于该级的栅极信号点;

第N级GOA单元的第九薄膜晶体管的漏极接入高电平信号,所述第九薄膜晶体管的栅极与第N-2级水平扫描线Gn-2连接。

5. 根据权利要求4所述的GOA驱动电路,其特征在于,所述上拉模块包括第十薄膜晶体管,所述第十薄膜晶体管的漏极接入第N级高频时钟信号CKn,所述第十薄膜晶体管的栅极与第N级栅极信号点Qn连接,所述第十薄膜晶体管的源极与第N级水平扫描线连接;

所述高电平信号的电压值、所述第一低频时钟信号的幅度值以及所述第N级高频时钟信号CKn的幅度值相等。

6. 根据权利要求1所述的GOA驱动电路,其特征在于,所述上拉控制模块包括第九薄膜晶体管,所述第九薄膜晶体管的源极连接于该级的栅极信号点;

第N级GOA单元的第九薄膜晶体管的漏极与栅极均与第N-2级水平扫描线Gn-2连接。

7. 根据权利要求1所述的GOA驱动电路,其特征在于,所述自举电容模块包括自举电容。
8. 根据权利要求1所述的GOA驱动电路,其特征在于,各个奇数级的第一低频时钟信号通过第一公共金属线接入各个奇数级的GOA单元。
9. 根据权利要求8所述的GOA驱动电路,其特征在于,各个偶数级的第一低频时钟信号通过第二公共金属线接入各个偶数级的GOA单元。
10. 一种液晶显示装置,其特征在于,包括权利要求1-9任一项所述的GOA驱动电路。

GOA驱动电路及液晶显示装置

技术领域

[0001] 本发明涉及液晶显示领域,特别是涉及一种GOA驱动电路及液晶显示装置。

背景技术

[0002] GOA (Gate Driver On Array) 阵列基板行驱动是利用阵列基板制程在阵列基板上集成栅极行驱动电路,能够省掉原来在阵列基板上的栅极驱动IC,从而达到降低生产成本和实现在边框的目的。

[0003] 随着技术的发展,窄边框是一种必然趋势。现有技术中,GOA驱动电路使用薄膜晶体管的数量较多,如何在不影响功能的情况下减薄膜晶体管的数量是一个技术难题。

[0004] 因此,现有技术存在缺陷,急需改进。

发明内容

[0005] 本发明的目的在于提供一种GOA驱动电路及液晶显示装置。

[0006] 为解决上述问题,本发明提供的技术方案如下:

[0007] 本发明提供一种GOA驱动电路,包括多个GOA单元,按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线;奇数级的GOA单元依次级联,偶数级的GOA单元依次级联;所述第N级GOA单元包括上拉模块、下拉模块、上拉控制模块、下拉维持模块以及自举电容模块;该上拉模块、上拉控制模块、下拉维持模块、下拉模块以及自举电容模块连接于第N级栅极信号点,所述上拉模块、下拉维持模块以及自举电容模块均与第N级水平扫描线连接;

[0008] 所述下拉维持模块包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管以及第八薄膜晶体管,所述第一薄膜晶体管的栅极与漏极以及第二薄膜晶体管的漏极连接并在该连接点接入第一低频时钟信号,所述第一薄膜晶体管的源极、第三薄膜晶体管的漏极以及第二薄膜晶体管的栅极连接于第一N级第一节点SN,所述第二薄膜晶体管的源极、所述第四薄膜晶体管的漏极、所述第五薄膜晶体管的栅极以及所述第六薄膜晶体管的栅极连接于第N级第二节点PN;所述第五薄膜晶体管的漏极以及第七薄膜晶体管的漏极均与第N级栅极信号点QN连接,所述第六薄膜晶体管的漏极以及第八薄膜晶体管的漏极均与第N级水平扫描线GN连接,所述第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管以及第八薄膜晶体管的源极均接入直流低压电VSS;

[0009] 当第N级GOA单元为奇数级GOA单元时,第N级第一节点SN均与第N+1级第一节点SN+1连接,第N级第二节点PN与第N+1级GOA单元的第七薄膜晶体管以及第八薄膜晶体管的栅极连接,第N级GOA单元的第七薄膜晶体管以及第八薄膜晶体管的栅极与第N+1级第二节点PN+1连接。

[0010] 优选地,当第N级GOA单元为奇数级GOA单元时,所述第N级GOA单元接入的第一低频时钟信号与第N+1级GOA单元接入的第一低频时钟信号相位相反。

[0011] 优选地,所述下拉模块包括第十一薄膜晶体管,所述第十一薄膜晶体管的漏极与所述该级的栅极信号点连接,所述第十一薄膜晶体管的源极接入所述直流低压电VSS;第N级GOA单元的第一薄膜晶体管的栅极与第N+4级水平扫描线连接。

[0012] 优选地,所述上拉控制模块包括第九薄膜晶体管,所述第九薄膜晶体管的源极连接于该级的栅极信号点;

[0013] 第N级GOA单元的第九薄膜晶体管的漏极接入高电平信号,所述第九薄膜晶体管的栅极与第N-2级水平扫描线Gn-2连接。

[0014] 优选地,所述上拉模块包括第十薄膜晶体管,所述第十薄膜晶体管的漏极接入第N级高频时钟信号CKn,所述第十薄膜晶体管的栅极与第N级栅极信号点Qn连接,所述第十薄膜晶体管的源极与第N级水平扫描线连接;

[0015] 所述高电平信号的电压值、所述第一低频时钟信号的幅度值以及所述第N级高频时钟信号CKn的幅度值相等。

[0016] 优选地,所述上拉控制模块包括第九薄膜晶体管,所述第九薄膜晶体管的源极连接于第N级栅极信号点Qn;

[0017] 第N级GOA单元的第九薄膜晶体管的漏极与栅极均与第N-2级水平扫描线Gn-2连接。

[0018] 优选地,所述自举电容模块包括自举电容。

[0019] 优选地,各个奇数级的第一低频时钟信号通过第一公共金属线接入各个奇数级的GOA单元。

[0020] 优选地,各个偶数级的第一低频时钟信号通过第二公共金属线接入各个偶数级的GOA单元。

[0021] 本发明还提供一种液晶显示装置,包括上述任一项所述的GOA驱动电路。

[0022] 与现有技术相比,本发明通过将相邻两个GOA单元联系起来,通过将前面一个奇数级的GOA单元的SN以及PN与分别后面一个偶数级的GOA单元SN+1以及PN+1连接,从而可以使两个GOA单元的下拉维持模块的局部功能可以共用,从而可以不必在每一GOA单元中设置两个完整下拉维持模块,具有减少薄膜晶体管的有益效果。

[0023] 为让本发明的上述内容能更明显易懂,下文特举优选实施例,并配合所附图式,作详细说明如下:

附图说明

[0024] 图1是本发明一优选实施例中的GOA驱动电路的局部结构图。

[0025] 图2是本发明图1所示实施例中的GOA驱动电路的局部详细电路图。

[0026] 图3是本发明图1所示实施例中的GOA驱动电路的时序图。

[0027] 图4是本发明另一优选实施例中GOA驱动电路的局部详细电路图。

具体实施方式

[0028] 以下各实施例的说明是参考附加的图式,用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语,例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以

限制本发明。

[0029] 在图中,结构相似的单元是以相同标号表示。

[0030] 请参照图1,图1是本发明第一优选实施例中的GOA驱动电路的电路原理图。以下都是以4个高频时钟驱动讯号CK来进行说明。该GOA驱动电路包括多个GOA单元100,按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线。奇数级的GOA单元依次级联,偶数级的GOA单元依次级联。例如,总共有100级GOA单元。第1级GOA单元、第3级GOA单元、第5级GOA单元直至第99级GOA单元依次级联,第2级GOA单元、第4级GOA单元、第6级GOA单元直至第100级GOA单元依次级联。

[0031] 由于每一级GOA单元100的电路结构相同,因此,以第N级GOA单元为例对各个GOA单元100的电路结构进行描述。

[0032] 该第N级GOA单元包括上拉模块101、下拉模块102、上拉控制模块103、下拉维持模块104以及自举电容模块105。该上拉模块101、上拉控制模块103、下拉维持模块104、下拉模块102以及自举电容模块105连接于第N级栅极信号点 Q_n ,所述上拉模块101、下拉维持模块104以及自举电容模块105均与第N级水平扫描线 G_N 连接。

[0033] 具体地,参照图3,该下拉维持模块104包括第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6、第七薄膜晶体管T7以及第八薄膜晶体管T8。第一薄膜晶体管T1的栅极与漏极以及第二薄膜晶体管T2的漏极连接并在该连接点接入第一低频时钟信号 LC_1/LC_2 ,所述第一薄膜晶体管T1的源极、第三薄膜晶体管T3的漏极以及第二薄膜晶体管T2的栅极连接于一第N级第一节点 SN ,所述第二薄膜晶体管T2的源极、第四薄膜晶体管T4的漏极、第五薄膜晶体管T5的栅极以及第六薄膜晶体管T6的栅极连接于第N级第二节点 PN ;所述第五薄膜晶体管T5的漏极以及第七薄膜晶体管T7的漏极均与第N级栅极信号点 Q_N 连接。第六薄膜晶体管T6的漏极以及第八薄膜晶体管T8的漏极均与第N级水平扫描线 G_N 连接,第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6、第七薄膜晶体管T7以及第八薄膜晶体管T8的源极均接入直流低压电 VSS 。

[0034] 其中,该上拉模块101包括第十薄膜晶体管T10,该第十薄膜晶体管T10的栅极与该第N级栅极信号点 Q_N 连接,第十薄膜晶体管T10的漏极接入该第N级高频时钟信号 CK_N 。第十薄膜晶体管T10的源极与该第N级水平扫描线 G_N 连接。该上拉模块101主要用于将第N级高频时钟信号 CK_N 输出给第N级水平扫描线 G_N 作为栅极驱动信号。

[0035] 该上拉控制模块103包括第九薄膜晶体管T9,该第九薄膜晶体管T9的源极连接于该第N级栅极信号点 Q_N 。当该第N级的级数大于2时,也即是 $N > 2$ 时,该第九薄膜晶体管T9的漏极与栅极连接并与第 $N-2$ 级GOA水平扫描线 G_{N-2} 连接。当 $N=1$ 或2时,也即是该第1级GOA单元以及第2级GOA单元的上拉控制模块103的第九薄膜晶体管T9的漏极和栅极连接并接入启动信号 STV 。该上拉控制模块103用于控制该上拉模块101的第十薄膜晶体管T10的导通时间。

[0036] 该下拉模块102包括第十一薄膜晶体管T11,该第十一薄膜晶体管T11的漏极与第N级栅极信号点 Q_N 连接,第十一薄膜晶体管T11的源极接入直流低压电 VSS 。该下拉模块102用于将第N级栅极信号点 Q_n 的电位拉低。

[0037] 该自举电容模块105包括自举电容 C_b 。

[0038] 作为本发明的发明点,在本实施例中,当第N级GOA单元100为奇数级的GOA单元时,第N级第一节点SN均与第N+1级第一节点SN+1连接,第N级第二节点PN与第N+1级GOA单元的第七薄膜晶体管T7以及第八薄膜晶体管T8的栅极连接,第N级GOA单元100的第七薄膜晶体管T7以及第八薄膜晶体管T8的栅极与第N+1级第二节点PN+1连接;并且,第N级GOA单元100接入的第一低频时钟信号LC1与第N+1级GOA单元100接入的第一低频时钟信号LC2的相位相反。

[0039] 如图3所示,CK1—CK4是高频时钟驱动讯号。LC1和LC2是低频驱动讯号,两者相位完全相反。VSS是恒压负电位,也即是直流低电压。

[0040] 当LC1为高电位时,LC2为低电位,LC1为低电位时,LC2为高电位。其中,当LC1以及LC2交替为高电位,从而实现分时共用,以使第N级GOA单元的下拉维持模块104中的第五薄膜晶体管T5和第六薄膜晶体管T6与第N+1级GOA单元的下拉维持模块104的第五薄膜晶体管T5和第六薄膜晶体管T6交替使用,可以避免薄膜晶体管因长时间处于电流应力的作用而失效。

[0041] 优选地,各个奇数级的第一低频时钟信号LC1通过第一公共金属线接入各个奇数级的GOA单元。各个偶数级的第一低频时钟信号通过第二公共金属线接入各个偶数级的GOA单元。当然,其并不限于此。

[0042] 由上可知,本发明通过将相邻两个GOA单元联系起来,通过将前面一个奇数级的GOA单元的SN以及PN与后面一个偶数级的GOA单元SN+1以及PN+1连接,从而使两个GOA单元的下拉维持模块的局部功能可以共用,从而可以不必在每一GOA单元中设置两个完整下拉维持模块,具有减少薄膜晶体管的有益效果。

[0043] 进一步地,由于第N级GOA单元100接入的第一低频时钟信号LC1与第N+1级GOA单元100接入的第一低频时钟信号LC2的相位相反,当LC1以及LC2交替为高电位,从而实现分时共用,以使第N级GOA单元的下拉维持模块104中的第五薄膜晶体管T5和第六薄膜晶体管T6与第N+1级GOA单元的下拉维持模块104的第五薄膜晶体管T5和第六薄膜晶体管T6交替使用,可以避免薄膜晶体管因长时间处于电流应力的作用而失效。

[0044] 可以理解地,在另一些实施例中,如图4所示,其与实施例一的区别在于上拉控制模块103,在本实施例中,在第N级GOA单元中,上拉控制模块103包括第九薄膜晶体管T9,第九薄膜晶体管T9的源极连接于第N级栅极信号点Qn。第九薄膜晶体管T9的漏极接入高电平信号,第九薄膜晶体管T9的栅极与第N-2级水平扫描线Gn-2连接。其中,该第N级高频时钟信号CKN的电压幅度值、该第一低频时钟信号的幅度值均为V1,该高电平信号的电压值大于或者等于V1,从而Qn在凸字形的最大高电位期间,减小第九薄膜晶体管T9的漏电流造成第N级栅极信号点Qn漏电。

[0045] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

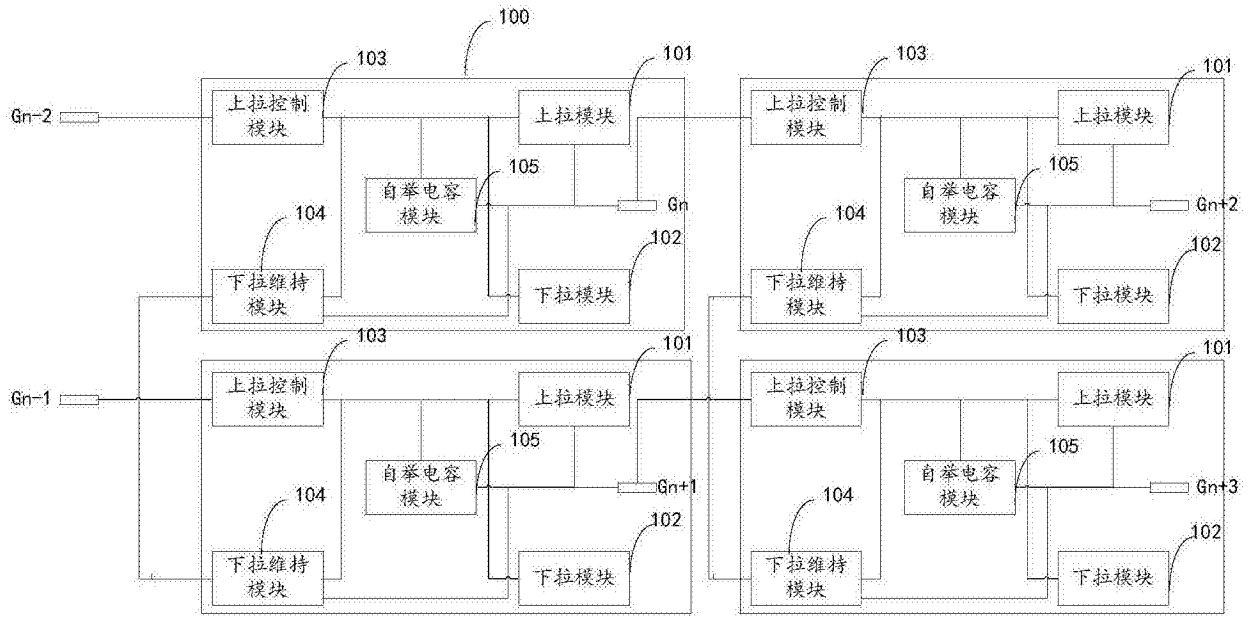


图1

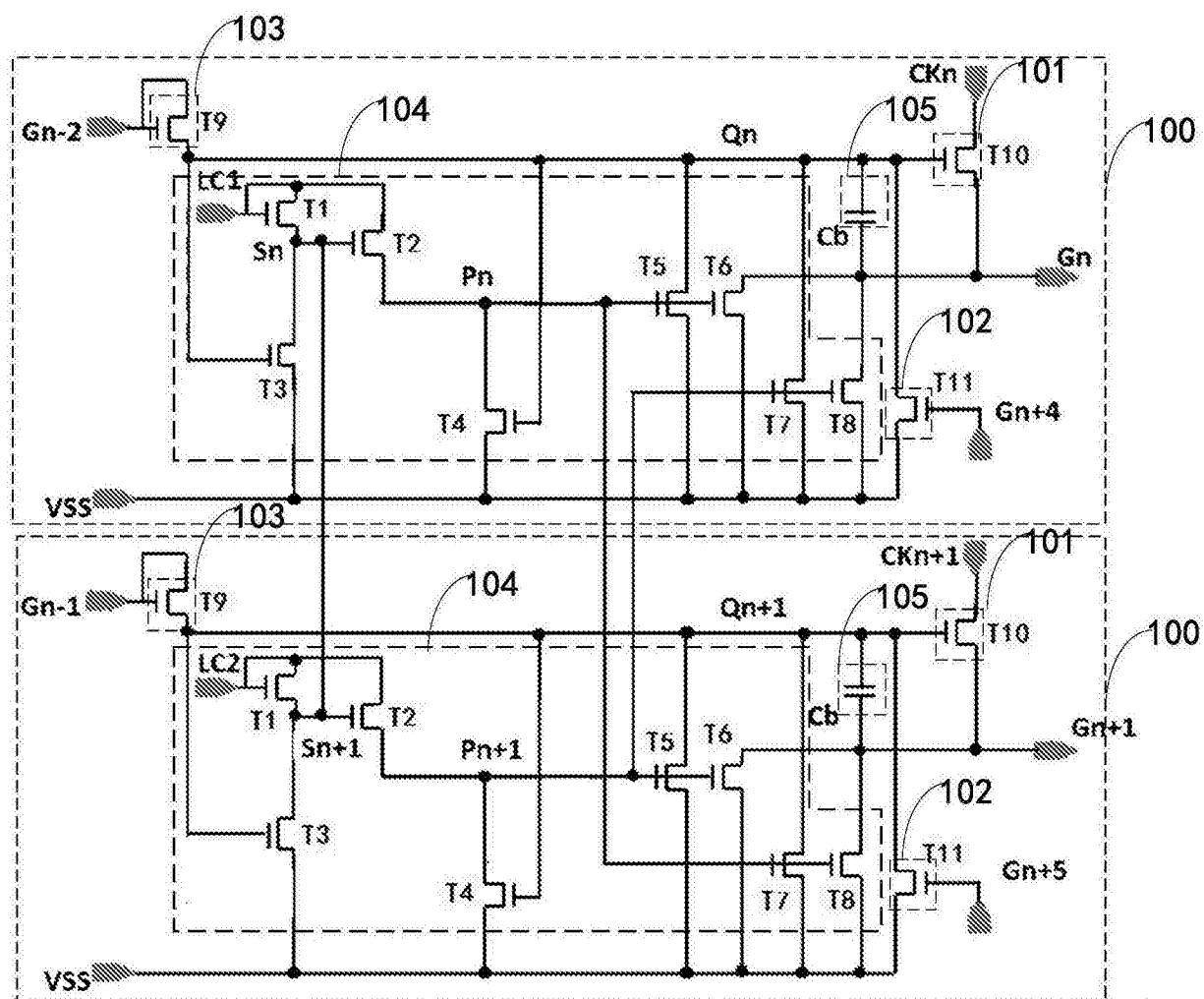


图2

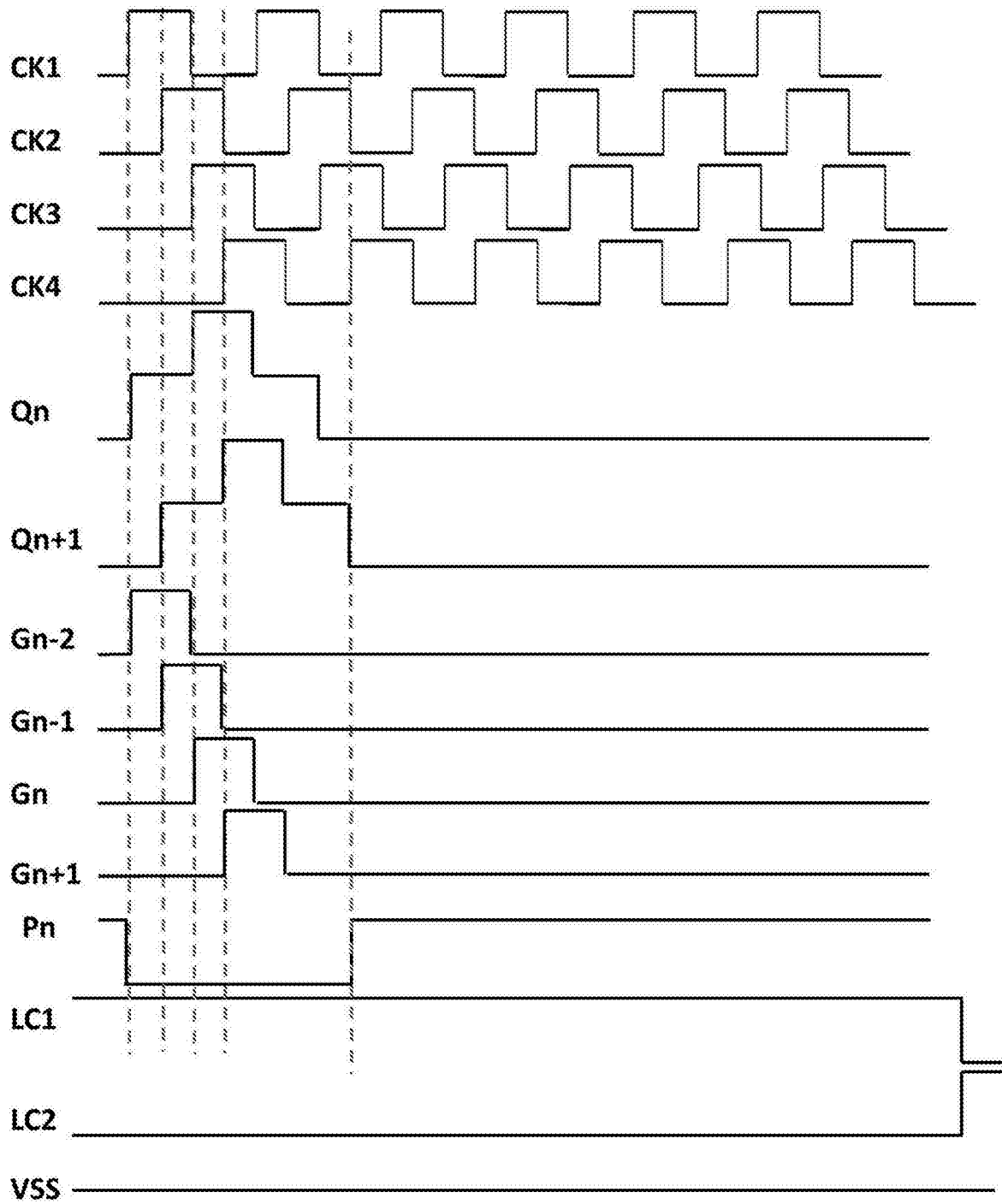


图3

专利名称(译)	GOA驱动电路及液晶显示装置		
公开(公告)号	CN106448607A	公开(公告)日	2017-02-22
申请号	CN201611067049.4	申请日	2016-11-28
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	刘徐君 陈书志		
发明人	刘徐君 陈书志		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677		
代理人(译)	黄威		
其他公开文献	CN106448607B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种GOA驱动电路及液晶显示装置，该GOA驱动电路包括多个GOA单元，按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线；奇数级的GOA单元依次级联，偶数级的GOA单元依次级联；所述第N级GOA单元包括上拉模块、下拉模块、上拉控制模块、下拉维持模块以及自举电容模块；该上拉模块、上拉控制模块、下拉维持模块、下拉模块以及自举电容模块连接于第N级栅极信号点，所述上拉模块、下拉维持模块以及自举电容模块均与第N级水平扫描线连接。本发明具有减少薄膜晶体管的有益效果。

