



(12)发明专利申请

(10)申请公布号 CN 106409262 A

(43)申请公布日 2017. 02. 15

(21)申请号 201611071751.8

(22)申请日 2016.11.28

(71)申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道9-2号

(72)发明人 曾勉

(74)专利代理机构 深圳翼盛智成知识产权事务所(普通合伙) 44300

代理人 黄威

(51)Int.Cl.

G09G 3/36(2006.01)

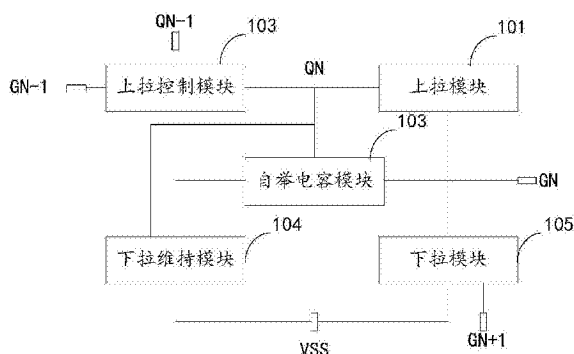
权利要求书2页 说明书4页 附图2页

(54)发明名称

GOA驱动电路及液晶显示装置

(57)摘要

本发明提供一种GOA驱动电路及液晶显示装置,该GOA驱动电路包括多个级联的GOA单元,按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线,该第N级GOA单元包括上拉模块、下拉模块、上拉控制模块、下拉维持模块以及自举电容模块;所述上拉模块、下拉模块、下拉维持模块以及自举电容模块均分别与第N级栅极信号点 Q_n 以及第N级水平扫描线 G_n 电连接;所述上拉控制模块与所述第N级栅极信号点 Q_n 电连接;所述上拉控制模块的控制端与第N-1级栅极信号点 Q_{n-1} 电连接;所述上拉控制模块的输入端与第N-1级水平扫描线电连接;所述下拉模块的控制端与第N+1级水平扫描线电连接。本发明具有提高上拉控制模块的上拉驱动能力以及节约成本的有益效果。



1. 一种GOA驱动电路,其特征在于,包括多个级联的GOA单元,按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线,该第N级GOA单元包括上拉模块、下拉模块、上拉控制模块、下拉维持模块以及自举电容模块;所述上拉模块、下拉模块、下拉维持模块以及自举电容模块均分别与第N级栅极信号点 Q_n 以及第N级水平扫描线 G_n 电连接;所述上拉控制模块与所述第N级栅极信号点 Q_n 电连接;

所述上拉控制模块的控制端与第N-1级栅极信号点 Q_{n-1} 电连接;所述上拉控制模块的输入端与第N-1级水平扫描线电连接;所述下拉模块的控制端与第N+1级水平扫描线电连接。

2. 根据权利要求1所述的GOA驱动电路,其特征在于,所述上拉控制模块包括第一薄膜晶体管,所述第一薄膜晶体管的漏极与第N-1级水平扫描线电连接,所述第一薄膜晶体管的源极与所述第N级栅极信号点 Q_n 电连接。

3. 根据权利要求2所述的GOA驱动电路,其特征在于,所述上拉模块包括第二薄膜晶体管,所述第二薄膜晶体管的漏极接入高频时钟信号CK,所述第二薄膜晶体管的栅极与所述第N级栅极信号点 Q_n 电连接,所述第二薄膜晶体管的源极与所述第N级水平扫描线 G_n 电连接。

4. 根据权利要求2所述的GOA驱动电路,其特征在于,所述下拉模块包括第三薄膜晶体管以及第四薄膜晶体管,所述第三薄膜晶体管的栅极与所述第四薄膜晶体管的栅极均与第N+1级水平扫描线电连接;所述第四薄膜晶体管的漏极与所述第N级栅极信号点电连接,所述第四薄膜晶体管的源极接入直流低电压VSS;所述第三薄膜晶体管的漏极与所述第二薄膜晶体管的源极以及所述第N级水平扫描线电连接;所述第三薄膜晶体管的源极接入直流低电压VSS。

5. 根据权利要求2所述的GOA驱动电路,其特征在于,所述下拉维持模块第一下拉维持电路;

所述第一下拉维持电路包括第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管以及第十薄膜晶体管,所述第五薄膜晶体管的栅极与漏极连接,所述第五薄膜晶体管的漏极以及所述第六薄膜晶体管的漏极连接并接入第一低频时钟信号,所述第五薄膜晶体管的源极与所述第六薄膜晶体管的栅极以及所述第七薄膜晶体管的漏极连接,所述第七薄膜晶体管的栅极以及所述第八薄膜晶体管的栅极均与所述第N级栅极信号点连接,所述第七薄膜晶体管的源极、第八薄膜晶体管的源极、第九薄膜晶体管的源极以及第十薄膜晶体管的源极连接并接入所述直流低电压VSS;所述第八薄膜晶体管的漏极、所述第六薄膜晶体管的源极、所述第九薄膜晶体管的栅极以及所述第十薄膜晶体管的栅极连接,所述第九薄膜晶体管的漏极与所述第N级水平扫描线 G_n 电连接,所述第十薄膜晶体管的漏极与所述第N级栅极信号点连接。

6. 根据权利要求5所述的GOA驱动电路,其特征在于,所述下拉维持模块还包括第二下拉维持电路;

所述第二下拉维持电路包括包括第十一薄膜晶体管、第十二薄膜晶体管、第十三薄膜晶体管、第十四薄膜晶体管、第十五薄膜晶体管以及第十六薄膜晶体管,所述第十一薄膜晶体管的栅极与漏极连接,所述第十一薄膜晶体管的漏极以及所述第十二薄膜晶体管的漏极连接并接入第二低频时钟信号,所述第十一薄膜晶体管的源极与所述第十二薄膜晶体管的

栅极以及所述第十三薄膜晶体管的漏极连接,所述第十三薄膜晶体管的栅极以及所述第十四薄膜晶体管的栅极均与所述第N级栅极信号点连接,所述第十三薄膜晶体管的源极、第十四薄膜晶体管的源极、第十五薄膜晶体管的源极以及第十六薄膜晶体管的源极连接并接入所述直流低电压VSS;第十二薄膜晶体管的源极、第十四薄膜晶体管的漏极、第十五薄膜晶体管的栅极以及第十六薄膜晶体管的栅极连接,所述第十五薄膜晶体管的漏极与所述第N级水平扫描线Gn电连接,所述第十六薄膜晶体管的漏极与所述第N级栅极信号点连接。

7. 根据权利要求1所述的GOA驱动电路,其特征在于,所述自举电容模块包括自举电容,所述自举电容的一端与所述第N级水平扫描线Gn电连接,所述自举电容的另一端与所述第N级栅极信号点电连接。

8. 根据权利要求6所述的GOA驱动电路,其特征在于,所述第一低频时钟信号与所述第二低频时钟信号的相位相反。

9. 根据权利要求6所述的GOA驱动电路,其特征在于,所述第一低频时钟信号以及所述第二低频时钟信号分别通过公共金属线接入各个GOA单元。

10. 一种液晶显示装置,其特征在于,包括权利要求1-9任一项所述的GOA驱动电路。

GOA驱动电路及液晶显示装置

技术领域

[0001] 本发明涉及液晶显示领域,特别是涉及一种GOA驱动电路及液晶显示装置。

背景技术

[0002] Gate Driver On Array,简称GOA,也就是利用现有薄膜晶体管液晶显示器阵列制程将栅极行扫描驱动信号电路制作在阵列基板上,实现对像素结构逐行扫描的驱动方式的一项技术。

[0003] 现有技术中,都是通过下传电路模块来将本级GOA单元的上拉模块的时钟信号作为下传信号传递给下一级的GOA单元的上拉控制模块,由于必须具有下传电路模块导致成本较高,并且由于是通过下传电路模块来将本级GOA单元的上拉模块的时钟信号传递给下一级GOA单元上拉控制模块,其上拉驱动能力有限。

[0004] 因此,现有技术存在缺陷,急需改进。

发明内容

[0005] 本发明的目的在于提供一种改进的GOA驱动电路及液晶显示装置。

[0006] 为解决上述问题,本发明提供的技术方案如下:

[0007] 本发明提供一种GOA驱动电路,包括多个级联的GOA单元,按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线,该第N级GOA单元包括上拉模块、下拉模块、上拉控制模块、下拉维持模块以及自举电容模块;所述上拉模块、下拉模块、下拉维持模块以及自举电容模块均分别与第N级栅极信号点 Q_n 以及第N级水平扫描线 G_n 电连接;所述上拉控制模块与所述第N级栅极信号点 Q_n 电连接;

[0008] 所述上拉控制模块的控制端与第N-1级栅极信号点 Q_{n-1} 电连接;所述上拉控制模块的输入端与第N-1级水平扫描线电连接;所述下拉模块的控制端与第N+1级水平扫描线电连接。

[0009] 优选地,所述上拉控制模块包括第一薄膜晶体管,所述第一薄膜晶体管的漏极与第N-1级水平扫描线电连接,所述第一薄膜晶体管的源极与所述第N级栅极信号点 Q_n 电连接。

[0010] 优选地,所述上拉模块包括第二薄膜晶体管,所述第二薄膜晶体管的漏极接入高频时钟信号CK,所述第二薄膜晶体管的栅极与所述第N级栅极信号点 Q_n 电连接,所述第二薄膜晶体管的源极与所述第N级水平扫描线 G_n 电连接。

[0011] 优选地,所述下拉模块包括第三薄膜晶体管以及第四薄膜晶体管,所述第三薄膜晶体管的栅极与所述第四薄膜晶体管的栅极均与第N+1级水平扫描线电连接;所述第四薄膜晶体管的漏极与所述第N级栅极信号点电连接,所述第四薄膜晶体管的源极接入直流低电压VSS;所述第三薄膜晶体管的漏极与所述第二薄膜晶体管的源极以及所述第N级水平扫描线电连接;所述第三薄膜晶体管的源极接入直流低电压VSS。

[0012] 优选地,所述下拉维持模块第一下拉维持电路;

[0013] 所述第一下拉维持电路包括第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管以及第十薄膜晶体管,所述第五薄膜晶体管的栅极与漏极连接,所述第五薄膜晶体管的漏极以及所述第六薄膜晶体管的漏极连接并接入第一低频时钟信号,所述第五薄膜晶体管的源极与所述第六薄膜晶体管的栅极以及所述第七薄膜晶体管的漏极连接,所述第七薄膜晶体管的栅极以及所述第八薄膜晶体管的栅极均与所述第N级栅极信号点连接,所述第七薄膜晶体管的源极、第八薄膜晶体管的源极、第九薄膜晶体管的源极以及第十薄膜晶体管的源极连接并接入所述直流低电压VSS;所述第八薄膜晶体管的漏极、所述第六薄膜晶体管的源极、所述第九薄膜晶体管的栅极以及所述第十薄膜晶体管的栅极连接,所述第九薄膜晶体管的漏极与所述第N级水平扫描线Gn电连接,所述第十薄膜晶体管的漏极与所述第N级栅极信号点连接。

[0014] 优选地,所述下拉维持模块还包括第二下拉维持电路;

[0015] 所述第二下拉维持电路包括包括第十一薄膜晶体管、第十二薄膜晶体管、第十三薄膜晶体管、第十四薄膜晶体管、第十五薄膜晶体管以及第十六薄膜晶体管,所述第十一薄膜晶体管的栅极与漏极连接,所述第十一薄膜晶体管的漏极以及所述第十二薄膜晶体管的漏极连接并接入第二低频时钟信号,所述第十一薄膜晶体管的源极与所述第十二薄膜晶体管的栅极以及所述第十三薄膜晶体管的漏极连接,所述第十三薄膜晶体管的栅极以及所述第十四薄膜晶体管的栅极均与所述第N级栅极信号点连接,所述第十三薄膜晶体管的源极、第十四薄膜晶体管的源极、第十五薄膜晶体管的源极以及第十六薄膜晶体管的源极连接并接入所述直流低电压VSS;第十二薄膜晶体管的源极、第十四薄膜晶体管的漏极、第十五薄膜晶体管的栅极以及第十六薄膜晶体管的栅极连接,所述第十五薄膜晶体管的漏极与所述第N级水平扫描线Gn电连接,所述第十六薄膜晶体管的漏极与所述第N级栅极信号点连接。

[0016] 优选地,所述自举电容模块包括自举电容,所述自举电容的一端与所述第N级水平扫描线Gn电连接,所述自举电容的另一端与所述第N级栅极信号点电连接。

[0017] 优选地,所述第一低频时钟信号与所述第二低频时钟信号的相位相反。

[0018] 优选地,所述第一低频时钟信号以及所述第二低频时钟信号分别通过公共金属线接入各个GOA单元。

[0019] 本发明还提供了一种液晶显示装置,包括上述任一项所述的GOA驱动电路。

[0020] 本发明提供的GOA驱动电路及液晶显示装置第N级GOA单元采用第N级的栅极信号点Qn的电压输出作为下传信号,可以省略掉下传模块以及下传信号的输出;并采用第N-1级GOA单元的栅极信号点Qn-1的电压作为第N级GOA单元的上拉控制模块的开启信号,在第N-1级GOA单元的栅极信号点Qn-1的信号高电位的上升起来的阶段,第N-1级水平扫描线Gn-1的信号传输至第N级GOA单元的栅极信号点Qn,使得上拉控制模块的开启电压更大,上拉驱动能力更强。

附图说明

[0021] 图1是本发明一优选实施例中的GOA驱动电路的第N级GOA单元的原理框图。

[0022] 图2是本发明图1所示实施例中的第N级GOA单元的电路原理图。

[0023] 图3是本发明的GOA驱动电路的信号时序图。

具体实施方式

[0024] 以下各实施例的说明是参考附加的图式,用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语,例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。

[0025] 在图中,结构相似的模块是以相同标号表示。

[0026] 请参照图1,该GOA驱动电路包括多个级联的GOA单元,按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线,该第N级GOA单元包括上拉模块101、下拉模块102、上拉控制模块103、下拉维持模块104以及自举电容模块105。

[0027] 其中,上拉模块101、下拉模块105、下拉维持模块104以及自举电容模块103均分别与第N级栅极信号点 Q_n 以及第N级水平扫描线 G_n 电连接;所述上拉控制模块103与第N级栅极信号点 Q_n 电连接。该上拉控制模块103的控制端与第N-1级栅极信号点 Q_{n-1} 电连接;上拉控制模块103的输入端与第N-1级水平扫描线 G_{n-1} 电连接;所述下拉模块105的控制端与第N+1级水平扫描线 G_{n+1} 电连接。可以理解地,该第1级GOA单元的上拉控制模块的控制端接入初始启动信号STV,第1级GOA单元输入端接入初始驱动电压信号。

[0028] 具体地,如图2所示,该上拉模块101包括第二薄膜晶体管T2,所述第二薄膜晶体管T2的漏极接入高频时钟信号CK,所述第二薄膜晶体管T2的栅极与第N级栅极信号点 Q_n 电连接,所述第二薄膜晶体管T2的源极与第N级水平扫描线 G_n 电连接。该上拉模块101主要用于将高频时钟信号CK输出给第N级水平扫描线 G_n 的栅极驱动信号。

[0029] 该控制上拉模块101的上拉控制模块103包括第一薄膜晶体管T1,该第一薄膜晶体管T1的漏极与第N-1级水平扫描线电连接,所述第一薄膜晶体管T1的源极与第N级栅极信号点 Q_n 电连接。上拉控制模块103用于控制该第二薄膜晶体管T2打开的时间。

[0030] 该下拉模块105包括第三薄膜晶体管T3以及第四薄膜晶体管T4,所述第三薄膜晶体管T3的栅极与第四薄膜晶体管T4的栅极均与第N+1级水平扫描线 G_{n+1} 电连接;所述第四薄膜晶体管T4的漏极与第N级栅极信号点 Q_n 电连接,所述第四薄膜晶体管T4的源极接入直流低电压VSS;所述第三薄膜晶体管T3的漏极与第二薄膜晶体管T2的源极以及第N级水平扫描线 G_n 电连接;所述第三薄膜晶体管T3的源极接入直流低电压VSS。该下拉模块105用于快速将该输出给第N级水平扫描线的栅极驱动信号拉为低电位。

[0031] 该下拉维持模块104第一下拉维持电路1041以及第二下拉维持电路1042。

[0032] 该第一下拉维持电路1041包括第五薄膜晶体管T5、第六薄膜晶体管T6、第七薄膜晶体管T7、第八薄膜晶体管T8、第九薄膜晶体管T9以及第十薄膜晶体管T10。该第五薄膜晶体管T5的栅极与漏极连接,第五薄膜晶体管T5的漏极以及第六薄膜晶体管T6的漏极连接并接入第一低频时钟信号LC1。第五薄膜晶体管T5的源极、第六薄膜晶体管T6的栅极以及第七薄膜晶体管T7的漏极连接,第七薄膜晶体管T7的栅极以及第八薄膜晶体管T8的栅极均与第N级栅极信号点 Q_n 连接。第七薄膜晶体管T7的源极、第八薄膜晶体管T8的源极、第九薄膜晶体管T9的源极以及第十薄膜晶体管T10的源极连接并接入所述直流低电压VSS。第八薄膜晶体管T8的漏极、第六薄膜晶体管T6的源极、第九薄膜晶体管T9的栅极以及第十薄膜晶体管T10的栅极连接。第九薄膜晶体管T9的漏极与第N级水平扫描线 G_n 电连接,第十薄膜晶体管

T10的漏极与第N级栅极信号点Q_n连接。

[0033] 该所述第二下拉维持电路1042包括第十一薄膜晶体管T11、第十二薄膜晶体管T12、第十三薄膜晶体管T13、第十四薄膜晶体管T14、第十五薄膜晶体管T15以及第十六薄膜晶体管T16。第十一薄膜晶体管T11的栅极与漏极连接,第十一薄膜晶体管T11的漏极以及第十二薄膜晶体管T12的漏极连接并接入第二低频时钟信号LC2。第十一薄膜晶体管T11的源极、第十二薄膜晶体管T12的栅极以及第十三薄膜晶体管T13的漏极连接。第十三薄膜晶体管T13的栅极以及第十四薄膜晶体管T14的栅极均与第N级栅极信号点Q_n连接,第十三薄膜晶体管T13的源极、第十四薄膜晶体管T14的源极、第十二薄膜晶体管T15的源极以及第十六薄膜晶体管T16的源极连接并接入直流低电压VSS。第十二薄膜晶体管T16的源极、第十四薄膜晶体管T14的漏极、第十五薄膜晶体管T15的栅极以及第十六薄膜晶体管T16的栅极连接,所述第十五薄膜晶体管T15的漏极与所述第N级水平扫描线G_n电连接,所述第十六薄膜晶体管T16的漏极与所述第N级栅极信号点Q_n连接。

[0034] 该自举电容模块103包括自举电容C_b,所述自举电容C_b的一端与第N级水平扫描线G_n电连接,自举电容C_b的另一端与所述第N级栅极信号点Q_n电连接。

[0035] 第一低频时钟信号LC1以及所述第二低频时钟信号LC2分别通过公共金属线接入各个GOA单元。

[0036] 如图3所示,第一低频时钟信号LC1与所述第二低频时钟信号LC2是相位完全相反的两个时钟信号,也即是该第一低频时钟信号LC1与该第二低频时钟信号LC2是交替工作的,也即是该第一下拉维持电路1041与该第二下拉维持电路1042交替工作的,这样可以减少每一个下拉维持电路的持续工作时间,使得薄膜晶体管受到的电压应力作用降低,进而提高电路整体的可靠性。

[0037] 具体地,在该图3中,在该m1时间段,该LC1处于工作状态,也即是该第一下拉维持电路1041处于工作状态,在该m2时间段(未画完)LC2处于工作状态,也即是第二下拉维持电路1042处于工作状态。

[0038] 本发明提供的GOA驱动电路的第N级GOA单元采用第N级的栅极信号点Q_n的电压输出作为下传信号,可以省略掉下传模块以及下传信号的输出;并采用第N-1级GOA单元的栅极信号点Q_{n-1}的电压作为第N级GOA单元的上拉控制模块的开启信号,在第N-1级GOA单元的栅极信号点Q_{n-1}的信号高电位的上升起来的阶段,第N-1级水平扫描线G_{n-1}的信号传输至第N级GOA单元的栅极信号点Q_n,使得上拉控制模块的开启电压更大,上拉驱动能力更强。

[0039] 本发明还提供了一种液晶显示装置,其包括上述实施例中的GOA驱动电路。

[0040] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

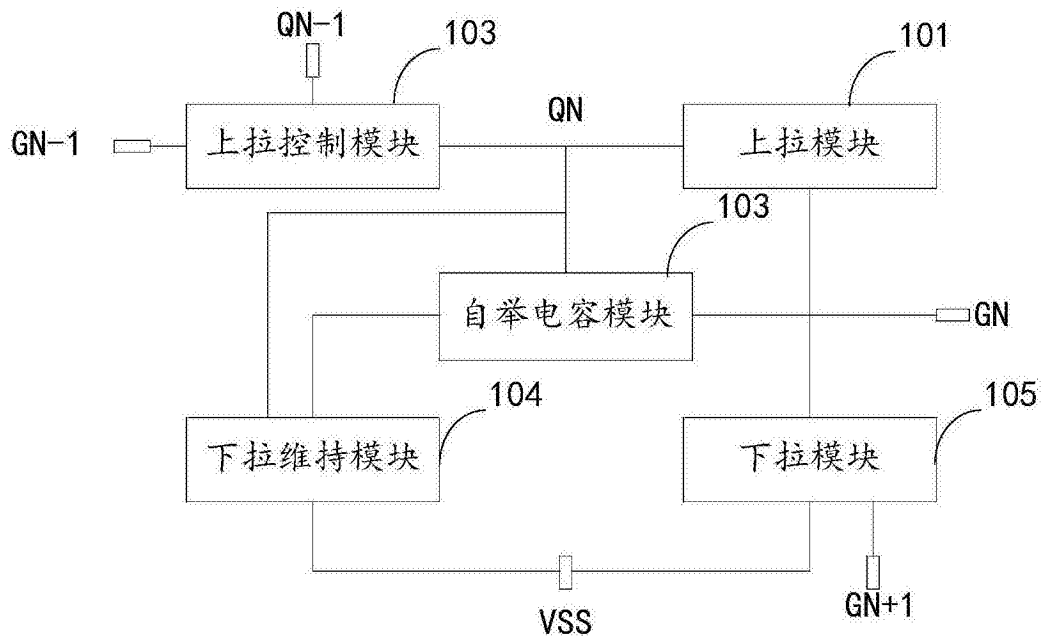


图1

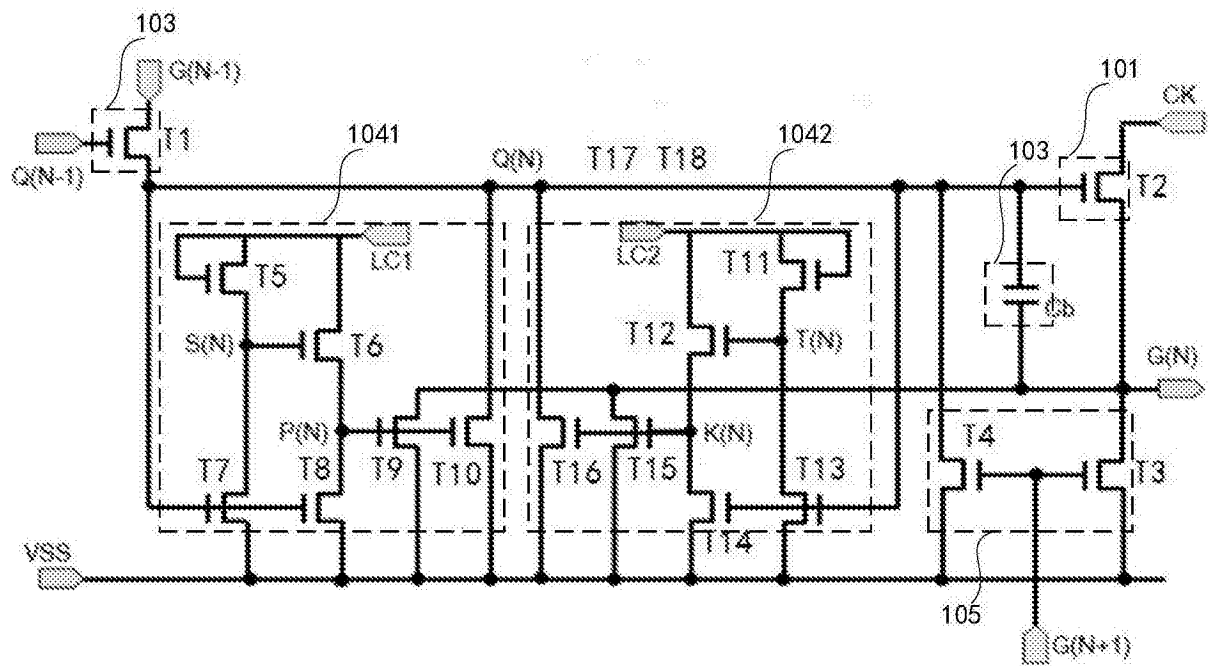


图2

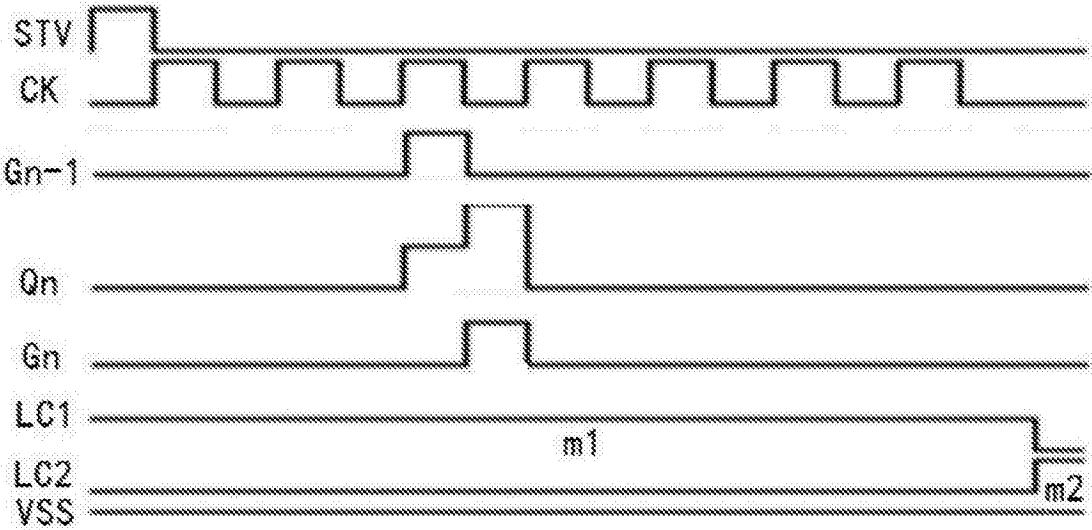


图3

专利名称(译)	GOA驱动电路及液晶显示装置		
公开(公告)号	CN106409262A	公开(公告)日	2017-02-15
申请号	CN201611071751.8	申请日	2016-11-28
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	曾勉		
发明人	曾勉		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2300/0809 G09G2310/0208 G11C19/28		
代理人(译)	黄威		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种GOA驱动电路及液晶显示装置，该GOA驱动电路包括多个级联的GOA单元，按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线，该第N级GOA单元包括上拉模块、下拉模块、上拉控制模块、下拉维持模块以及自举电容模块；所述上拉模块、下拉模块、下拉维持模块以及自举电容模块均分别与第N级栅极信号点 Q_n 以及第N级水平扫描线 G_n 电连接；所述上拉控制模块与所述第N级栅极信号点 Q_n 电连接；所述上拉控制模块的控制端与第N-1级栅极信号点 Q_{n-1} 电连接；所述上拉控制模块的输入端与第N-1级水平扫描线电连接；所述下拉模块的控制端与第N+1级水平扫描线电连接。本发明具有提高上拉控制模块的上拉驱动能力以及节约成本的有益效果。

