



(12)发明专利

(10)授权公告号 CN 106297719 B

(45)授权公告日 2018.04.20

(21)申请号 201610903103.8

(22)申请日 2016.10.18

(65)同一申请的已公布的文献号

申请公布号 CN 106297719 A

(43)申请公布日 2017.01.04

(73)专利权人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道9-2号

(72)发明人 吕晓文 陈书志

(74)专利代理机构 深圳翼盛智成知识产权事务所(普通合伙) 44300

代理人 黄威

(51)Int.Cl.

G09G 3/36(2006.01)

(56)对比文件

CN 104376824 A, 2015.02.25, 全文.

CN 104376874 A, 2015.02.25, 全文.

CN 104505048 A, 2015.04.08, 全文.

CN 105632441 A, 2016.06.01, 全文.

KR 20140101152 A, 2014.08.19, 全文.

US 2016293094 A1, 2016.10.06, 全文.

审查员 张鹏

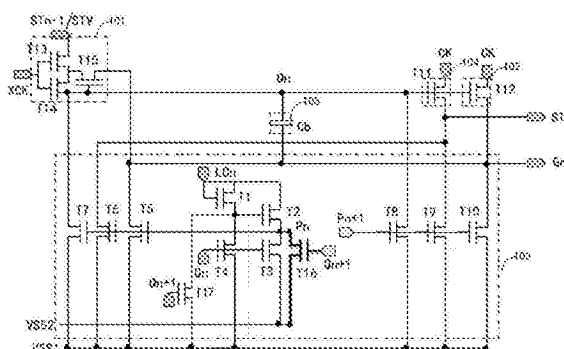
权利要求书2页 说明书4页 附图2页

(54)发明名称

GOA驱动电路及液晶显示装置

(57)摘要

本发明提供一种GOA驱动电路及液晶显示装置,该GOA驱动电路包括多个级联的GOA单元,按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线 G_n ,该第N级GOA单元包括上拉模块、上拉控制模块、下拉维持模块、下传模块以及自举电容模块;所述上拉模块、下拉维持模块以及自举电容模块均分别与第N级栅极信号点 Q_n 以及第N级水平扫描线 G_n 电连接,所述上拉控制模块以及下传模块与第N级栅极信号点 Q_n 连接。本发明具有减少薄膜晶体管数量的有益效果。



1. 一种GOA驱动电路,其特征在于,该GOA驱动电路包括多个级联的GOA单元,按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线 G_n ,该第N级GOA单元包括上拉模块、上拉控制模块、下拉维持模块、下传模块以及自举电容模块;所述上拉模块、下拉维持模块以及自举电容模块均分别与第N级栅极信号点 Q_n 以及第N级水平扫描线 G_n 电连接,所述上拉控制模块以及下传模块与第N级栅极信号点 Q_n 连接;

所述下拉维持模块包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第十薄膜晶体管、第十六薄膜晶体管以及第十七薄膜晶体管;所述第一薄膜晶体管的栅极与漏极以及第二薄膜晶体管的漏极连接并接入第N级低频时钟信号 LC_n ,所述第一薄膜晶体管的源极、第二薄膜晶体管的栅极以及第四薄膜晶体管的漏极连接,所述第二薄膜晶体管的源极、第三薄膜晶体管的漏极、第五薄膜晶体管的栅极以及第七薄膜晶体管的栅极连接于第N级公共点 P_n ;所述第七薄膜晶体管的漏极以及第八薄膜晶体管的漏极与第N级栅极信号点 Q_n 连接,所述第五薄膜晶体管的漏极以及所述第十薄膜晶体管的漏极与第N级水平扫描线连接;所述第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管以及第十薄膜晶体管的源极与基准低电压源连接以接入基准低电压;

所述第十六薄膜晶体管的漏极与第N级公共节点 P_n 连接,所述第十六薄膜晶体管的栅极与基准低电压源连接以接入基准低电压,所述第十六薄膜晶体管的栅极与第N+1级栅极信号点 Q_{n+1} 连接;

所述第十七薄膜晶体管的漏极与第一薄膜晶体管的源极以及第二薄膜晶体管的栅极连接,所述第十七薄膜晶体管的栅极与基准低电压源连接以接入基准低电压,所述第十七薄膜晶体管的栅极与第N+1级栅极信号点 Q_{n+1} 连接;

所述第八薄膜晶体管以及第十薄膜晶体管的栅极连接并与第N+1级公共节点 P_{n+1} 连接,所述第N级GOA单元接入的第N级低频时钟信号 LC_n 与第N+1级GOA单元接入的第N+1级低频时钟信号 LC_{n+1} 的频率相同且相位相反。

2. 根据权利要求1所述的GOA驱动电路,其特征在于,所述下拉维持模块还包括第六薄膜晶体管以及第九薄膜晶体管,所述下传模块包括第十一薄膜晶体管,所述第六薄膜晶体管以及所述第九薄膜晶体管的漏极分别与第十一薄膜晶体管的源极连接,所述第六薄膜晶体管的栅极与第N级公共节点 P_n 连接,所述第九薄膜晶体管的栅极与第N+1级公共节点 P_{n+1} 连接,所述第十一薄膜晶体管的漏极接入第一高频时钟信号,所述第十一薄膜晶体管的栅极与第N级栅极信号点 Q_n 连接。

3. 根据权利要求2所述的GOA驱动电路,其特征在于,所述上拉控制模块包括第十三薄膜晶体管、第十四薄膜晶体管以及第十五薄膜晶体管,所述第十三薄膜晶体管的栅极与第十四薄膜晶体管的栅极连接并接入第二高频时钟信号 XCK ,第十三薄膜晶体管的源极、第十四薄膜晶体管的漏极以及第十五薄膜晶体管的漏极连接,第十五薄膜晶体管的源极与第五薄膜晶体管的漏极以及第九薄膜晶体管的漏极连接;第十四薄膜晶体管的源极与第N级栅极信号点 Q_n 连接。

4. 根据权利要求3所述的GOA驱动电路,其特征在于,所述基准低电压包括第一基准低电压 VSS_1 以及第二基准低电压 VSS_2 ;

所述第三薄膜晶体管的源极以及第十六薄膜晶体管的源极接入所述第二基准低电压

VSS 1,所述第七薄膜晶体管、第六薄膜晶体管、第五薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管以及第十薄膜晶体管的源极接入所述第一基准低电压,所述第二基准低电压的电压值小于所述第一基准低电压的电压值。

5.根据权利要求4所述的GOA驱动电路,其特征在于,所述上拉模块包括第十二薄膜晶体管,所述第十二薄膜晶体管的漏极接入第一高电平信号,所述第十二薄膜晶体管的源极与所述第N级水平扫描线连接,所述第十二薄膜晶体管的栅极与所述第N级栅极信号点连接。

6.根据权利要求3所述的GOA驱动电路,其特征在于,所述第一高频时钟信号与所述第二高频时钟信号频率相同且相位相反。

7.根据权利要求6所述的GOA驱动电路,其特征在于,所述第一高频时钟信号以及第二高频时钟信号分别通过第一公共金属线以及第二公共金属线接入。

8.根据权利要求1所述的GOA驱动电路,其特征在于,所述自举电容模块包括自举电容,所述自举电容的一端与所述第N级栅极信号点 Q_n 连接,所述自举电容的另一端与所述第N级水平扫描线 G_n 连接。

9.根据权利要求1所述的GOA驱动电路,其特征在于,所述第N级低频时钟信号 L_n 通过第三公共金属线接入。

10.一种液晶显示装置,其特征在于,包括权利要求1-9任一项所述的GOA驱动电路。

GOA驱动电路及液晶显示装置

技术领域

[0001] 本发明涉及液晶显示领域,特别是涉及一种GOA驱动电路及液晶显示装置。

背景技术

[0002] Gate Driver On Array,简称GOA,也就是利用现有薄膜晶体管液晶显示器阵列制程将栅极行扫描驱动信号电路制作在阵列基板上,实现对像素结构逐行扫描的驱动方式的一项技术。

[0003] 随着技术的发展,窄边框是一种必然趋势。现有技术中,GOA驱动电路使用薄膜晶体管的数量较多,如何在不影响功能的情况下减薄膜晶体管的数量是一个技术难题。

[0004] 因此,现有技术存在缺陷,急需改进。

发明内容

[0005] 本发明的目的在于提供一种改进的GOA驱动电路及液晶显示装置。

[0006] 为解决上述问题,本发明提供的技术方案如下:

[0007] 本发明提供一种GOA驱动电路,其特征在于,该GOA驱动电路包括多个级联的GOA单元,按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线 G_n ,该第N级GOA单元包括上拉模块、上拉控制模块、下拉维持模块、下传模块以及自举电容模块;所述上拉模块、下拉维持模块以及自举电容模块均分别与第N级栅极信号点 Q_n 以及第N级水平扫描线 G_n 电连接,所述上拉控制模块以及下传模块与第N级栅极信号点 Q_n 连接;

[0008] 所述下拉维持模块包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第十薄膜晶体管、第十六薄膜晶体管以及第十七薄膜晶体管;所述第一薄膜晶体管的栅极与漏极以及第二薄膜晶体管的漏极连接并接入第N级低频时钟信号 LC_n ,所述第一薄膜晶体管的源极、第二薄膜晶体管的栅极以及第四薄膜晶体管的漏极连接,所述第二薄膜晶体管的源极、第三薄膜晶体管的漏极、第五薄膜晶体管的栅极以及第七薄膜晶体管的栅极连接于第N级公共点 P_n ;所述第七薄膜晶体管的漏极以及第八薄膜晶体管的漏极与第N级栅极信号点 Q_n 连接,所述第五薄膜晶体管的漏极以及所述第十薄膜晶体管的漏极与第N级水平扫描线连接;所述第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管以及第十薄膜晶体管的源极与基准低电压源连接以接入基准低电压;

[0009] 所述第十六薄膜晶体管的漏极与第N级公共节点 P_n 连接,所述第十六薄膜晶体管的栅极与基准低电压源连接以接入基准低电压,所述第十六薄膜晶体管的栅极与第N+1级栅极信号点 Q_{n+1} 连接;

[0010] 所述第十七薄膜晶体管的漏极与第一薄膜晶体管的源极以及第二薄膜晶体管的栅极连接,所述第十七薄膜晶体管的栅极与基准低电压源连接以接入基准低电压,所述第十七六薄膜晶体管的栅极与第N+1级栅极信号点 Q_{n+1} 连接;

[0011] 所述第八薄膜晶体管以及第十薄膜晶体管的栅极连接并与第N+1级公共节点 P_{n+1}

连接,所述第N级GOA单元接入的第N级低频时钟信号 LC_n 与第N+1级GOA单元接入的第N+1级低频时钟信号 LC_{n+1} 的频率相同且相位相反。

[0012] 优选地,所述下拉维持模块还包括第六薄膜晶体管以及第九薄膜晶体管,所述下拉维持模块包括第十一薄膜晶体管,所述第六薄膜晶体管以及所述第九薄膜晶体管的漏极分别与所述第十一薄膜晶体管的源极连接,所述第六薄膜晶体管的栅极与所述第N级公共节点 P_n 连接,所述第九薄膜晶体管的栅极与第N+1级公共节点 P_{n+1} 连接,所述第十一薄膜晶体管的漏极接入第一高频时钟信号,所述第十一薄膜晶体管的栅极与第N级栅极信号点 Q_n 连接。

[0013] 优选地,其特征在于,所述上拉控制模块包括第十三薄膜晶体管、第十四薄膜晶体管以及第十五薄膜晶体管,所述第十三薄膜晶体管的栅极与所述第十四薄膜晶体管的栅极连接并接入第二高频时钟信号 XCK ,第十三薄膜晶体管的源极、第十四薄膜晶体管的漏极以及第十五薄膜晶体管的漏极连接,第十五薄膜晶体管的源极与所述第五薄膜晶体管的漏极以及第九薄膜晶体管的漏极连接;第十四薄膜晶体管的源极与第N级栅极信号点 Q_n 连接。

[0014] 优选地,所述基准低电压包括第一基准低电压 $VSS1$ 以及第二基准低电压 $VSS2$;

[0015] 所述第三薄膜晶体管的源极以及第十六薄膜晶体管的源极接入所述第二基准低电压 $VSS1$,所述第七薄膜晶体管、第六薄膜晶体管、第五薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管以及第十薄膜晶体管的源极接入所述第一基准低电压,所述第二基准低电压的电压值小于所述第一基准低电压的电压值。

[0016] 优选地,所述上拉模块包括第十二薄膜晶体管,所述第十二薄膜晶体管的漏极接入第一高电平信号,所述第十二薄膜晶体管的源极与所述第N级水平扫描线连接,所述第十二薄膜晶体管的栅极与所述第N级栅极信号点连接。

[0017] 优选地,所述第一高频时钟信号与所述第二高频时钟信号频率相同且相位相反。

[0018] 优选地,所述第一高频时钟信号以及第二高频时钟信号分别通过第一公共金属线以及第二公共金属线接入。

[0019] 优选地,所述自举电容模块包括自举电容,所述自举电容的一端与所述第N级栅极信号点 Q_n 连接,所述自举电容的另一端与所述第N级水平扫描线 G_n 连接。

[0020] 优选地,所述第N级低频时钟信号 L_n 通过第三公共金属线接入。

[0021] 本发明还提供一种液晶显示装置,包括上述9任一项所述的GOA驱动电路。

[0022] 本发明提供的GOA驱动电路通过第N级GOA单元的下拉维持模块共享第N+1级GOA单元的下拉维持模块的第N+1级公共节点 P_{n+1} ,从而使得每一下拉维持模块仅需一组共四个薄膜晶体管就可以实现对于第五薄膜晶体管和第七薄膜晶体管与第八薄膜晶体管与第十薄膜晶体管之间的分时使用,以避免由于第五薄膜晶体管和第七薄膜晶体管与第八薄膜晶体管与第十薄膜晶体管一直使用导致薄膜晶体管失效,具有减少薄膜晶体管数量的有益效果。

附图说明

[0023] 图1是本发明一优选实施例中的GOA驱动电路的原理框图。

[0024] 图2是本发明图1所示实施例中的第N级GOA单元的电路原理图。

具体实施方式

[0025] 以下各实施例的说明是参考附加的图式,用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语,例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。

[0026] 在图中,结构相似的模块是以相同标号表示。

[0027] 请参照图1,该GOA驱动电路,该GOA驱动电路包括多个级联的GOA单元,按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线Gn,该第N级GOA单元包括上拉控制模块101、上拉模块102、下拉维持模块103、下传模块105以及自举电容模块104。上拉模块102、下拉维持模块103以及自举电容模块104均分别与第N级栅极信号点Qn以及第N级水平扫描线Gn电连接,所述上拉控制模块101以及下传模块105与第N级栅极信号点Qn连接。该下拉维持模块103还与该下传模块105连接。

[0028] 具体地,同时参照图2,该上拉模块102包括第十二薄膜晶体管T12,该第十二薄膜晶体管T12的栅极与该第N级栅极信号点Qn连接,该第十二薄膜晶体管T12的源极与该第N级水平扫描线Gn连接。该上拉模块102用于将第一高频时钟信号CK输出为栅极扫描信号给该第N级水平扫描线Gn。

[0029] 该下传模块104包括第十一薄膜晶体管T11,该第十一薄膜晶体管T11的栅极与该第N级栅极信号点Qn连接,该第十一薄膜晶体管T11的漏极接入第一高频时钟信号CK,该第十一薄膜晶体管T11的源极输出第N级下传信号STn。

[0030] 该上拉控制模块101包括第十三薄膜晶体管T13、第十四薄膜晶体管T14以及第十五薄膜晶体管T15。第十三薄膜晶体管T13的栅极与第十四薄膜晶体管T14的栅极连接并接入第二高频时钟信号XCK,该第二高频时钟信号XCK与该第一高频时钟信号CK频率相同,相位相反。第十三薄膜晶体管T13的源极、第十四薄膜晶体管T14的漏极以及第十五薄膜晶体管T15的漏极连接,第十五薄膜晶体管T15的源极与下拉维持模块103连接,该第十四薄膜晶体管的源极与第N级栅极信号点Qn连接。当该第N级GOA单元为第1级GOA单元时,该第十三薄膜晶体管T13的漏极接入开启信号STV,当该第N级GOA单元为第1级GOA单元时,该第十三薄膜晶体管T13的漏极接入第N-1级GOA单元的下传模块104输出的下传信号。

[0031] 该自举电容模块105包括自举电容Cb,该自举电容Cb的一端与该第N级栅极信号点连接,该自举电容Cb的另一端与第N级水平扫描线Gn连接。

[0032] 该下拉维持模块103包括第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6、第七薄膜晶体管T7、第八薄膜晶体管T8、第九薄膜晶体管T9、第十薄膜晶体管T10、第十六薄膜晶体管T16以及第十七薄膜晶体管T17。

[0033] 该第一薄膜晶体管T1的栅极与漏极以及第二薄膜晶体管T2的漏极连接并接入第N级低频时钟信号LCn。第一薄膜晶体管T1的源极、第二薄膜晶体管T2的栅极以及第四薄膜晶体管T4的漏极连接,所述第二薄膜晶体管T2的源极、第三薄膜晶体管T3的漏极、第五薄膜晶体管T5的栅极、第六薄膜晶体管T6的栅极以及第七薄膜晶体管T7的栅极连接于第N级公共点Pn。

[0034] 第七薄膜晶体管T7的漏极以及第八薄膜晶体管T8的漏极与第N级栅极信号点Qn连接,均用于在该行扫描结束后,拉低该栅极信号点Qn的电压。

[0035] 第五薄膜晶体管T5的漏极以及第十薄膜晶体管T10的漏极与第N级水平扫描线Gn连接;均用于在该行扫描结束后,拉低该第N级水平扫描线的电压。该第五薄膜晶体管T5的漏极以及第十薄膜晶体管T10的漏极该与该第十五薄膜晶体管T15的源极连接,以拉低该第十五薄膜晶体管T15源极的电压。从而避免该上拉控制模块101向第N级栅极信号Qn点漏电。

[0036] 该第六薄膜晶体管T6以及该第九薄膜晶体管T9的漏极均与该第十一薄膜晶体管T11的源极连接,用于在扫描结束后拉低下传模块105的输出电压。

[0037] 第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6、第七薄膜晶体管T7、第八薄膜晶体管T8第九薄膜晶体管T9以及第十薄膜晶体管T10的源极与基准低电压源连接以接入基准低电压。具体地,该基准低电压包括第一基准低电压VSS1以及第二基准低电压VSS2。第三薄膜晶体管T3的源极以及第十六薄膜晶体管T16的源极接入第二基准低电压VSS1。第七薄膜晶体管T7、第六薄膜晶体管T6、第五薄膜晶体管T5、第八薄膜晶体管T8、第九薄膜晶体管T9以及第十薄膜晶体管T10的源极接入所述第一基准低电压VSS1,所述第二基准低电压VSS2的电压值小于所述第一基准低电压VSS1的电压值。

[0038] 第十七薄膜晶体管T17的漏极与第一薄膜晶体管T1的源极以及第二薄膜晶体管T2的栅极连接,所述第十七薄膜晶体管T17的栅极与基准低压源连接以接入基准低电压,所述第十七六薄膜晶体管T17的栅极与第N+1级栅极信号点Qn+1连接。

[0039] 该第十六薄膜晶体管T16用于在扫描第N+1行时,强行拉低该第N级公共节点Pn的电压。

[0040] 该第十七薄膜晶体管T17用于在扫描第N+1行时,强行拉低第一薄膜晶体管T1的源极与第二薄膜晶体管T2的栅极的连接点的电位压。

[0041] 第八薄膜晶体管T8、第九薄膜晶体管T9以及第十薄膜晶体管T10的栅极连接并与第N+1级公共节点Pn+1连接。从而使得相邻两个GOA单元的下拉维持模块可以共享公共节点P的电位,可以减少薄膜晶体管的数量。并且,由于第N级GOA单元接入的第N级低频时钟信号LCn与第N+1级GOA单元接入的第N+1级低频时钟信号LCn+1的频率相同且相位相反,使得相邻两个GOA单元的下拉维持模块103的部分薄膜晶体管可以交替工作,从而避免由于长时间使用而失效。

[0042] 本发明提供的GOA驱动电路通过第N级GOA单元的下拉维持模块共享第N+1级GOA单元的下拉维持模块的第N+1级公共节点Pn+1,从而使得每一下拉维持模块仅需一组共四个薄膜晶体管就可以实现对于第五薄膜晶体管和第七薄膜晶体管与第八薄膜晶体管与第十薄膜晶体管之间的分时使用,以避免由于第五薄膜晶体管和第七薄膜晶体管与第八薄膜晶体管与第十薄膜晶体管一直使用导致薄膜晶体管失效,具有减少薄膜晶体管数量的有益效果。

[0043] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

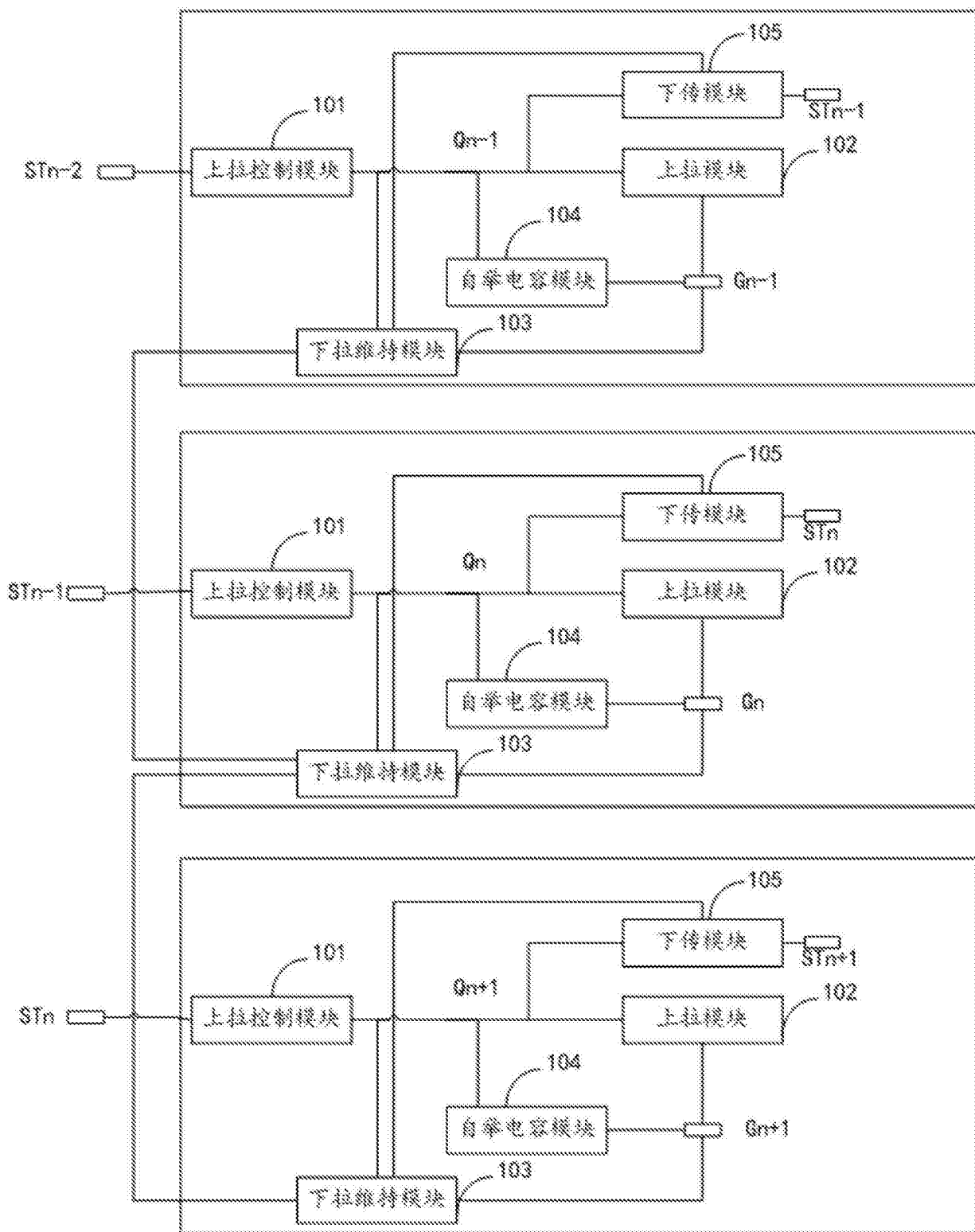


图1

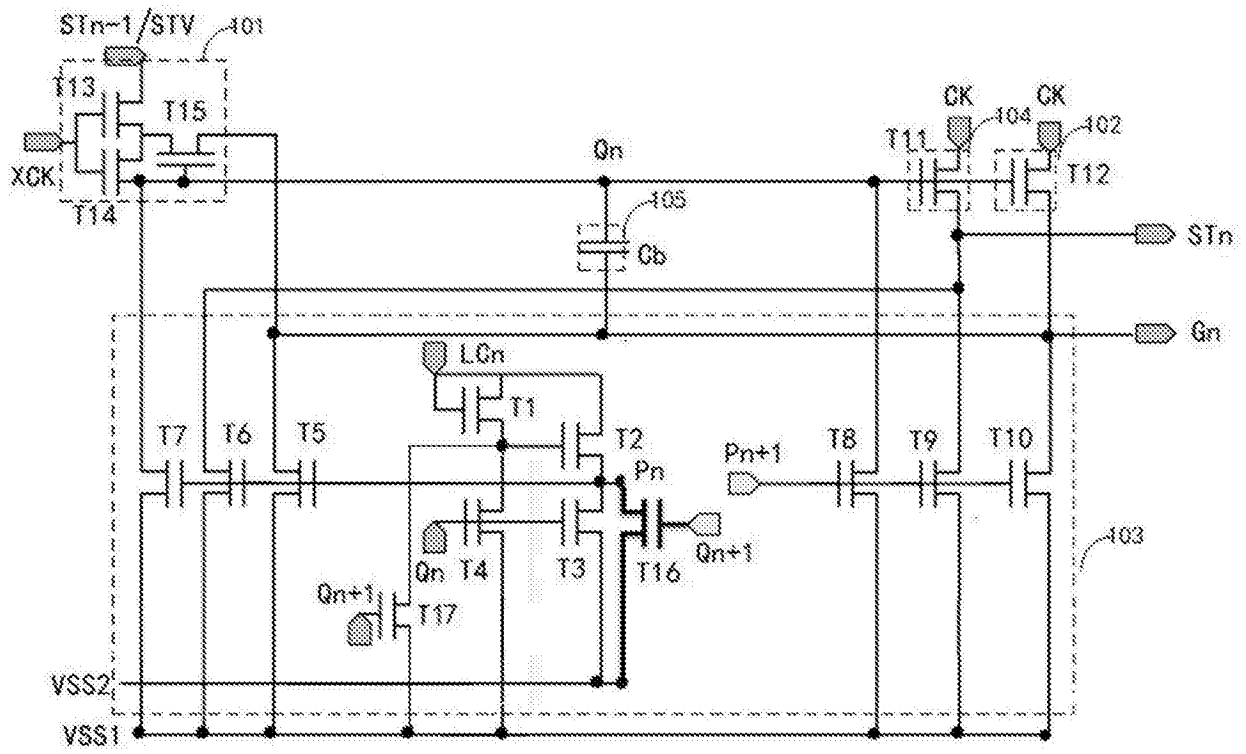


图2

专利名称(译)	GOA驱动电路及液晶显示装置		
公开(公告)号	CN106297719B	公开(公告)日	2018-04-20
申请号	CN201610903103.8	申请日	2016-10-18
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	吕晓文 陈书志		
发明人	吕晓文 陈书志		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2300/0408 G09G2300/0426 G09G2310/0286 G11C19/28 G09G2230/00 G09G2300/0404		
代理人(译)	黄威		
审查员(译)	张鹏		
其他公开文献	CN106297719A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种GOA驱动电路及液晶显示装置，该GOA驱动电路包括多个级联的GOA单元，按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线G_n，该第N级GOA单元包括上拉模块、上拉控制模块、下拉维持模块、下传模块以及自举电容模块；所述上拉模块、下拉维持模块以及自举电容模块均分别与第N级栅极信号点Q_n以及第N级水平扫描线G_n电连接，所述上拉控制模块以及下传模块与第N级栅极信号点Q_n连接。本发明具有减少薄膜晶体管数量的有益效果。

