



(12) 发明专利申请

(10) 申请公布号 CN 103926766 A

(43) 申请公布日 2014. 07. 16

(21) 申请号 201310342941. 9

(22) 申请日 2013. 08. 07

(71) 申请人 上海中航光电子有限公司

地址 201108 上海市闵行区华宁路 3388 号

申请人 天马微电子股份有限公司

(72) 发明人 徐鑫 夏志强 敦栋梁

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 吴靖靓 骆苏华

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

H01L 27/12 (2006. 01)

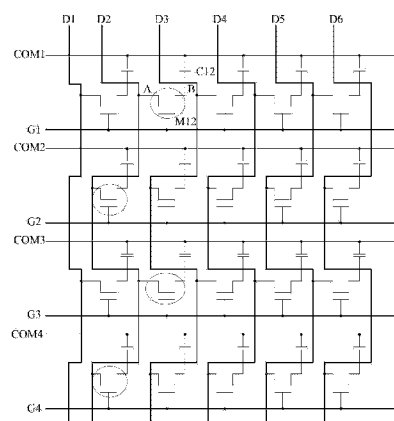
权利要求书1页 说明书7页 附图9页

(54) 发明名称

像素阵列及液晶显示装置

(57) 摘要

一种像素阵列及液晶显示装置。所述像素阵列包括：像素单元、数量与所述像素单元的列数 N 相适应的数据线和数量与所述像素单元的行数相适应的扫描线；其中，各个像素单元中的晶体管的排列方向相同；位于同一行的像素单元连接同一条扫描线；位于奇数行的各列像素单元分别连接对应的一条数据线；位于偶数行的各列像素单元分别连接对应的一条数据线；位于偶数行的第 n 列像素单元和位于奇数行的第 $n+1$ 列像素单元连接同一条数据线， $n=1, 2, \dots, N-1$ 。本发明像素阵列及液晶显示装置克服了闪烁的问题，提高了显示画面的质量。



1. 一种像素阵列,其特征在于,包括:像素单元、数量与所述像素单元的列数 N 相适应的数据线和数量与所述像素单元的行数相适应的扫描线;其中,

各个像素单元中的晶体管的排列方向相同;

位于同一行的像素单元连接同一条扫描线;

位于奇数行的各列像素单元分别连接对应的一条数据线;

位于偶数行的各列像素单元分别连接对应的一条数据线;

位于偶数行的第 n 列像素单元和位于奇数行的第 $n+1$ 列像素单元连接同一条数据线, $n=1, 2, \dots, N-1$ 。

2. 如权利要求 1 所述的像素阵列,其特征在于,所述各个像素单元中的晶体管具有适于与所述数据线连接的第一连接端,相邻两行像素单元中的晶体管的第一连接端位于同一侧。

3. 如权利要求 2 所述的像素阵列,其特征在于,还包括数量与所述像素单元的行数相适应的公共电极线,所述像素单元还包括像素电极,所述晶体管还具有第二连接端,所述晶体管的第二连接端连接所述像素电极,所述像素电极和对应的公共电极线之间形成存储电容。

4. 一种像素阵列,其特征在于,包括:像素单元、数量与所述像素单元的列数 N 相适应的数据线和数量与所述像素单元的行数相适应的扫描线;其中,

各个像素单元中的晶体管的排列方向相同;

位于同一行的像素单元连接同一条扫描线;

位于奇数行的各列像素单元分别连接对应的一条数据线;

位于偶数行的各列像素单元分别连接对应的一条数据线;

位于偶数行的第 n 列像素单元和位于奇数行的第 $n-1$ 列像素单元连接同一条数据线, $n=2, \dots, N$ 。

5. 如权利要求 4 所述的像素阵列,其特征在于,所述各个像素单元中的晶体管具有适于与所述数据线连接的第一连接端,相邻两行像素单元中的晶体管的第一连接端位于同一侧。

6. 如权利要求 5 所述的像素阵列,其特征在于,还包括数量与所述像素单元的行数相适应的公共电极线,所述像素单元还包括像素电极,所述晶体管还具有第二连接端,所述晶体管的第二连接端连接所述像素电极,所述像素电极和对应的公共电极线之间形成存储电容。

7. 一种液晶显示装置,其特征在于,包括:如权利要求 1~6 任一项所述的像素阵列,扫描驱动电路和数据驱动电路;所述扫描驱动电路连接所述扫描线,适于向所述扫描线提供相应的扫描信号;所述数据驱动电路连接所述数据线,适于向所述数据线提供相应的数据信号。

8. 如权利要求 7 所述的液晶显示装置,其特征在于,所述数据驱动电路适于在同一帧时间内提供极性相反的数据信号至相邻两条数据线。

9. 如权利要求 8 所述的液晶显示装置,其特征在于,所述数据驱动电路适于在相邻两个帧时间内提供极性相反的数据信号至同一数据线。

10. 如权利要求 7 所述的液晶显示装置,其特征在于,所述液晶显示装置为 FFS 型液晶显示装置、IPS 型液晶显示装置或者 TN 型液晶显示装置。

像素阵列及液晶显示装置

技术领域

[0001] 本发明涉及液晶显示领域,特别涉及一种像素阵列及液晶显示装置。

背景技术

[0002] 随着技术的发展,液晶显示装置已成为最为广泛使用的平板显示装置之一。现有的液晶显示装置通常包括扫描驱动电路、数据驱动电路和像素阵列。图 1 示出了现有的像素阵列的示意图。参考图 1,所述像素阵列包括:多条扫描线 $G1 \sim Gm$ 、多条数据线 $D1 \sim D(n+1)$ 和多个像素单元 $P11 \sim Pmn$ 。

[0003] 具体地,液晶显示装置的扫描驱动电路适于向所述多条扫描线 $G1 \sim Gm$ 发送相应的扫描信号,数据驱动电路适于向所述多条数据线 $D1 \sim D(n+1)$ 发送数据信号。各个像素单元在对应的扫描线上的扫描信号的驱动下接收对应数据线上的数据信号。

[0004] 举例来说,像素单元 $P11$ 在扫描线 $G1$ 上的扫描信号的驱动下接收数据线 $D1$ 上的数据信号以进行显示;像素单元 $P12$ 在扫描线 $G1$ 上的扫描信号的驱动下接收数据线 $D2$ 上的数据信号以进行显示;像素单元 $P21$ 在扫描线 $G2$ 上的扫描信号的驱动下接收数据线 $D2$ 上的数据信号以进行显示;像素单元 $P22$ 在扫描线 $G2$ 上的扫描信号的驱动下接收数据线 $D3$ 上的数据信号以进行显示,以此类推。

[0005] 图 1 所示的像素阵列中,每一条数据线间隔控制着其左右两列(第 n 列与第 $n-1$ 列)像素单元,如数据线 $D3$ 间隔控制像素单元 $P13$ 、像素单元 $P22$ 、像素单元 $P33$ 、……像素单元 $Pm2$ 。这种像素结构被称为 Zigzag 结构。

[0006] 为防止液晶恶化,通常通过周期性地使施加到像素单元的数据信号的极性反转来进行驱动。在图 1 所示的像素结构中,只要使用简单的列反转即可达到点反转(dot inversion)的效果。图 2 是图 1 所示像素阵列显示的画面 X 的示意图;图 3 是图 1 所示像素阵列显示的画面 $(X+1)$ 的示意图。其中,画面 X 和画面 $(X+1)$ 是相邻的两帧画面,也就是说,在显示完画面 X 之后随即显示画面 $(X+1)$ 。

[0007] 如图 2 和图 3 所示,为使得画面 X 和画面 $(X+1)$ 具有点反转的特性,在同一帧画面显示时间内,相邻两条数据线上的数据信号的极性相反;并且在相邻两帧画面显示时间内,同一条数据线上的数据信号的极性也相反。例如,在图 2 所示的画面 X 显示时间内,数据线 $D1$ 的数据信号的极性为正、数据线 $D2$ 的数据信号的极性为负、数据线 $D3$ 的数据信号的极性为正;因此,像素单元 $P11$ 所显示的极性为正,像素单元 $P12$ 所显示的极性为负,像素单元 $P21$ 所显示的极性为负,像素单元 $P22$ 所显示的极性为正,像素单元 $P31$ 所显示的极性为正,像素单元 $P32$ 所显示的极性为负……,以此类推得出图 2 所示的具有点反转特性的画面 X 。

[0008] 在图 3 所示的画面 $(X+1)$ 显示时间内,数据线 $D1$ 的数据信号的极性变为负,数据线 $D2$ 的数据信号的极性变为正,数据线 $D3$ 的数据信号的极性变为负;由此,像素单元 $P11$ 所显示的极性为负,像素单元 $P12$ 所显示的极性为正,像素单元 $P21$ 所显示的极性为正,像素单元 $P22$ 所显示的极性为负,像素单元 $P31$ 所显示的极性为负,像素单元 $P32$ 所显示的极性为正……,以此类推得出图 3 所示的具有点反转特性的画面 $(X+1)$ 。

[0009] 而现有技术的像素阵列在显示画面时存在隔行闪烁的问题。更多关于点反转的液晶显示装置的专利申请可参考申请号为 200810175536.1 的申请。

发明内容

[0010] 本发明解决的是现有技术中像素阵列出现隔行闪烁的问题。

[0011] 为解决上述问题,本发明提供一种像素阵列,包括:像素单元、数量与所述像素单元的列数 N 相适应的数据线和数量与所述像素单元的行数相适应的扫描线;其中,

[0012] 各个像素单元中的晶体管的排列方向相同;

[0013] 位于同一行的像素单元连接同一条扫描线;

[0014] 位于奇数行的各列像素单元分别连接对应的一条数据线;

[0015] 位于偶数行的各列像素单元分别连接对应的一条数据线;

[0016] 位于偶数行的第 n 列像素单元和位于奇数行的第 $n+1$ 列像素单元连接同一条数据线, $n=1, 2, \dots, N-1$ 。

[0017] 可选地,所述各个像素单元中的晶体管具有适于与所述数据线连接的第一连接端,相邻两行像素单元中的晶体管的第一连接端位于同一侧。

[0018] 可选地,所述像素阵列还包括数量与所述像素单元的行数相适应的公共电极线,所述像素单元还包括像素电极,所述晶体管还具有第二连接端,所述晶体管的第二连接端连接所述像素电极,所述像素电极和对应的公共电极线之间形成存储电容。

[0019] 为解决上述问题,本发明提供一种像素阵列,包括:像素单元、数量与所述像素单元的列数 N 相适应的数据线和数量与所述像素单元的行数相适应的扫描线;其中,

[0020] 各个像素单元中的晶体管的排列方向相同;

[0021] 位于同一行的像素单元连接同一条扫描线;

[0022] 位于奇数行的各列像素单元分别连接对应的一条数据线;

[0023] 位于偶数行的各列像素单元分别连接对应的一条数据线;

[0024] 位于偶数行的第 n 列像素单元和位于奇数行的第 $n-1$ 列像素单元连接同一条数据线, $n=2, \dots, N$ 。

[0025] 相应地,本发明还提供一种液晶显示装置,包括:上述任一项所述的像素阵列,扫描驱动电路和数据驱动电路;所述扫描驱动电路连接所述扫描线,适于向所述扫描线提供相应的扫描信号;所述数据驱动电路连接所述数据线,适于向所述数据线提供相应的数据信号。

[0026] 可选地,所述数据驱动电路适于在同一帧时间内提供极性相反的数据信号至相邻两条数据线。

[0027] 可选地,所述数据驱动电路适于在相邻两个帧时间内提供极性相反的数据信号至同一数据线。

[0028] 可选地,所述液晶显示装置为 FFS 型液晶显示装置、IPS 型液晶显示装置或者 TN 型液晶显示装置。

[0029] 与现有技术相比,本发明的技术方案具有以下优点:

[0030] 本发明像素阵列中各个像素单元的晶体管的排列方向相同,从而保证了即使晶体管的栅极层和源(漏)层的重叠部分之间存在偏差,也不会造成相邻两行晶体管的寄生电容

不同,这样就使得本发明像素阵列中晶体管的馈通电压一致,保证了每条公共电极线上的电压相同,从而克服了像素单元的闪烁问题。

[0031] 进一步地,本发明技术方案的像素阵列中各个晶体管的排列方向一致,像素阵列的形成工艺更加简单,提高了工艺流程,并且还降低了成本。

[0032] 进一步地,本发明技术方案中,只需要在同一帧时间内提供极性相反的数据信号至相邻两条数据线,并且在相邻两个帧时间内提供极性相反的数据信号至同一数据线即可达到点反转特性。本发明技术方案所需的数据信号非常简单,易于实现,并且降低了液晶显示装置或像素阵列的电源损耗。

附图说明

[0033] 图 1 是现有的一种像素阵列的示意图;

[0034] 图 2 是图 1 所示像素阵列显示的画面 X 的示意图;

[0035] 图 3 是图 1 所示像素阵列显示的画面(X+1)的示意图;

[0036] 图 4 是现有技术中相邻两行像素单元的晶体管的沟通示意图;

[0037] 图 5 是现有技术中奇数行的一个像素单元的剖面示意图;

[0038] 图 6 是现有技术中偶数行的一个像素单元的剖面示意图;

[0039] 图 7 是本发明像素阵列的实施例一的等效示意图;

[0040] 图 8 是图 7 所示像素阵列中相邻两行像素单元的晶体管的示意图;

[0041] 图 9 是图 7 所示像素阵列显示的画面 Y 的示意图;

[0042] 图 10 是图 7 所示像素阵列显示的画面(Y+1)的示意图;

[0043] 图 11 是实施例一的像素阵列的一个像素单元的剖面示意图;

[0044] 图 12 是本发明像素阵列的实施例二的等效示意图;

[0045] 图 13 是本发明液晶显示装置的结构示意图。

具体实施方式

[0046] 正如背景技术中所述的,现有的像素阵列在显示画面时会出现隔行闪烁的问题。发明人经过研究:现有技术的像素阵列中,相邻两行像素单元的晶体管的排列方向不一致。

[0047] 参考图 4,现有技术中相邻两行的像素单元的晶体管的沟道方向相反,如图 4 中所示的晶体管 M1 的电荷流向如实线箭头所示,而晶体管 M2 的电荷流向如虚线箭头所示,这两个相邻行的晶体管的电荷流向相反,晶体管 M1 和晶体管 M2 的排列方向不同。

[0048] 继续参考图 4,所述晶体管 M1 和所述晶体管 M2 的源 / 漏层 S/D 与栅极层 Gate 之间存在重叠(overlap)部分,在工艺过程中,由于在对准时存在偏差,因此导致晶体管的栅极层和源 / 漏层之间的重叠部分会出现偏差,以图 4 为例,在形成源 / 漏层时若存在向左偏移的情况,那么晶体管 M1 的栅极层与源 / 漏层之间的重叠部分减小,而晶体管 M2 的栅极层与源 / 漏层之间的重叠部分增大,这样,晶体管 M1 的寄生电容(C_{gs})较小,而晶体管 M2 的寄生电容较大。由于相邻两行的晶体管的寄生电容不同,使得相邻两行的像素单元的馈通(feed through)电压不同,进而导致相邻两行像素单元的公共电极的电压不同,这样就导致像素单元出现闪烁的问题。

[0049] 发明人对现有技术的像素单元进行进一步研究发现:当像素单元中晶体管的排列

方向不一致时,晶体管的寄生电容还会受到湿法刻蚀工艺的影响。

[0050] 图 5 示出了现有技术中某奇数行的一个像素单元的剖面示意图;图 6 示出了现有技术中某偶数行的一个像素单元的剖面示意图。参考图 5 和图 6,这两个像素单元中晶体管的源极和漏极的相对位置不同,如图 5 所示的像素单元中晶体管的源极位于漏极的右侧;而图 6 所示的像素单元中的晶体管的源极位于漏极的左侧。

[0051] 虽然在设计上这两个晶体管的源极和漏极的线幅相同,但是由于湿法刻蚀在工艺上存在方向性偏差,即刻蚀时刻蚀液的流向为一个方向,如图 5 所示:刻蚀液从左边进入,那么奇数行的源极在刻蚀时,由于刻蚀液被左侧的漏极挡住,刻蚀量变小,因此刻蚀形成的源极的线幅较宽。而图 6 所示偶数行则正好相反,部分刻蚀液被左侧的源极线挡住,因此刻蚀形成的漏极的线幅较宽。

[0052] 经过测量:图 5 所示的晶体管的沟道长度为 $4.5\mu\text{m}$,源极的线幅宽度为 $1.98\mu\text{m}$,漏极的线幅宽度为 $1.78\mu\text{m}$ 。图 6 所示的晶体管的沟道长度为 $4.5\mu\text{m}$,源极的线幅宽度为 $1.75\mu\text{m}$,漏极的线幅宽度为 $1.92\mu\text{m}$ 。

[0053] 由于刻蚀量存在差异,因此也会导致方向不同的晶体管的寄生电容大小不同,从而最终导致像素阵列出现隔行闪烁的问题。

[0054] 基于上述研究,本发明提供的像素阵列中,像素单元的排列方向一致,因此即使在工艺过程中出现校准的偏差或者在刻蚀中出现刻蚀量的差异,那么,各个晶体管的源/漏层和栅极层的重叠部分将出现一致性变化,即同时增大相同面积或者同时减小相同的面积,从而各个晶体管的寄生电容仍然保持相同,这样就克服了现有技术中像素单元的闪烁问题。

[0055] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0056] 实施例一

[0057] 本实施例中,所述像素阵列包括:像素单元、数量与所述像素单元的列数 N 相适应的数据线和数量与所述像素单元的行数相适应的扫描线;其中,

[0058] 各个像素单元中的晶体管的排列方向相同;

[0059] 位于同一行的像素单元连接同一条扫描线;

[0060] 位于奇数行的各列像素单元分别连接对应的一条数据线;

[0061] 位于偶数行的各列像素单元分别连接对应的一条数据线;

[0062] 位于偶数行的第 n 列像素单元和位于奇数行的第 $n+1$ 列像素单元连接同一条数据线, $n=1, 2, \dots, N-1$ 。

[0063] 本实施例中,所述像素单元成矩阵排布,但是本发明对此不做限制,在其他实施例中,还可以采用其他结构的像素单元。

[0064] 下面再结合附图以所述像素阵列包括 4 行 5 列像素单元为例进行说明,但是本发明对此不做限制。

[0065] 参考图 7,所述像素阵列包括 4 行 5 列像素单元、数据线 $D1 \sim D6$ 和扫描线 $G1 \sim G4$ 。

[0066] 具体地,参考图 8,所述像素阵列中各个像素单元的晶体管的排列方向相同。这样,在工艺过程中,若对准时出现向左偏移的情况,那么各个晶体管的源/漏层和栅极层之间

的重叠部分同时增大相同的面积；反之，若对准时出现向右偏移的情况，那么，各个晶体管的源 / 漏层和栅极层之间的重叠部分同时减小相同的面积。

[0067] 另外，由于本实施例中各个像素单元的晶体管的排列方向相同，因此也消除了湿法刻蚀时刻蚀量的差异对晶体管的寄生电容的影响。本实施例的像素单元中晶体管的寄生电容不再随着对准工艺的偏差和刻蚀量的差异而有所不同，因此，可以获得相同的公共电极的电压，从而解决了现有技术中像素单元出现闪烁的问题，提高了显示的画面的质量。进一步地，本实施例的像素单元中各个晶体管的排列方向相同，因此，降低了生产工艺的复杂度，提高了工艺效率，并且由于所需的版图简单，因此，还降低了成本。

[0068] 继续参考图 7，所述像素阵列中位于第一行的像素单元对应连接扫描线 G1；位于第二行的像素单元对应连接扫描线 G2；位于第三行的像素单元对应连接扫描线 G3；位于第四行的像素单元对应连接扫描线 G4。

[0069] 所述像素阵列中位于第一行和第三行的各列像素单元分别连接对应的一条数据线；位于第二行和第四行的各列像素单元分别连接对应的一条数据线；位于偶数行的第 n 列像素单元和位于奇数行的第 $n+1$ 列像素单元连接同一条数据线， $n=1, 2, \dots, N-1$ 。

[0070] 具体地，以图 7 中用圈标记出来的四个像素单元为例，位于第 2 行第 1 列的像素单元、位于第 1 行第 2 列的像素单元、位于第 3 行第 2 列的像素单元以及位于第 4 行第 1 列的像素单元对应连接同一条数据线 D2。

[0071] 本实施例中，所述像素阵列中的数据线弯曲布置并左右换列走线，每一条数据线能够间隔控制相邻两行的左右两列像素单元，从而可以通过数据线列反转实现点反转效果。

[0072] 图 9 示出了实施例一的像素阵列显示的画面 Y 的示意图；图 10 示出了实施例一的像素阵列显示的画面 (Y+1) 的示意图。所述画面 Y 和画面 (Y+1) 是相邻的两帧画面，即在画面 (X+1) 是紧跟着画面 Y 进行显示的。

[0073] 参考图 9，为了实现画面 Y 和画面 (X+1) 具有点反转的特性，在同一帧画面显示时间内，相邻两条数据线上的数据信号的极性相反；并且在相邻两帧画面显示时间内，同一条数据线上的数据信号的极性也相反。

[0074] 例如，在图 9 所示的画面 Y 显示时间内，数据线 D1 的数据信号的极性为正、数据线 D2 的数据信号的极性为负、数据线 D3 的数据信号的极性为正；因此，第 1 行第 1 列的像素单元所显示的极性为正，第 1 行第 2 列的像素单元所显示的极性为负，第 2 行第 1 列的像素单元所显示的极性为负，第 2 行第 2 列的像素单元所显示的极性为正， $\dots$ ，以此类推得出图 9 所示的具有点反转特性的画面 Y。

[0075] 在图 10 所示的画面 (Y+1) 显示时间内，数据线 D1 的数据信号的极性变为负，数据线 D2 的数据信号的极性变为正，数据线 D3 的数据信号的极性变为负；由此，第 1 行第 1 列的像素单元所显示的极性为负，第 1 行第 2 列的像素单元所显示的极性为正，第 2 行第 1 列的像素单元所显示的极性为正，第 2 行第 2 列的像素单元所显示的极性为负， $\dots$ ，以此类推得出图 9 所示的具有点反转特性的画面 (Y+1)。

[0076] 通过以上分析：本实施例的像素阵列只需要通过数据线的列反转即可实现点反转特性，从而有效地降低了电源的损耗。

[0077] 另外，在本实施例中，各个像素单元中的晶体管具有适于与所述数据线连接的第

一连接端,相邻两行像素单元中的晶体管的第一连接端位于同一侧。参考图 7,第 1 行第 2 列像素单元中的晶体管 M12 具有适于与所述数据线 D2 相连的第一连接端 A;类似的,位于第 2 行的像素单元中的晶体管的第一连接端的相对位置与所述晶体管 M12 的第一连接端 A 的相对位置相同。

[0078] 继续参考图 7,所述像素阵列还包括数量与所述像素单元的行数相适应的公共电极线 COM1 ~ COM4;各个像素单元还包括像素电极(图中未示出),各个像素单元中的晶体管还具有第二连接端;各个晶体管的第二连接端连接所述像素电极,所述像素电极和对应的公共电极线之间形成存储电容。

[0079] 以晶体管 M12 为例,所述晶体管 M12 还具有第二连接端 B,所述第二连接端 B 连接对应的像素电极,所述像素电极与对应的公共电极线 COM1 之间形成存储电容 C12。

[0080] 另外,图 11 示出了本实施例中一个像素单元的剖面示意图。参考图 11,所述像素单元包括漏极 10、栅极 20 和源极 30。数据线(图中未示出)与晶体管的漏极 10 相连,所述数据线在与纸面垂直的方向上延伸。由图 11 可以看出,本实施例的像素单元中,与晶体管的漏极 10 连接的数据线位于公共电极线 40 的下方,所述公共电极线 40 则位于所述像素电极 50 的下方,所述数据线与像素电极 50 之间的距离较远,数据线与像素电极之间不会存在信号干扰。另外,由于本实施例中像素阵列的数据线没有交叉,因此,各条数据线之间没有信号干扰,并且,各条数据线可以采用相同的材料形成,从而简化了工艺流程,且降低了成本。

[0081] 实施例二

[0082] 图 12 示出了本发明像素阵列的实施例二的等效示意图。参考图 12,本实施例的像素阵列包括:像素单元、数量与所述像素单元的列数 N 相适应的数据线和数量与所述像素单元的行数相适应的扫描线;其中,

[0083] 各个像素单元中的晶体管的排列方向相同;

[0084] 位于同一行的像素单元连接同一条扫描线;

[0085] 位于奇数行的各列像素单元分别连接对应的一条数据线;

[0086] 位于偶数行的各列像素单元分别连接对应的一条数据线;

[0087] 位于偶数行的第 n 列像素单元和位于奇数行的第 n-1 列像素单元连接同一条数据线, $n=2, \dots, N$ 。

[0088] 与实施例一的像素阵列相比,本实施例的区别之处在于:所述像素阵列中数据线的弯曲走向方向不同。参考图 7,实施例一的像素阵列中,偶数行的像素单元均是相邻奇数行的后一列的像素单元对应连接同一条数据线;参考图 12,实施例二的像素阵列中,偶数行的像素单元与相邻奇数行的前一列的像素单元对应连接同一条数据线。例如,在图 12 中,第 1 行第 1 列的像素单元、第 2 行第 2 列的像素单元、第 3 行第 1 列的像素单元及第 4 行第 2 列的像素单元对应连接数据线 D2,依次类推其他像素单元与数据线的连接方式,在此不再赘述。

[0089] 本实施例中各个像素单元中的晶体管的排布方向相同,因此本实施例的像素阵列也解决了现有的像素阵列中隔行闪烁的问题,从而提高了画面的质量。

[0090] 本发明还提供了一种液晶显示装置,如图 13 所示,所述液晶显示装置包括:像素阵列 100,扫描驱动电路 200 和数据驱动电路 300。本实施例中,所述像素阵列 100 包括 4 行 5 列像素单元,但是本发明对此不做限制。

[0091] 另外,所述像素阵列 100 既可以采用实施例一的像素阵列结构,也可以采用实施例二的像素阵列结构,具体结构可参考图 7 和图 11 的描述,在此不再赘述。

[0092] 所述扫描驱动电路 200 连接所述像素阵列 100 的扫描线,适于向所述扫描线提供相应的扫描信号 SG1 ~ SG4;所述数据驱动电路 300 连接所述像素阵列 100 的数据线,适于向所述数据线提供相应的数据信号 SD1 ~ SD6。

[0093] 本实施例的液晶显示装置中,所述数据驱动电路 300 适于在同一帧时间内提供极性相反的数据信号至相邻两条数据线;并且,在相邻两个帧时间内提供极性相反的数据信号至同一数据线。

[0094] 例如,在第一帧时间内,所述数据驱动电路 300 提供的数据信号 SD1 的极性为正,数据信号 SD2 的极性为负,数据信号 SD3 的极性为正,数据信号 SD4 的极性为负,数据信号 SD5 的极性为正,数据信号 SD6 的极性为负。

[0095] 在第二帧时间内,所述数据驱动电路 300 提供的数据信号 SD1 的极性为负,数据信号 SD2 的极性为正,数据信号 SD3 的极性为负,数据信号 SD4 的极性为正,数据信号 SD5 的极性为负,数据信号 SD6 的极性为正。

[0096] 另外需要说明的是,所述液晶显示装置可以为 FFS (Fringe Field Switching,边缘电场切换)型液晶显示装置、IPS (In-Plane Switching,共平面切换)型液晶显示装置或者 TN (Twist Nematic,扭曲向列)型液晶显示装置,本发明对此不做限制。

[0097] 由于本发明的液晶显示装置的像素阵列中各个晶体管的排布方向相同,因此,本发明液晶显示装置克服了出现闪烁的问题,提高了画面的质量。并且,由于像素阵列中数据线弯曲走线以控制相邻两行左右两列的像素单元,因此只需要通过数据线的列反转即可实现点反转效果,因此大大降低了电源的损耗。

[0098] 虽然本发明披露如上,但本发明并非限于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

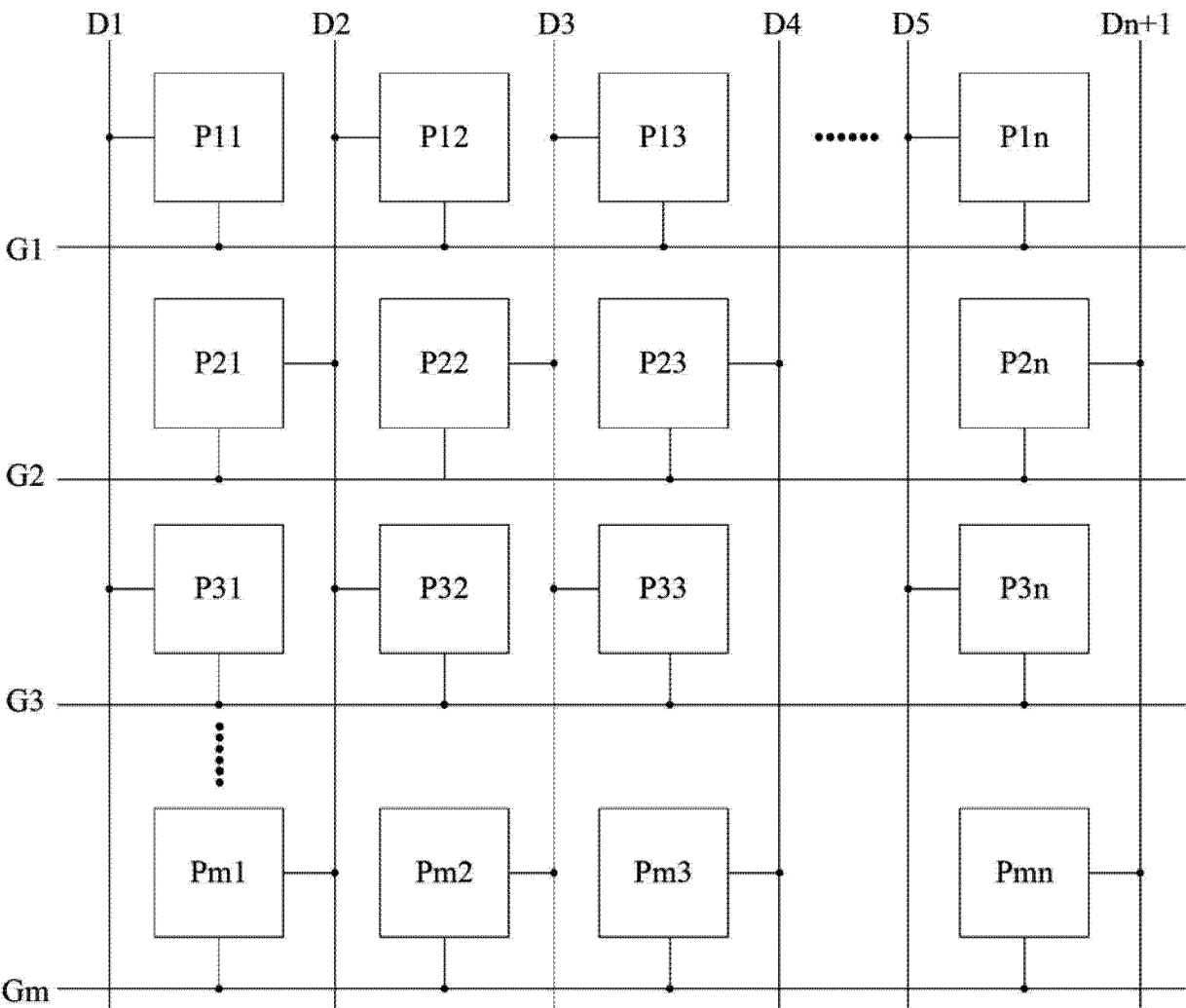


图 1

P11 +	P12 -	P13 +		P1n +
P21 -	P22 +	P23 -		P2n -
P31 +	P32 -	P33 +		P3n +
.....				
Pm1 -	Pm2 +	Pm3 -		Pmn -

图 2

P11 -	P12 +	P13 -		P1n -
P21 +	P22 -	P23 +		P2n +
P31 -	P32 +	P33 -		P3n -
.....				
Pm1 +	Pm2 -	Pm3 +		Pmn +

图 3

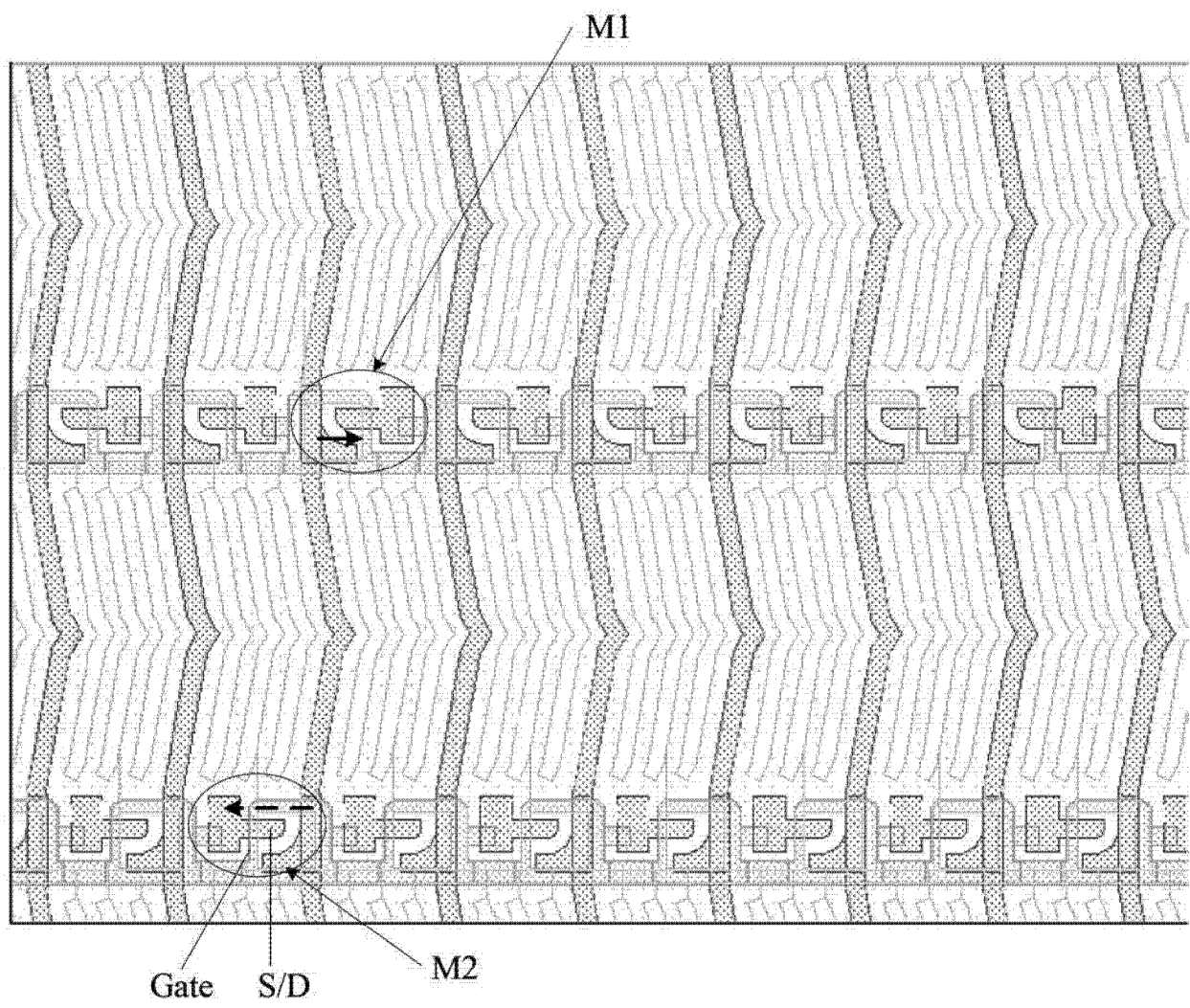


图 4

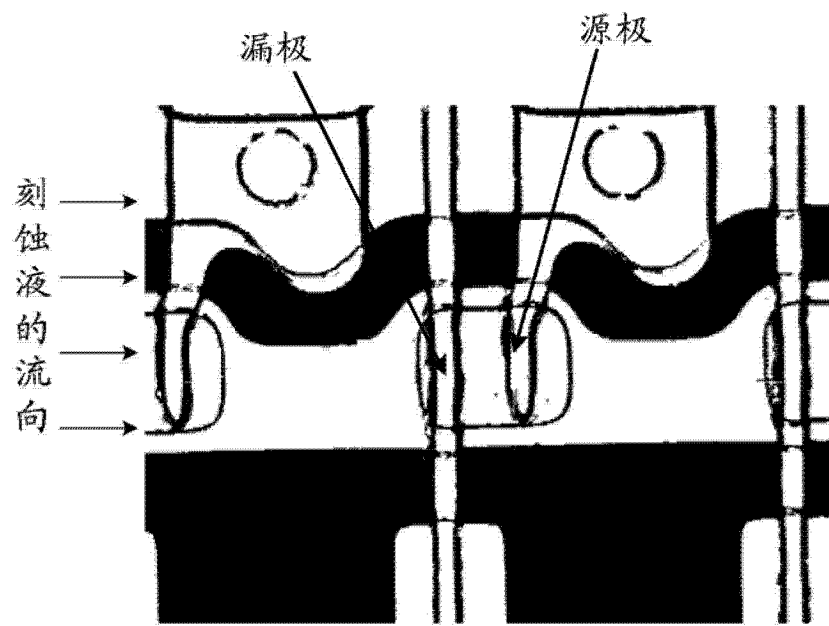


图 5

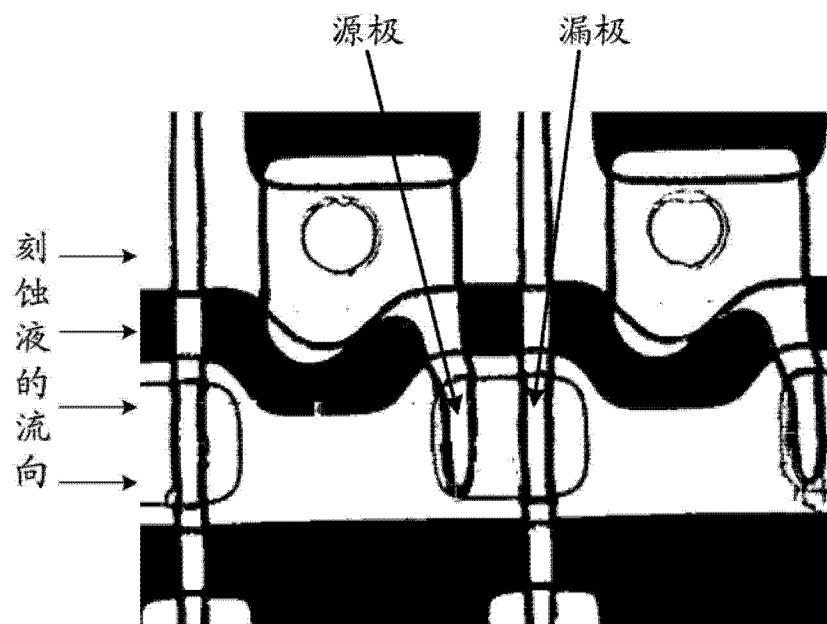


图 6

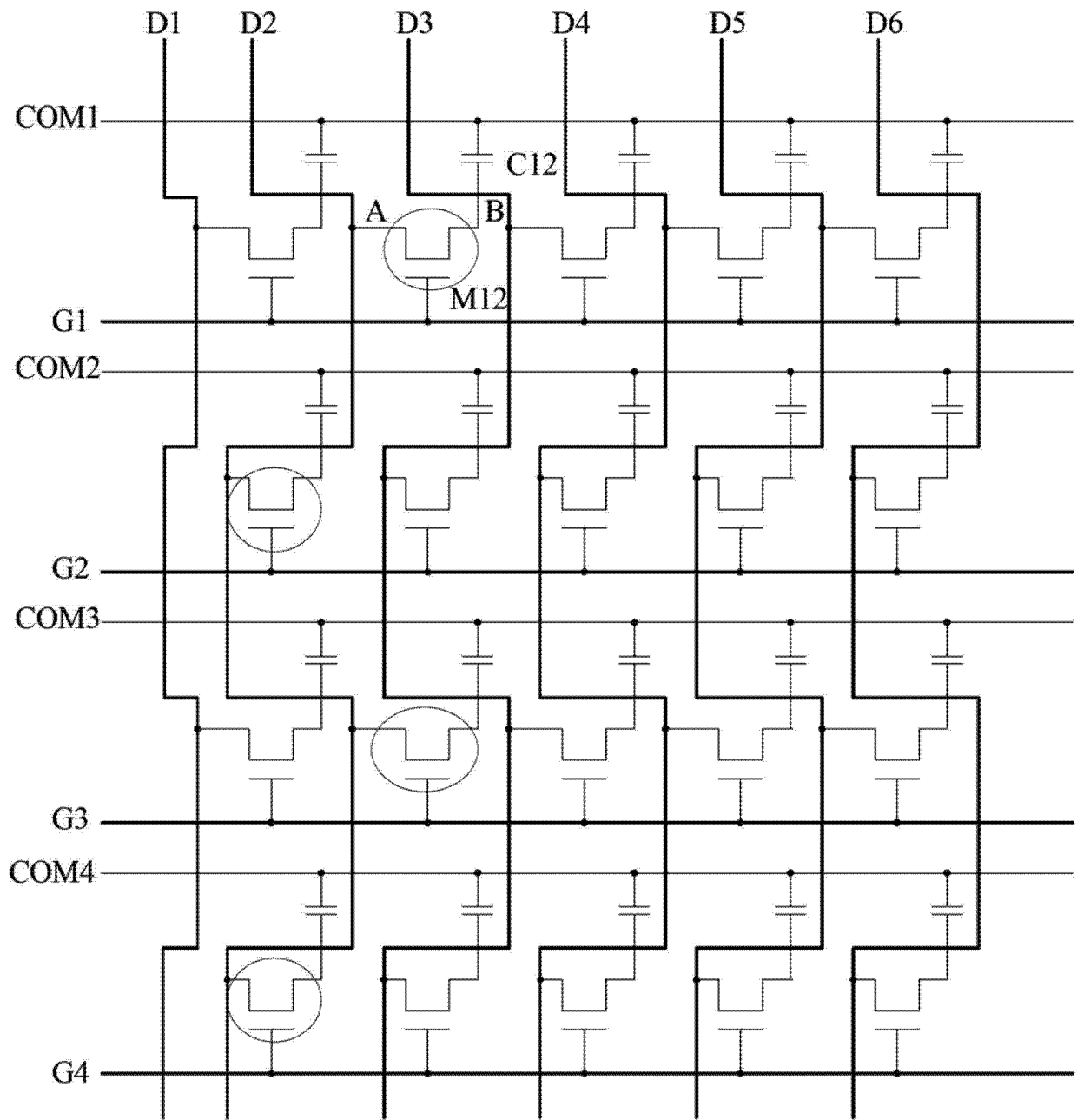


图 7

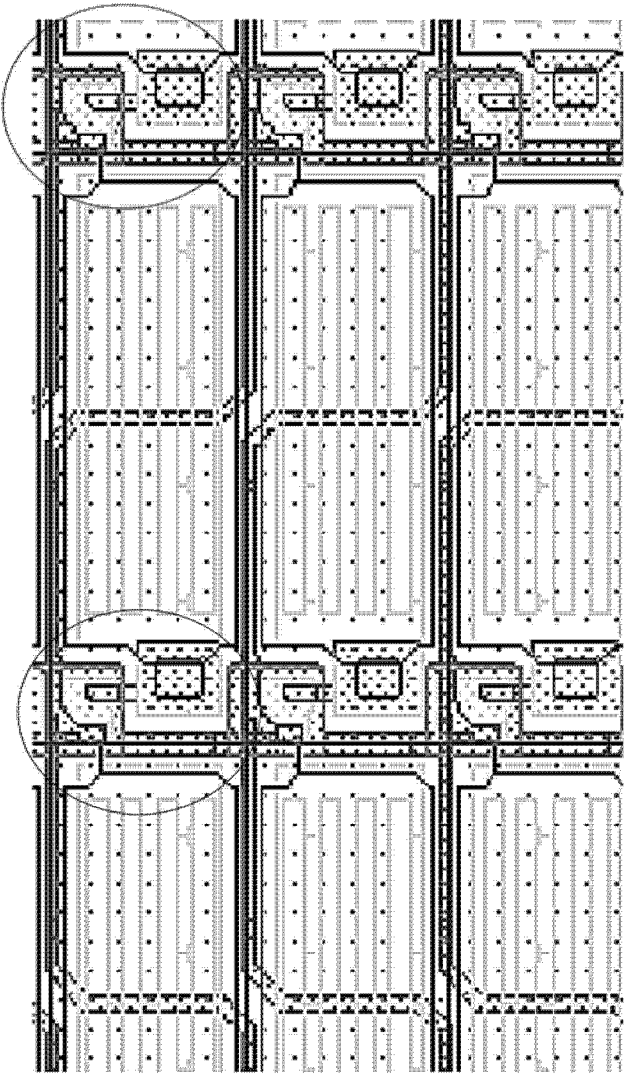


图 8

+	-	+	-	+	-
-	+	-	+	-	+
+	-	+	-	+	-
-	+	-	+	-	+

图 9

—	+	—	+	—	+
+	—	+	—	+	—
—	+	—	+	—	+
+	—	+	—	+	—

图 10

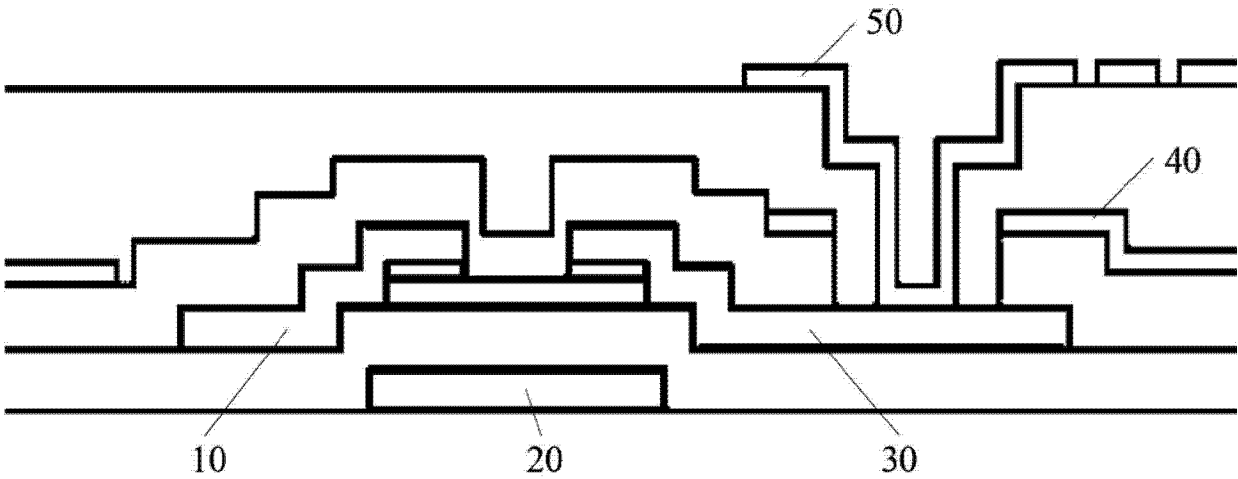


图 11

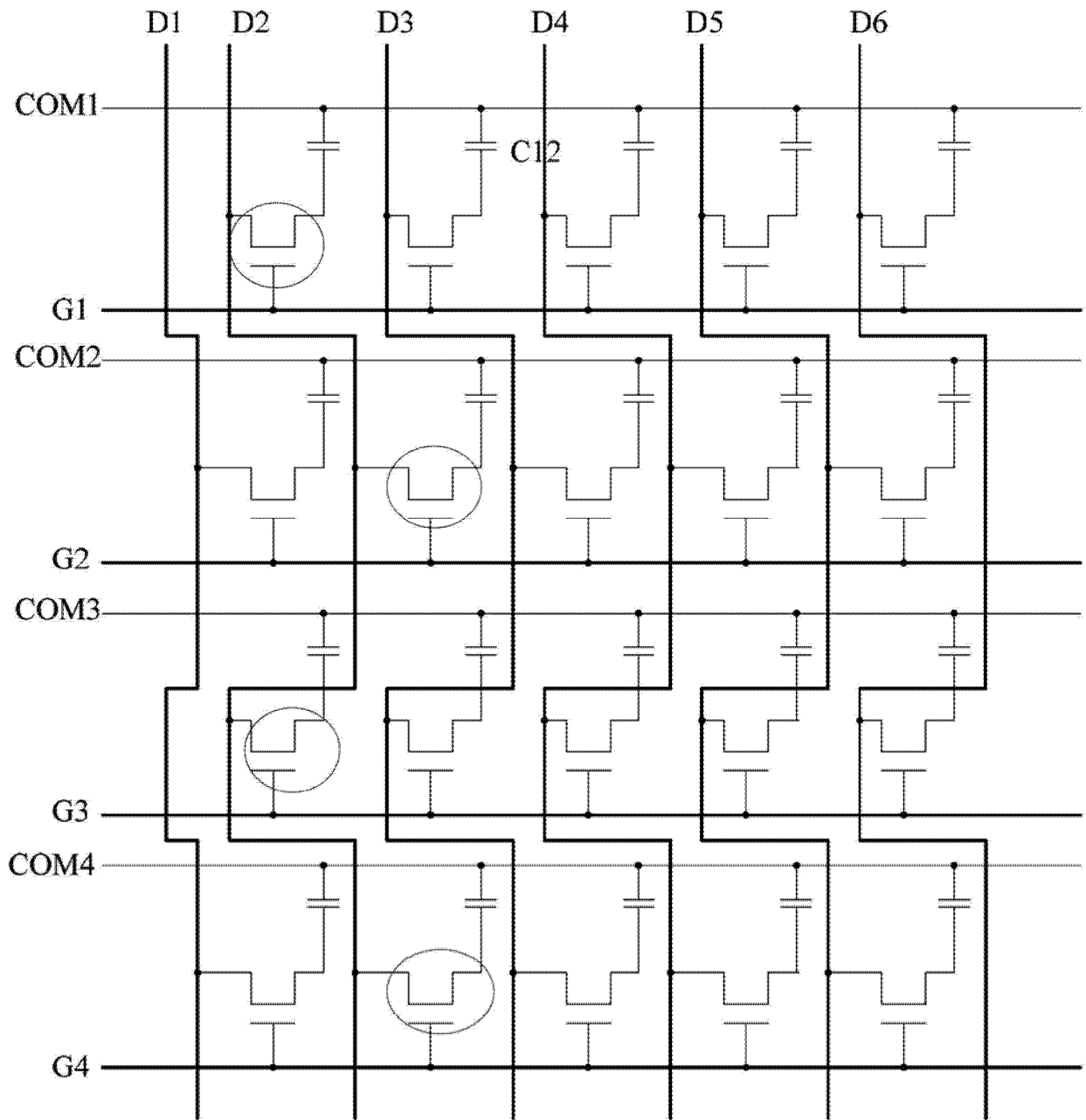


图 12

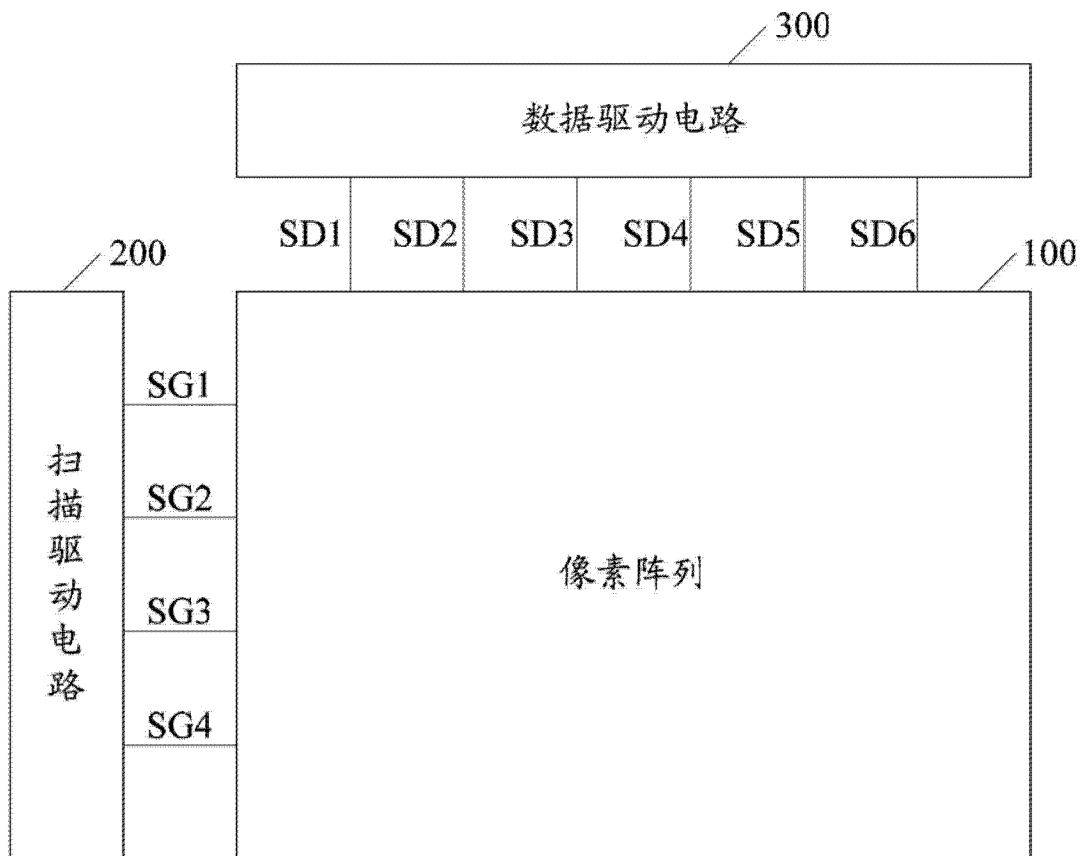


图 13

专利名称(译)	像素阵列及液晶显示装置		
公开(公告)号	CN103926766A	公开(公告)日	2014-07-16
申请号	CN201310342941.9	申请日	2013-08-07
[标]申请(专利权)人(译)	上海中航光电子有限公司 天马微电子股份有限公司		
申请(专利权)人(译)	上海中航光电子有限公司 天马微电子股份有限公司		
当前申请(专利权)人(译)	上海中航光电子有限公司 天马微电子股份有限公司		
[标]发明人	徐鑫 夏志强 敦栋梁		
发明人	徐鑫 夏志强 敦栋梁		
IPC分类号	G02F1/1362 G02F1/1368 H01L27/12		
CPC分类号	G02F1/134336 G02F1/136286 G02F1/1368 G09G3/3614 G09G3/3648 G09G2300/0426 G02F1/133707 H01L27/1255		
其他公开文献	CN103926766B		
外部链接	Espacenet SIPO		

摘要(译)

一种像素阵列及液晶显示装置。所述像素阵列包括：像素单元、数量与所述像素单元的列数N相适应的数据线和数量与所述像素单元的行数相适应的扫描线；其中，各个像素单元中的晶体管的排列方向相同；位于同一行的像素单元连接同一条扫描线；位于奇数行的各列像素单元分别连接对应的一条数据线；位于偶数行的各列像素单元分别连接对应的一条数据线；位于偶数行的第n列像素单元和位于奇数行的第n+1列像素单元连接同一条数据线， $n=1,2,\dots,N-1$ 。本发明像素阵列及液晶显示装置克服了闪烁的问题，提高了显示画面的质量。

