



(12)发明专利申请

(10)申请公布号 CN 110531558 A

(43)申请公布日 2019.12.03

(21)申请号 201910820766.7

(22)申请日 2019.08.29

(71)申请人 上海中航光电子有限公司

地址 201108 上海市闵行区华宁路3388号

(72)发明人 傅炯樑 简守甫 孙丽娜 秦丹丹 秦锋

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 杨晓萍

(51) Int. Cl.

G02F 1/1362(2006.01)

H01L 27/12(2006.01)

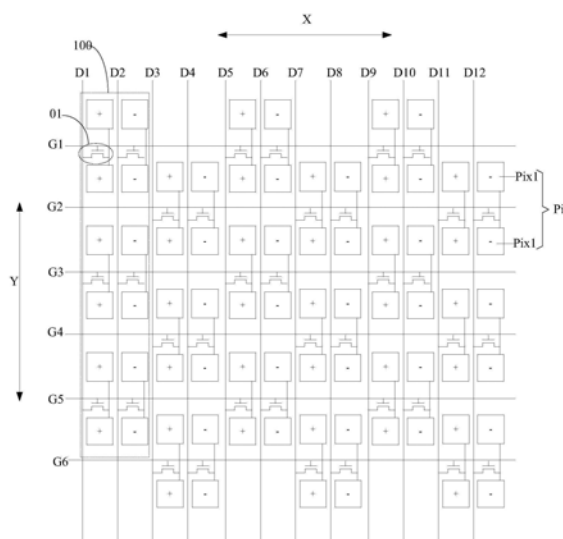
权利要求书1页 说明书6页 附图10页

(54)发明名称

阵列基板、液晶显示面板及显示装置

(57)摘要

本发明公开了一种阵列基板、液晶显示面板及显示装置,各子像素包括沿第二方向排列的两个亚子像素,与各子像素对应的开关晶体管位于两个亚子像素之间,且与两个亚子像素和均连接;且以沿第一方向每相邻的两列子像素为一单元组,任意相邻两个单元组沿第二方向错位N个亚子像素;这样对于整个阵列基板来说,在每一单元组中,开关晶体管以两个为一组沿第二方向均匀分布。这样对于黑矩阵来说,最宽处需要覆盖一个开关晶体管,因此相对现有技术可以有效改善麻点感。并且,与各开关晶体管对应连接的栅线位于各子像素中的两个亚子像素之间,这样,一个子像素中,由于工艺对位造成的像素电极与栅线之间的电容差异可以利用两个亚子像素进行自补偿。



1. 一种阵列基板,其特征在于,包括衬底基板、位于所述衬底基板上呈矩阵排列的多个子像素、与各所述子像素一一对应连接的开关晶体管、多条沿第一方向延伸的栅线、以及多条沿第二方向延伸的数据线,所述第一方向与所述第二方向交叉设置;其中:

各所述子像素包括沿第二方向排列的两个亚子像素,与各所述子像素对应的开关晶体管位于所述两个亚子像素之间,且与所述两个亚子像素均连接;

以沿所述第一方向每相邻的两列子像素为一单元组,任意相邻两个所述单元组沿所述第二方向错位N个亚子像素;其中N为正整数;

与各所述开关晶体管对应连接的所述栅线位于各所述子像素中的所述两个亚子像素之间,位于同一行的所述开关晶体管连接同一条所述栅线,位于不同行的所述开关晶体管连接不同的所述栅线。

2. 如权利要求1所述的阵列基板,其特征在于,N=1。

3. 如权利要求1所述的阵列基板,其特征在于,每一列所述子像素的一侧分别设置有一条所述数据线,且同一列所述子像素均与位于其一侧的同一条所述数据线连接。

4. 如权利要求3所述的阵列基板,其特征在于,还包括多条连接走线,每一所述连接走线连接两条不同的数据线,且一条所述数据线仅与一条所述连接走线连接;

同一帧画面中同一列所述子像素的极性相同,相邻两列所述子像素的极性不同,与同一所述连接走线连接的两条数据线所对应的两列子像素的极性相同,且连接的栅线不同。

5. 如权利要求4所述的阵列基板,其特征在于,与同一所述连接走线连接的两条数据线分别为第n条数据线与第n+2条数据线。

6. 如权利要求4所述的阵列基板,其特征在于,同一列的子像素的颜色相同;

与同一所述连接走线连接的两条数据线所对应的两列子像素的颜色相同。

7. 如权利要求6所述的阵列基板,其特征在于,沿第一方向,所述子像素按照R、G和B的排列规律重复排列;

所述第n条数据线与第n+6条数据线连接同一所述连接走线。

8. 如权利要求6所述的阵列基板,其特征在于,沿第一方向,所述子像素按照R、G、B和W的排列规律重复排列;

所述第n条数据线与第n+8条数据线连接同一所述连接走线。

9. 如权利要求1所述的阵列基板,其特征在于,每一单元组中的两列子像素之间均设置有一条所述数据线;

且同一单元组中,其中一列子像素均与位于所述单元组中间的所述数据线相连,另一列所述子像素均与位于相邻所述单元组中间的数据线相连;且与同一栅线连接的所述子像素分别连接不同的数据线。

10. 一种液晶显示面板,其特征在于,包括如权利要求1-9任一项所述的阵列基板。

11. 一种显示装置,其特征在于,包括如权利要求10所述的液晶显示面板。

阵列基板、液晶显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤指一种阵列基板、液晶显示面板及显示装置。

背景技术

[0002] 薄膜晶体管液晶显示(Thin Film Transistor-Liquid Crystal Display, TFT-LCD)面板广泛应用于移动产品如手机,平板电脑中。目前,为改善显示竖纹,采用如图1所示的双栅设计,相邻两行子像素Pix'之间设置有两条栅线Gn',四个相邻子像素Pix'的晶体管01'相邻设置,遮挡晶体管01'的黑矩阵较宽,在显示时,视觉上会有麻点感。虽然,可以通过加宽较窄处黑矩阵的宽度来减小黑矩阵的宽度差异,但对子像素Pix'开口率影响较大,会损失10%以上的开口率,从而降低显示面板的透过率。

发明内容

[0003] 有鉴于此,本发明实施例提供一种阵列基板、液晶显示面板及显示装置,用以改善现有技术中存在的麻点问题。

[0004] 本发明实施例提供的一种阵列基板,包括衬底基板、位于所述衬底基板上呈矩阵排列的多个子像素、与各所述子像素一一对应连接的开关晶体管、多条沿第一方向延伸的栅线、以及多条沿第二方向延伸的数据线,所述第一方向与所述第二方向交叉设置;其中:

[0005] 各所述子像素包括沿第二方向排列的两个亚子像素,与各所述子像素对应的开关晶体管位于所述两个亚子像素之间,且与所述两个亚子像素均连接;

[0006] 以沿所述第一方向每相邻的两列子像素为一单元组,任意相邻两个所述单元组沿所述第二方向错位N个亚子像素;其中N为正整数;

[0007] 与各所述开关晶体管对应连接的所述栅线位于各所述子像素中的所述两个亚子像素之间,位于同一行的所述开关晶体管连接同一条所述栅线,位于不同行的所述开关晶体管连接不同的所述栅线。

[0008] 可选地,在本发明实施例提供的阵列基板中,N=1。

[0009] 可选地,在本发明实施例提供的阵列基板中,每一列所述子像素的一侧分别设置有一条所述数据线,且同一列所述子像素均与位于其一侧的同一条所述数据线连接。

[0010] 可选地,在本发明实施例提供的阵列基板中,还包括多条连接走线,每一所述连接走线连接两条不同的数据线,且一条所述数据线仅与一条所述连接走线连接;

[0011] 同一帧画面中同一列所述子像素的极性相同,相邻两列所述子像素的极性不同,与同一所述连接走线连接的两条数据线所对应的两列子像素的极性相同,且连接的栅线不同。

[0012] 可选地,在本发明实施例提供的阵列基板中,与同一所述连接走线连接的两条数据线分别为第n条数据线与第n+2条数据线。

[0013] 可选地,在本发明实施例提供的阵列基板中,同一列的子像素的颜色相同;

[0014] 与同一所述连接走线连接的两条数据线所对应的两列子像素的颜色相同。

[0015] 可选地,在本发明实施例提供的阵列基板中,沿第一方向,所述子像素按照R、G和B的排列规律重复排列;

[0016] 所述第n条数据线与第n+6条数据线的连接同一所述连接走线。

[0017] 可选地,在本发明实施例提供的阵列基板中,沿第一方向,所述子像素按照R、G、B和W的排列规律重复排列;

[0018] 所述第n条数据线与第n+8条数据线的连接同一所述连接走线。

[0019] 可选地,在本发明实施例提供的阵列基板中,每一单元组中的两列子像素之间均设置有一条所述数据线;

[0020] 且同一单元组中,其中一列子像素均与位于所述单元组中间的所述数据线相连,另一列所述子像素均与位于相邻所述单元组中间的数据线相连;且与同一栅线连接的所述子像素分别连接不同的数据线。

[0021] 相应地,本发明实施例还提供了一种液晶显示面板,包括本发明实施例提供的上述任一种阵列基板。

[0022] 相应地,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述液晶显示面板。

[0023] 本发明有益效果如下:

[0024] 本发明实施例提供的阵列基板、液晶显示面板及显示装置,各子像素包括沿第二方向排列的两个亚子像素,与各子像素对应的开关晶体管位于两个亚子像素之间,且与两个亚子像素均连接;且以沿第一方向每相邻的两列子像素为一单元组,任意相邻两个单元组沿第二方向错位N个亚子像素;这样对于整个阵列基板来说,在每一单元组中,开关晶体管以两个为一组沿第二方向均匀分布。这样对于黑矩阵来说,最宽处需要覆盖一个开关晶体管,因此相对现有技术可以有效改善麻点感。并且,与各开关晶体管对应连接的栅线位于各子像素中的两个亚子像素之间,这样,一个子像素中,由于工艺对位造成的像素电极与栅线之间的电容 C_{pg} 差异可以利用两个亚子像素进行自补偿。

附图说明

[0025] 图1为现有的双栅设计的显示面板的结构示意图;

[0026] 图2为本发明一种实施例提供的阵列基板的结构示意图;

[0027] 图3为本发明另一种实施例提供的阵列基板的结构示意图;

[0028] 图4为本发明又一种实施例提供的阵列基板的结构示意图;

[0029] 图5为本发明又一种实施例提供的阵列基板的结构示意图;

[0030] 图6为本发明又一种实施例提供的阵列基板的结构示意图;

[0031] 图7为本发明又一种实施例提供的阵列基板的结构示意图;

[0032] 图8为现有双畴结构的子像素的结构示意图;

[0033] 图9为本发明又一种实施例提供的阵列基板的结构示意图;

[0034] 图10为本发明实施例提供的液晶显示面板的结构示意图;

[0035] 图11为本发明实施例提供的显示装置的结构示意图。

具体实施方式

[0036] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面将结合附图和实施例对本发明做进一步说明。然而,示例实施方式能够以多种形式实施,且不应被理解为限于在此阐述的实施方式;相反,提供这些实施方式使得本发明更全面和完整,并将示例实施方式的构思全面地传达给本领域的技术人员。在图中相同的附图标记表示相同或类似的结构,因而将省略对它们的重复描述。本发明中所描述的表示位置与方向的词,均是以附图为例进行的说明,但根据需要也可以做出改变,所做改变均包含在本发明保护范围内。本发明的附图仅用于示意相对位置关系不代表真实比例。

[0037] 需要说明的是,在以下描述中阐述了具体细节以便于充分理解本发明。但是本发明能够以多种不同于在此描述的其它方式来实施,本领域技术人员可以在不违背本发明内涵的情况下做类似推广。因此本发明不受下面公开的具体实施方式的限制。说明书后续描述为实施本申请的较佳实施方式,然所述描述乃以说明本申请的一般原则为目的,并非用以限定本申请的范围。本申请的保护范围当视所附权利要求所界定者为准。

[0038] 下面结合附图,对本发明实施例提供的阵列基板、液晶显示面板及显示装置进行具体说明。

[0039] 本发明实施例提供的一种阵列基板,如图2所示,图2为本发明一种实施例提供的阵列基板的结构示意图;包括衬底基板、位于衬底基板上呈矩阵排列的多个子像素 P_{ix} 、与各子像素 P_{ix} 一一对应连接的开关晶体管 O_1 、多条沿第一方向 X 延伸的栅线 G_n (图2中以 $n=1\sim 6$ 为例)、以及多条沿第二方向 Y 延伸的数据线 D_m (图2中以 $m=1\sim 12$ 为例),第一方向 X 与第二方向 Y 交叉设置;其中:

[0040] 各子像素 P_{ix} 包括沿第二方向 Y 排列的两个亚子像素 P_{ix1} ,与各子像素 P_{ix} 对应的开关晶体管 O_1 位于两个亚子像素 P_{ix1} 之间,且与两个亚子像素 P_{ix1} 均连接;

[0041] 以沿第一方向 X 每相邻的两列子像素 P_{ix} 为一单元组 100 ,任意相邻两个单元组 100 沿第二方向 Y 错位 N 个亚子像素 P_{ix1} ;其中 N 为正整数;

[0042] 与各开关晶体管 O_1 对应连接的栅线 G_n 位于各子像素 P_{ix} 中的两个亚子像素 P_{ix1} 之间,位于同一行的开关晶体管 O_1 连接同一条栅线 G_n ,位于不同行的开关晶体管 O_1 连接不同的栅线 G_n 。

[0043] 在本发明实施例提供的阵列基板中,各子像素包括沿第二方向排列的两个亚子像素,与各子像素对应的开关晶体管位于两个亚子像素之间,且与两个亚子像素均连接;且以沿第一方向每相邻的两列子像素为一单元组,任意相邻两个单元组沿第二方向错位 N 个亚子像素;这样对于整个阵列基板来说,在每一单元组中,开关晶体管以两个为一组沿第二方向均匀分布。这样对于黑矩阵来说,最宽处需要覆盖一个开关晶体管,因此相对现有技术可以有效改善麻点感。并且,与各开关晶体管对应连接的栅线位于各子像素中的两个亚子像素之间,这样,一个子像素中,由于工艺对位造成的像素电极与栅线之间的电容 C_{pg} 差异可以利用两个亚子像素进行自补偿。

[0044] 在具体实施时,在本发明实施例提供的上述阵列基板中,如图2所示,与各开关晶体管 O_1 对应连接的栅线 G_n 位于各子像素 P_{ix} 中的两个亚子像素 P_{ix1} 之间,位于同一行的开关晶体管 O_1 连接同一条栅线 G_n ,位于不同行的开关晶体管 O_1 连接不同的栅线 G_n 。例如图2中栅线 G_1 与沿第一方向 X 的第1个、第3个和第5个单元组 100 中第一行子像素 P_{ix} 的开关晶体管

01连接,栅线G1位于沿第一方向的第1个、第3个和第5个单元组100中第一行子像素Pix中的两个亚子像素Pix1之间,且位于沿第一方向的第2个、第4个和第6个单元组100中第一行子像素Pix的一侧;栅线G2与沿第一方向的第2个、第4个和第6个单元组100中第一行子像素Pix的开关晶体管01连接,且栅线G2位于沿第一方向的第2个、第4个和第6个单元组100中第一行子像素Pix中的两个亚子像素Pix1之间,但是位于沿第一方向X的第1个、第3个和第6个单元组100中第一行子像素Pix的一侧。这样,在一个子像素Pix中,由于工艺发生对位差异时,栅线Gn与该子像素Pix中的两个亚子像素Pix1之间的电容Cpg,一个变大,另一个变小,从而Cpg差异可以利用两个亚子像素Pix1进行自补偿。

[0045] 需要说明的是,在本发明实施例提供的阵列基板中,位于同一行的开关晶体管是指理想状态下位于同一行,在实际应用中允许有对位等工艺上的位置差异存在,在此不作限定。

[0046] 可选地,在本发明实施例提供的阵列基板中,第一方向和第二方向可以相互垂直,在此不作限定。

[0047] 进一步地,在本发明实施例提供的阵列基板中,第一方向可以为行方向,第二方向为列方向,或者,第一方向为列方向,第二方向为行方向,在此不作限定。本发明附图中以第一方向为行方向,第二方向为列方向为例进行示意说明的。

[0048] 在具体实施时,在本发明实施例提供的阵列基板中,对N的大小不作限定,但是N越大,阵列基板边缘的锯齿感越高,需要采用虚设子像素进行补偿。

[0049] 因此,可选地,在本发明实施例提供的阵列基板中,如图2所示, $N=1$ 。

[0050] 可选地,在本发明实施例提供的阵列基板中,如图2所示,每一列子像素Pix的一侧分别设置有一条数据线Sm,且同一列子像素Pix均与位于其一侧的同一条数据线Sm连接。这样在同一帧画面中同一列子像素的极性相同,相邻两列子像素的极性不同,从而可以实现列反转的驱动方式。

[0051] 可选地,在本发明实施例提供的阵列基板中,如图3至图6所示,图3为本发明另一种实施例提供的阵列基板的结构示意图;图4为本发明又一种实施例提供的阵列基板的结构示意图;图5为本发明又一种实施例提供的阵列基板的结构示意图;图6为本发明又一种实施例提供的阵列基板的结构示意图;还包括多条连接走线Sk(图3和图4以 $k=1\sim 6$ 为例进行示意说明,图5和图6以 $k=1\sim 8$ 为例进行示意说明),每一连接走线Sk连接两条不同的数据线Dm,且一条数据线Dm仅与一条连接走线Sk连接;

[0052] 同一帧画面中同一列子像素Pix的极性相同,相邻两列子像素Pix的极性不同,与同一连接走线Sk连接的两条数据线所对应的两列子像素Pix的极性相同,且连接的栅线Gn不同。这样,向与同一连接走线Sk连接的两条数据线Dm提供数据信号时,只有当栅线Gn打开对应的子像素Pix时,对应的子像素Pix才能够接收到数据信号,从而确保与同一连接走线Sk连接的两条数据线Dm所对应的两列子像素Pix不会发生信号串扰。并且,两条不同的数据线Dm共用一条连接走线Sk,可以减少用于提供数据信号的源驱动电路的数据输出端口,从而简化源极驱动电路,降低生产成本。

[0053] 可选地,在本发明实施例提供的阵列基板中,如图3和图5所示,与同一连接走线Sk连接的两条数据线Dm分别为第n条数据线Dn与第n+2条数据线Dn+2。即与同一连接走线Sk连接的两条数据线Dn和Dn+2之间间隔一条数据线Dn+1,使连接走线尽可能短,并且尽可能的

减少连接走线 S_k 的交叠条数。因为连接走线 S_k 交叠的条数越多, 并排设置的连接走线的条数就越多, 连接走线 S_k 发生短路的风险越大, 并且会增加阵列基板侧边的宽度, 即不利于显示面板的窄边框设计。因此, 本发明实施例提供的上述阵列基板, 使与同一连接走线 S_k 连接的两条数据线 D_m 之间的距离尽可能的近, 可以减少并排设置的连接走线 S_k 的条数, 降低连接走线 S_k 发生短路的风险, 并且降低阵列基板侧边的宽度。

[0054] 可选地, 在本发明实施例提供的阵列基板中, 如图4和图6所示, 同一列的子像素 P_{ix} 的颜色相同;

[0055] 与同一连接走线 S_k 连接的两条数据线 D_m 所对应的两列子像素 P_{ix} 的颜色相同。这样, 当显示纯色画面时, 与同一连接走线 S_k 连接的两条数据线 D_m 所对应的两列子像素 P_{ix} 上的数据信号相同, 即在一帧画面内, 同一连接走线 S_k 接收的数据信号一直保持不变, 从而可以节省功耗。

[0056] 可选地, 在本发明实施例提供的阵列基板中, 如图4所示, 沿第一方向 X , 子像素 P_{ix} 按照R、G和B的排列规律重复排列;

[0057] 第 n 条数据线 D_n 与第 $n+6$ 条数据线 D_{n+6} 连接同一连接走线 S_k , 从而实现与同一连接走线 S_k 连接的两条数据线 D_m 所对应的两列子像素 P_{ix} 的颜色相同。

[0058] 可选地, 在本发明实施例提供的阵列基板中, 如图6所示, 沿第一方向 X , 子像素 P_{ix} 按照R、G、B和W的排列规律重复排列;

[0059] 第 n 条数据线 D_n 与第 $n+8$ 条数据线 D_{n+8} 连接同一连接走线 S_k 。从而实现与同一连接走线 S_k 连接的两条数据线 D_m 所对应的两列子像素 P_{ix} 的颜色相同。

[0060] 在具体实施时, 在本发明实施例提供的阵列基板中, 为了实现窄边框, 可以使两列子像素共用一条数据线, 从而减少阵列基板上数据线的数量。

[0061] 可选地, 在本发明实施例提供的阵列基板中, 如图7所示, 图7为本发明又一种实施例提供的阵列基板的结构示意图; 每一单元组100中的两列子像素 P_{ix} 之间均设置有一条数据线 D_m ;

[0062] 且同一单元组100中, 其中一列子像素 P_{ix} 均与位于单元组100中间的数据线 D_m 相连, 另一列子像素 P_{ix} 均与位于相邻单元组100中间的数据线 D_m 相连; 且与同一栅线 G_n 连接的子像素 P_{ix} 分别连接不同的数据线 D_m 。

[0063] 众所周知, 液晶显示面板主要是通过利用像素电极与公共电极之间的电场控制液晶的转动, 从而控制液晶的穿透率。液晶显示面板按照工作模式主要包括纵向电场模式和横向电场模式。其中横向电场模式液晶显示面板由于色偏小、色彩还原度高、响应速度快、对比度高、视角宽等特点, 在实际应用中越来越广泛。现有的横向电场模式液晶显示面板, 公共电极为面状电极, 像素电极隔着绝缘层与公共电极相对设置, 当像素电极与公共电极施加电压时, 在液晶层中产生大致平行基板的电场, 驱动液晶分子旋转。为了提高视野角度, 目前通常采用如图8中的双畴结构, 即像素电极11具有两个对称设置的延伸方向。但是在双畴结构中, 在两个畴之间液晶分子翻转会发生异常, 因此需要黑矩阵进行遮挡, 从而会损失一部分的开口率。

[0064] 而在本发明实施例提供的阵列基板中, 由于每个子像素的两个亚子像素之间具有开关晶体管和栅线, 黑矩阵恰好是设置在每一子像素中两个亚子像素之间的, 因此, 鉴于此, 可以将本发明实施例提供的阵列基板设置为双畴结构。

[0065] 可选地,在本发明实施例提供的阵列基板中,如图9所示,图9为本发明又一种实施例提供的阵列基板的结构示意图;每一子像素Pix中两个亚子像素Pix1的畴不相同,即两个亚子像素Pix1的像素电极11的延伸方向不同,从而提高视野角度。

[0066] 可选地,在本发明实施例提供的阵列基板中,如图9所示,同一子像素Pix中,两个亚子像素Pix1对称设置。并且位于同一行的亚子像素Pix1的畴方向相同,在此不作限定。

[0067] 当然,在具体实施时,也可以将每一子像素中两个亚子像素的畴设置为相同,在此不作限定。

[0068] 基于同一发明构思,本发明实施例还提供了一种液晶显示面板,如图10所示,图10为本发明实施例提供的液晶显示面板的结构示意图;包括本发明实施例提供的上述任一阵列基板10。由于该液晶显示面板解决问题的原理与前述一种阵列基板相似,因此该液晶显示面板的实施可以参见前述阵列基板的实施,重复之处不再赘述。

[0069] 在具体实施时,如图10所示,在液晶显示面板中还设置有与阵列基板10相对设置的彩膜基板20,以及位于彩膜基板20和阵列基板10之间的液晶层30。

[0070] 在具体实施时,彩膜基板上一般设置有黑矩阵和彩膜层,公共电极可以设置在彩膜基板上,也可以设置在阵列基板上,而阵列基板的各子像素中一般包括像素电极。具体地,液晶显示面板的其它膜层和结构可参考现有技术,在此不作赘述。

[0071] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述任一种显示器件。该显示装置可以为:如图11所示的手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。该显示装置的实施可以参见上述显示面板的实施例,重复之处不再赘述。

[0072] 本发明实施例提供的阵列基板、液晶显示面板及显示装置,各子像素包括沿第二方向排列的两个亚子像素,与各子像素对应的开关晶体管位于两个亚子像素之间,且与两个亚子像素和均连接;且以沿第一方向每相邻的两列子像素为一单元组,任意相邻两个单元组沿第二方向错位N个亚子像素;这样对于整个阵列基板来说,在每一单元组中,开关晶体管以两个为一组沿第二方向均匀分布。这样对于黑矩阵来说,最宽处需要覆盖一个开关晶体管,因此相对现有技术可以有效改善麻点感。并且,与各开关晶体管对应连接的栅线位于各子像素中的两个亚子像素之间,这样,一个子像素中,由于工艺对位造成的像素电极与栅线之间的电容 C_{pg} 差异可以利用两个亚子像素进行自补偿。

[0073] 尽管已描述了本发明的优选实施例,但本领域内的技术人员一旦得知了基本创造性概念,则可对这些实施例作出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。

[0074] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

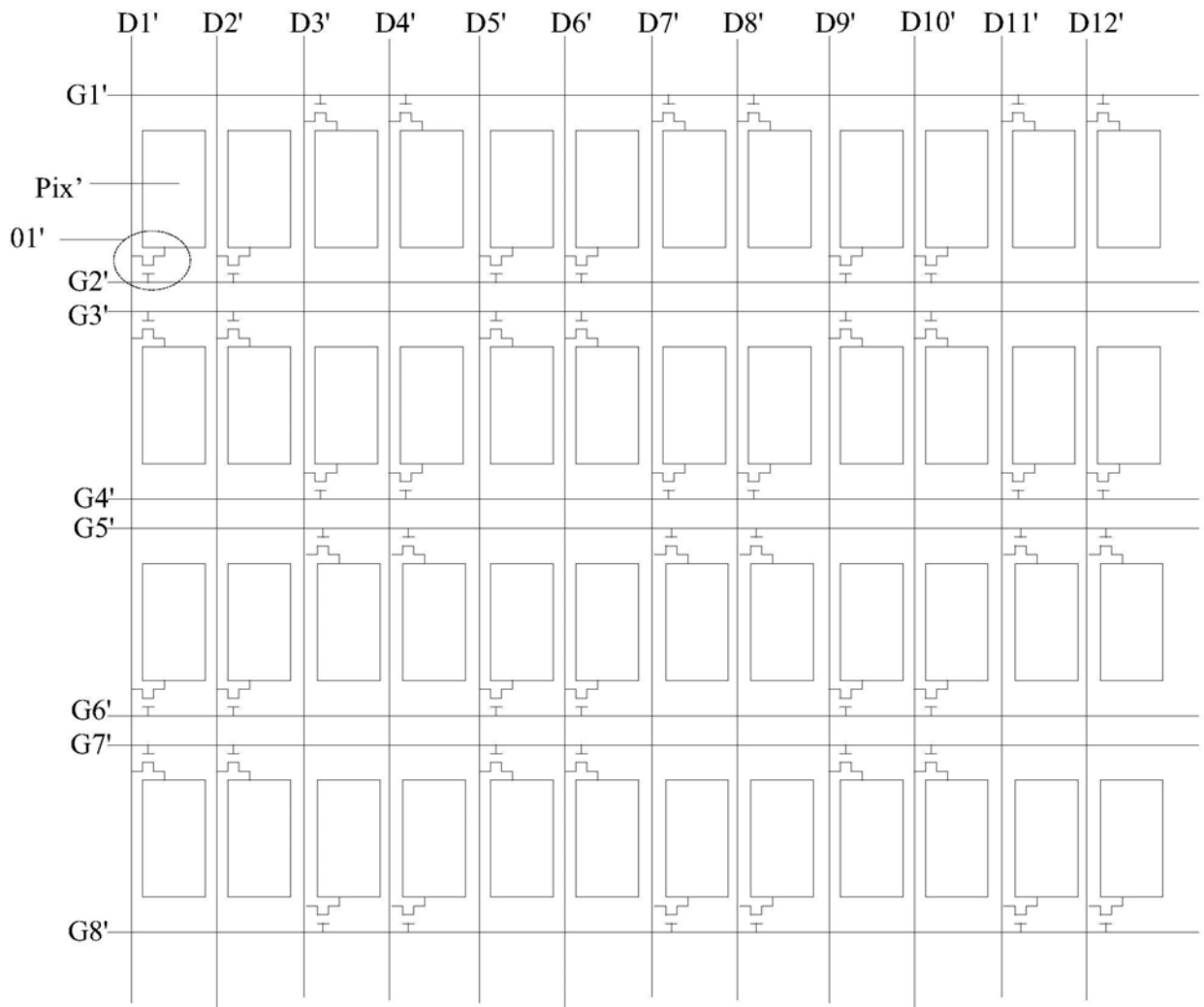


图1

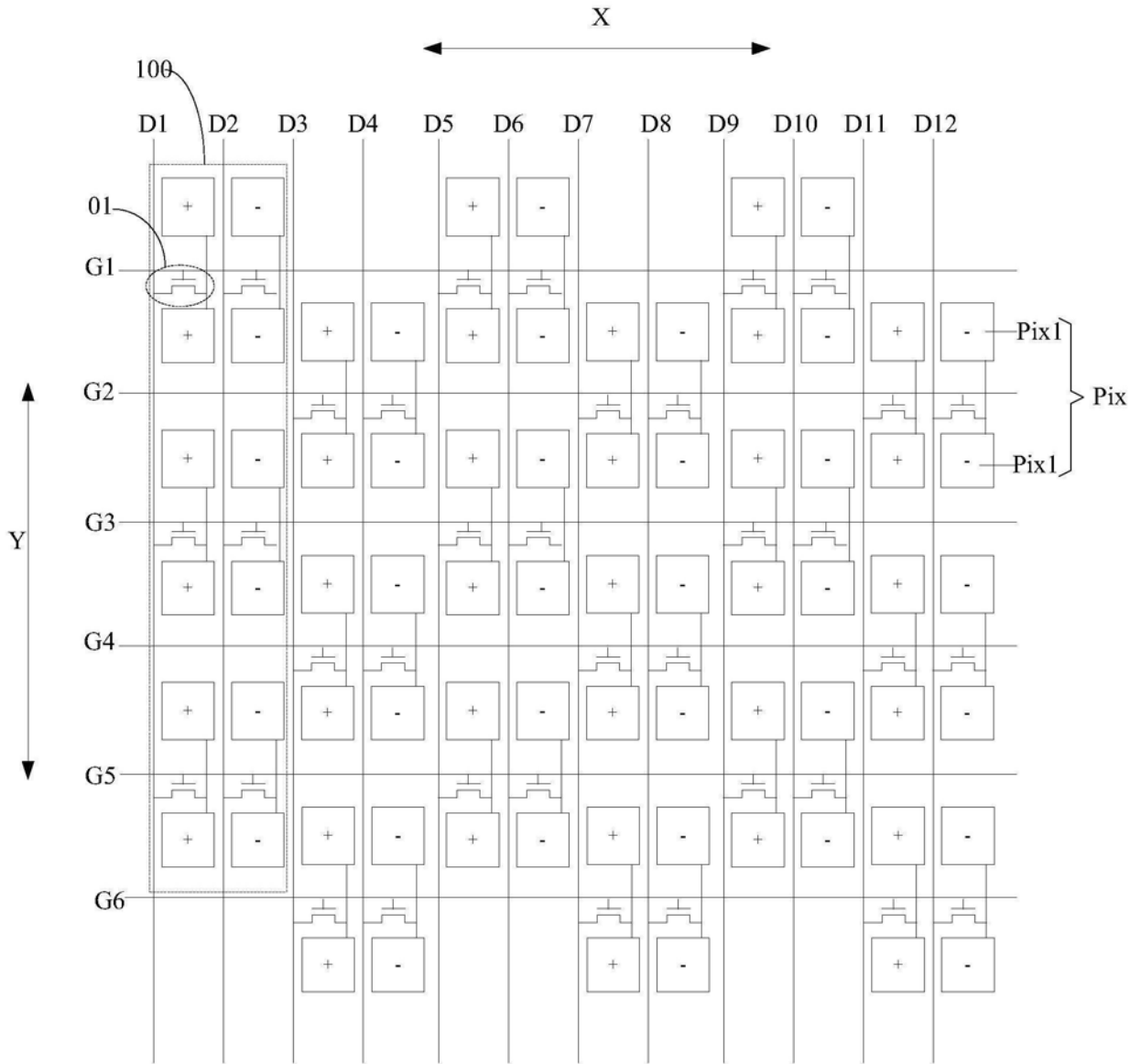


图2

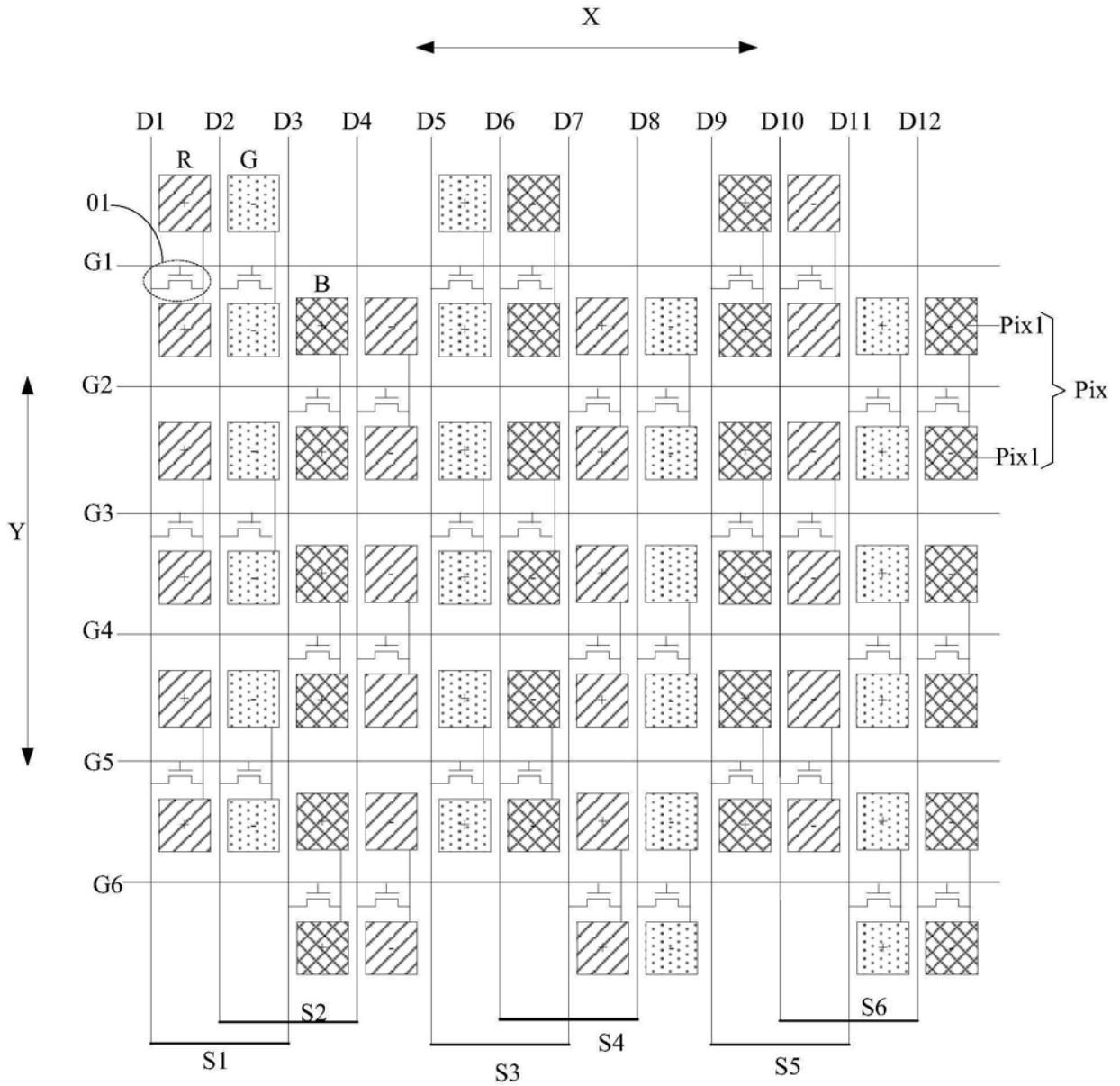


图3

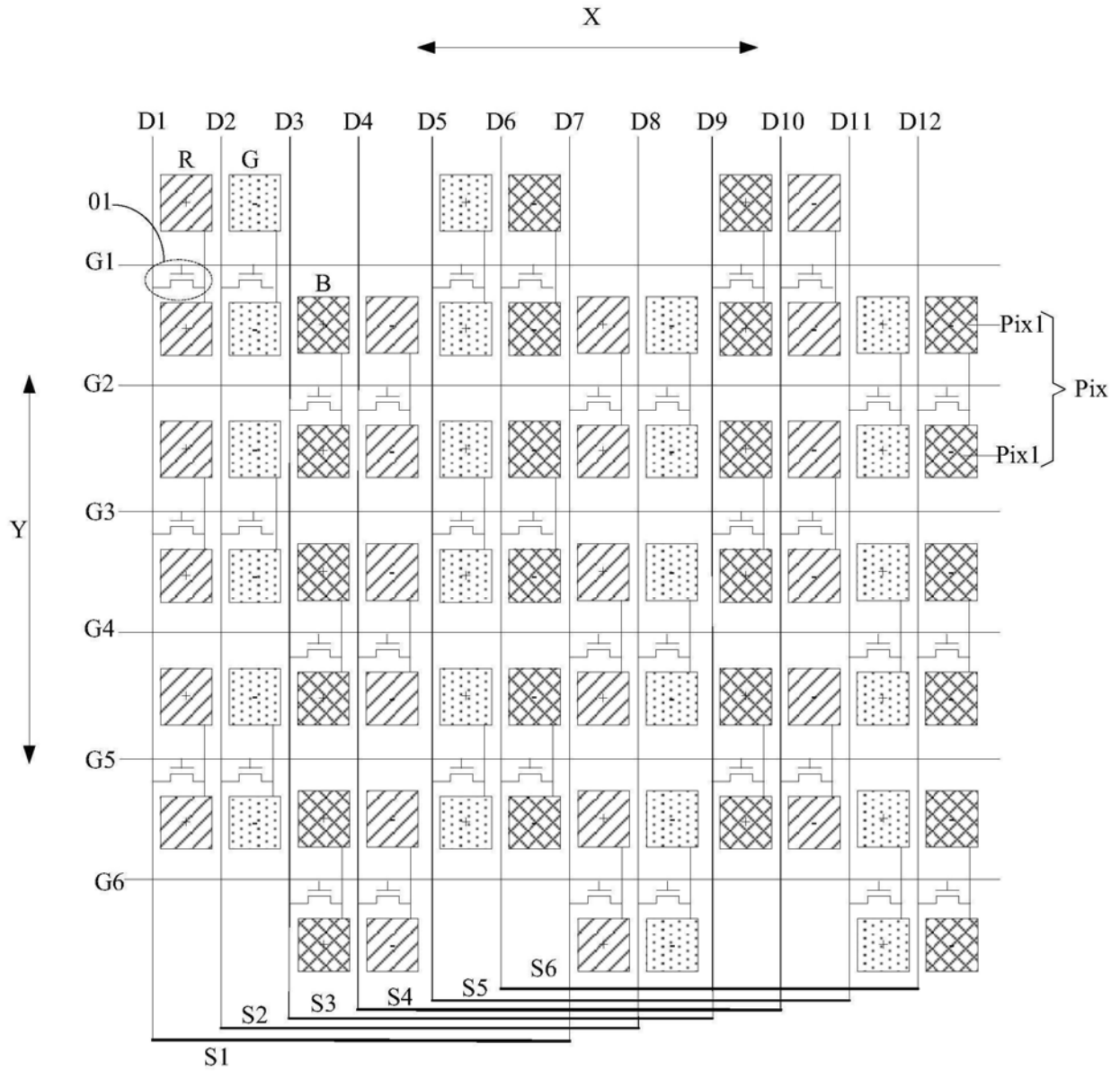


图4

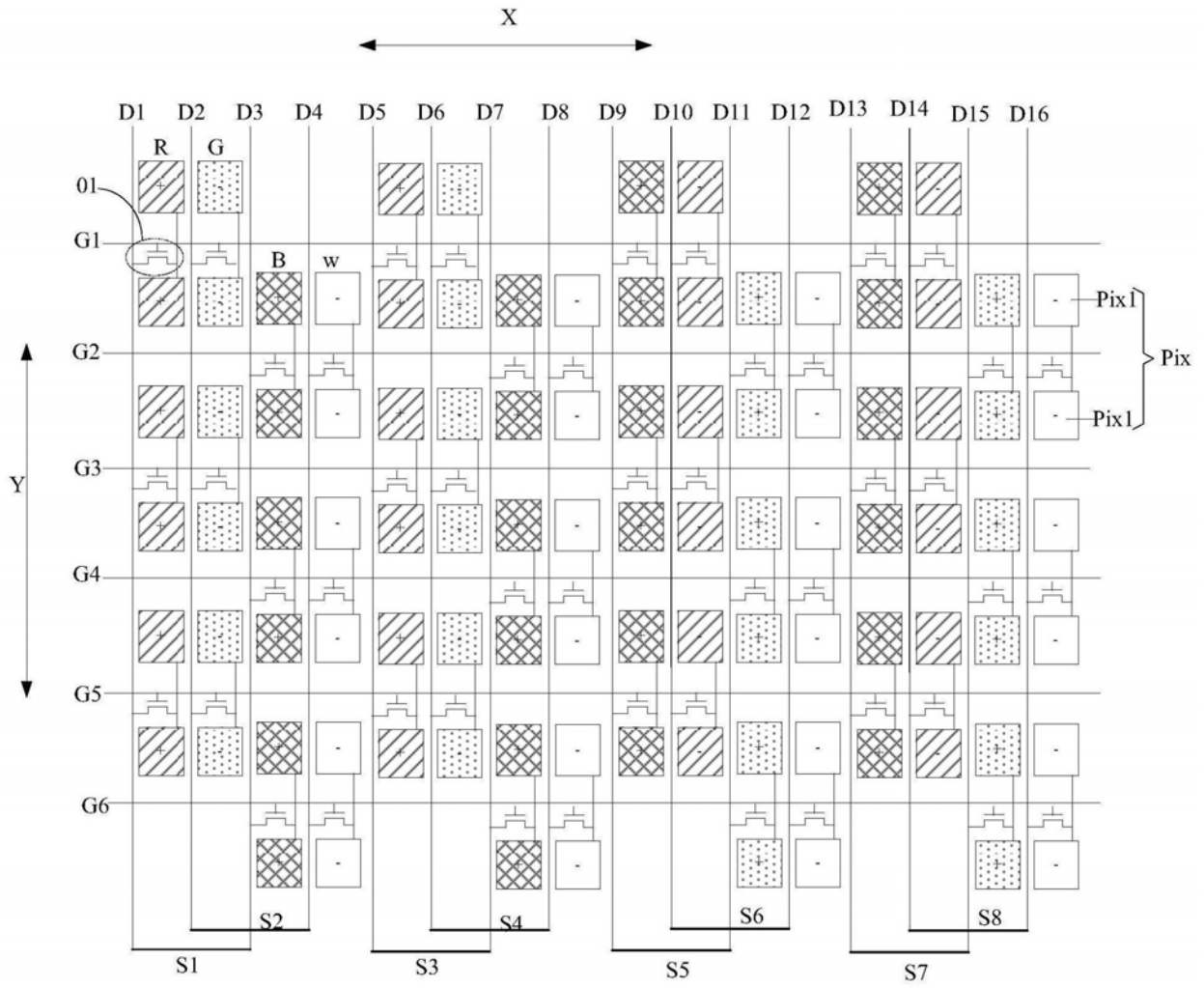


图5

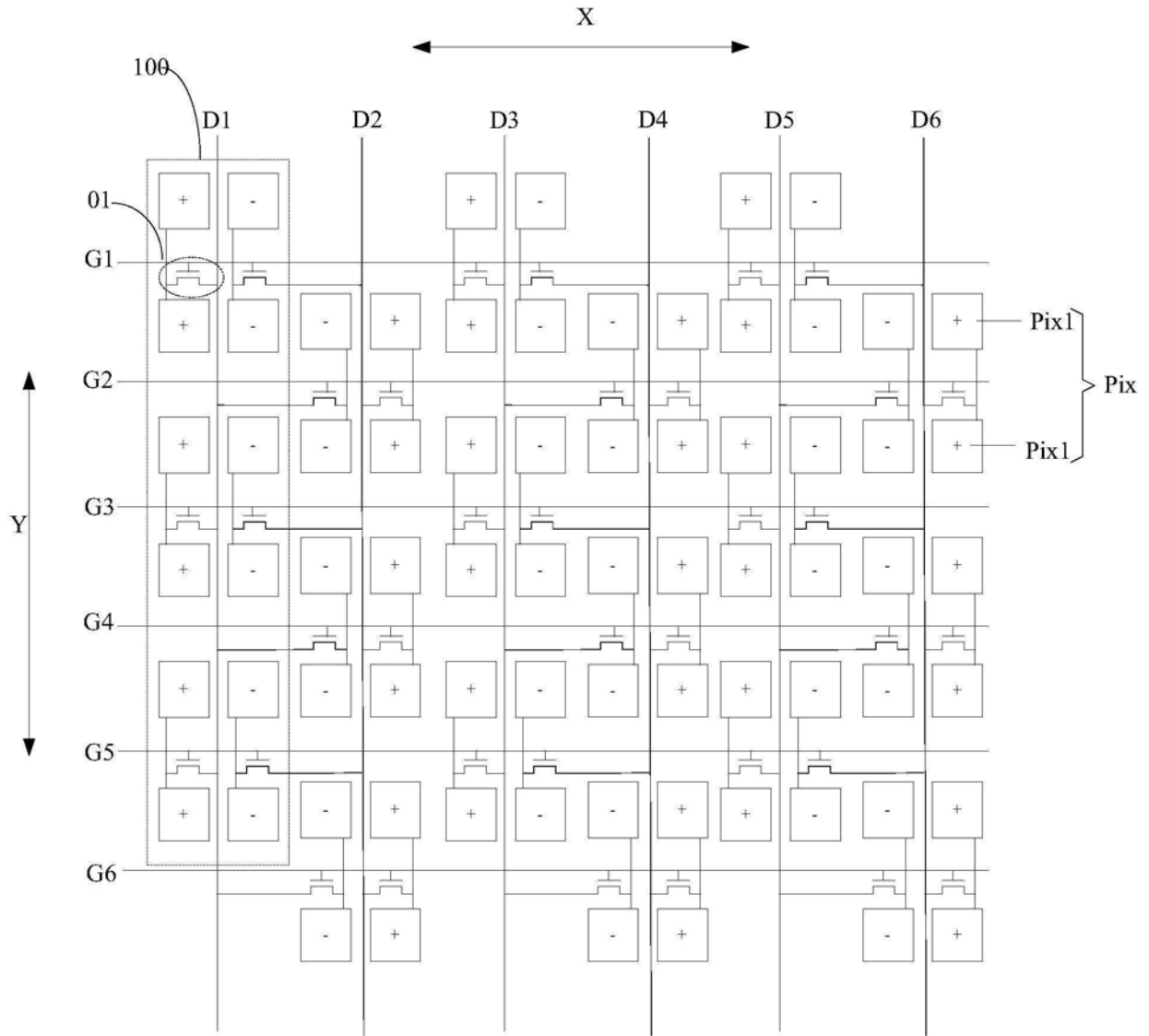


图7

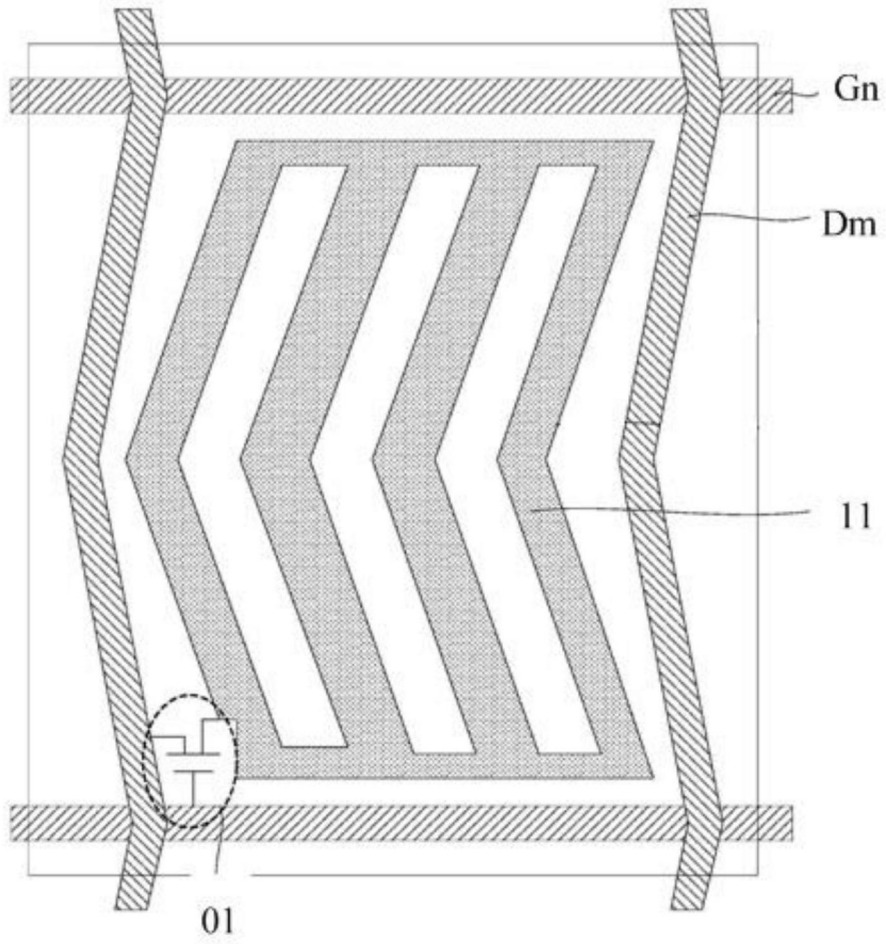


图8

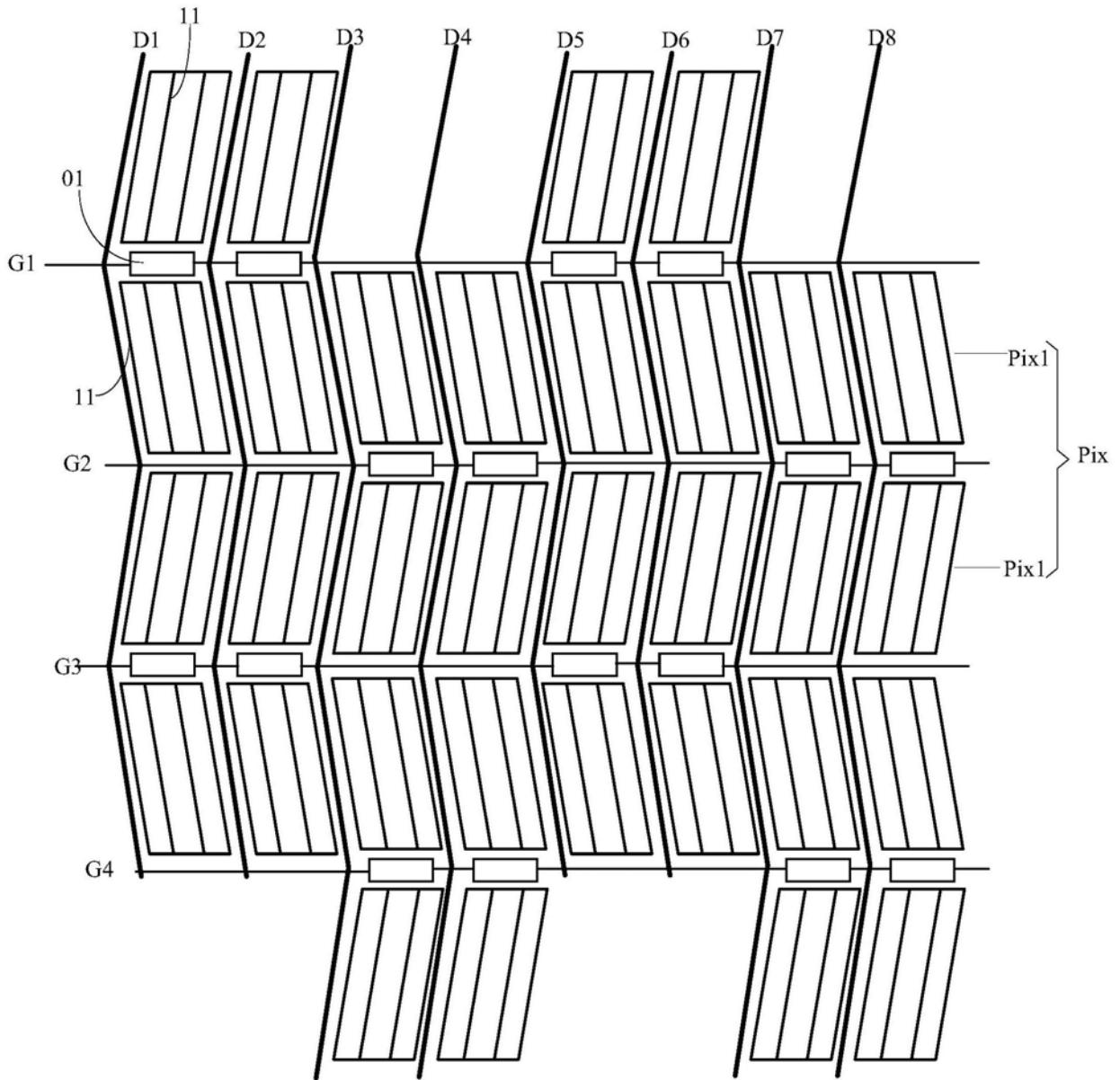


图9

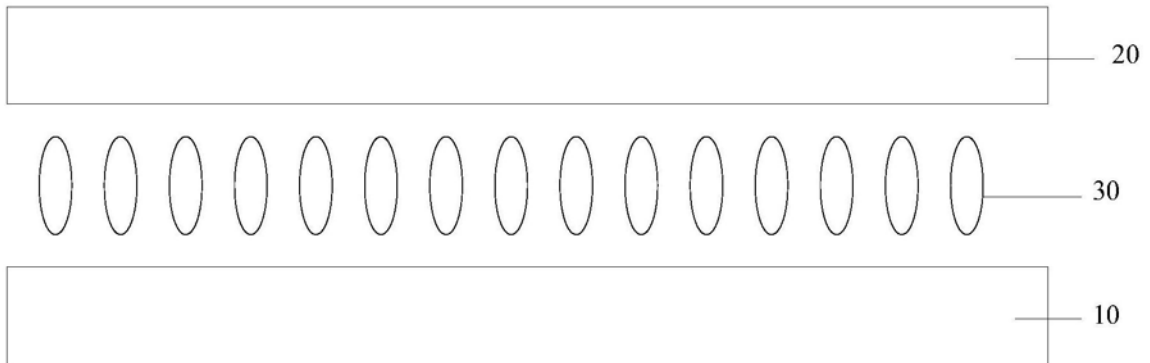


图10

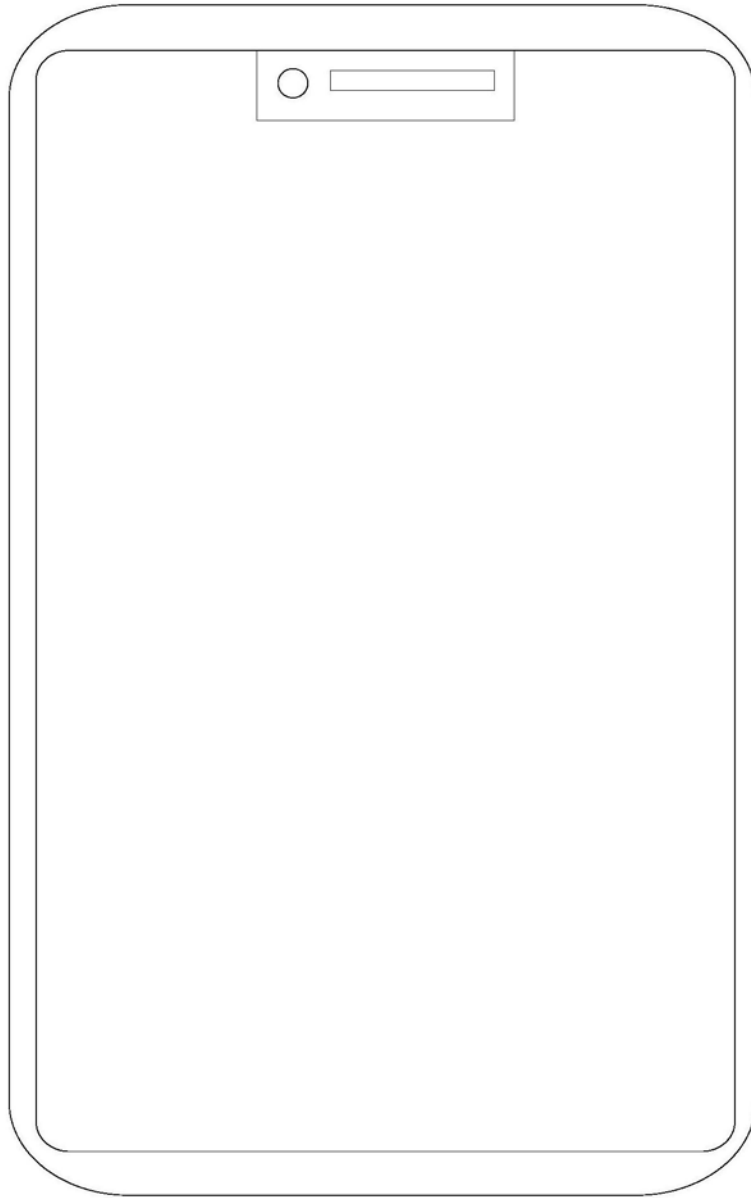


图11

专利名称(译)	阵列基板、液晶显示面板及显示装置		
公开(公告)号	CN110531558A	公开(公告)日	2019-12-03
申请号	CN201910820766.7	申请日	2019-08-29
[标]申请(专利权)人(译)	上海中航光电子有限公司		
申请(专利权)人(译)	上海中航光电子有限公司		
当前申请(专利权)人(译)	上海中航光电子有限公司		
[标]发明人	傅炯樑 简守甫 孙丽娜 秦丹丹 秦锋		
发明人	傅炯樑 简守甫 孙丽娜 秦丹丹 秦锋		
IPC分类号	G02F1/1362 H01L27/12		
CPC分类号	G02F1/13624 G02F1/136286 G02F2001/136222 H01L27/124		
代理人(译)	杨晓萍		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板、液晶显示面板及显示装置，各子像素包括沿第二方向排列的两个亚子像素，与各子像素对应的开关晶体管位于两个亚子像素之间，且与两个亚子像素和均连接；且以沿第一方向每相邻的两列子像素为一单元组，任意相邻两个单元组沿第二方向错位N个亚子像素；这样对于整个阵列基板来说，在每一单元组中，开关晶体管以两个为一组沿第二方向均匀分布。这样对于黑矩阵来说，最宽处需要覆盖一个开关晶体管，因此相对现有技术可以有效改善麻点感。并且，与各开关晶体管对应连接的栅线位于各子像素中的两个亚子像素之间，这样，一个子像素中，由于工艺对位造成的像素电极与栅线之间的电容差异可以利用两个亚子像素进行自补偿。

