



(12)发明专利申请

(10)申请公布号 CN 108877723 A

(43)申请公布日 2018. 11. 23

(21)申请号 201810847157.6

(22)申请日 2018.07.27

(71)申请人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道9-2号

(72)发明人 李文英

(74)专利代理机构 广州三环专利商标代理有限公司 44202

代理人 郝传鑫 熊永强

(51)Int.Cl.

G09G 3/36(2006.01)

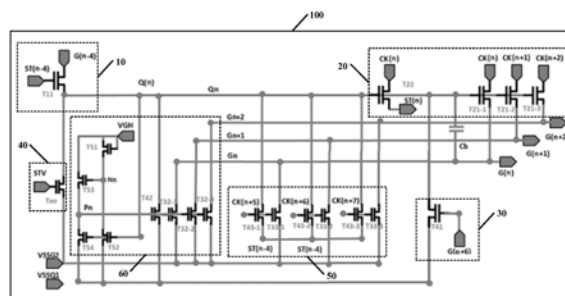
权利要求书6页 说明书14页 附图4页

(54)发明名称

G0A电路及具有该G0A电路的液晶显示装置

(57)摘要

本发明公开了一种G0A电路,其包括多个级联的G0A单元,其中第n级G0A单元对第n级、第n+1级以及第n+2级水平扫描线充电,所述第n级G0A单元包括:上拉控制电路,用于接收启动信号CT并输出上拉控制信号Q(n);上拉电路,用于接收Q(n)、第n级时钟信号CK(n)、第n+1级时钟信号CK(n+1)和第n+2级时钟信号CK(n+2),并输出第n级级传信号ST(n)、第n级扫描驱动信号G(n)、第n+1级扫描驱动信号G(n+1)和第n+2级扫描驱动信号G(n+2);下拉电路,用于接收第n+6级扫描驱动信号G(n+6)和第一直流低压信号VSSQ1,并使Q(n)处于关闭状态。本发明的G0A电路中一级G0A单元可以输出三级扫描驱动信号,可以减小每级G0A单元平均所占据的边框空间,从而满足面板的超窄边框需求。本发明还公开了一种液晶显示装置,其具有上述G0A电路。



1. 一种GOA电路,其特征在于,包括多个级联的GOA单元,其中第 n 级GOA单元对面板的显示区域第 n 级水平扫描线、第 $n+1$ 级水平扫描线以及第 $n+2$ 级水平扫描线充电,所述第 n 级GOA单元包括上拉控制电路、上拉电路和下拉电路,其中, n 为正整数;

所述上拉控制电路接收一启动信号CT,并根据所述启动信号CT输出一上拉控制信号 $Q(n)$;

所述上拉电路与所述上拉控制电路电性连接,接收所述上拉控制信号 $Q(n)$ 、一第 n 级时钟信号 $CK(n)$ 、一第 $n+1$ 级时钟信号 $CK(n+1)$ 以及一第 $n+2$ 级时钟信号 $CK(n+2)$,并根据所述上拉控制信号 $Q(n)$ 、所述第 n 级时钟信号 $CK(n)$ 、所述第 $n+1$ 级时钟信号 $CK(n+1)$ 以及所述第 $n+2$ 级时钟信号 $CK(n+2)$ 输出一第 n 级级传信号 $ST(n)$ 、一第 n 级扫描驱动信号 $G(n)$ 、一第 $n+1$ 级扫描驱动信号 $G(n+1)$ 以及一第 $n+2$ 级扫描驱动信号 $G(n+2)$;

所述下拉电路与所述上拉控制电路和所述上拉电路电性连接,接收第 $n+6$ 级GOA单元输出的第 $n+6$ 级扫描驱动信号 $G(n+6)$ 和一第一直流低压信号 $VSSQ1$,并根据所述第 $n+6$ 级扫描驱动信号 $G(n+6)$ 和所述第一直流低压信号 $VSSQ1$ 下拉所述上拉控制信号 $Q(n)$,以使所述上拉控制信号 $Q(n)$ 处于关闭状态。

2. 如权利要求1所述的GOA电路,其特征在于,当 n 大于等于1且小于等于4时,所述启动信号CT为一初始信号STV,所述上拉控制电路根据所述初始信号STV输出所述上拉控制信号 $Q(n)$;当 n 大于4时,所述启动信号CT为第 $n-4$ 级GOA单元输出的第 $n-4$ 级级传信号 $ST(n-4)$ 和第 $n-4$ 级扫描驱动信号 $G(n-4)$,所述上拉控制电路根据所述第 $n-4$ 级级传信号 $ST(n-4)$ 和所述第 $n-4$ 级扫描驱动信号 $G(n-4)$ 输出所述上拉控制信号 $Q(n)$ 。

3. 如权利要求2所述的GOA电路,其特征在于,

所述上拉控制电路包括:一第一薄膜晶体管(T11);其中,当 n 大于等于1且小于等于4时,所述第一薄膜晶体管(T11)的控制端和第一端输入所述初始信号STV,其第二端与上拉控制信号点 Qn 连接,用于根据所述初始信号STV输出所述上拉控制信号 $Q(n)$;当 n 大于4时,所述第一薄膜晶体管(T11)的控制端输入所述第 $n-4$ 级级传信号 $ST(n-4)$,其第一端输入所述第 $n-4$ 级扫描驱动信号 $G(n-4)$,其第二端与所述上拉控制信号点 Qn 连接,用于根据所述第 $n-4$ 级级传信号 $ST(n-4)$ 和所述第 $n-4$ 级扫描驱动信号 $G(n-4)$ 输出所述上拉控制信号 $Q(n)$;

所述上拉电路包括:一第二薄膜晶体管(T22)、一第三薄膜晶体管(T21-1)、一第四薄膜晶体管(T21-2)以及一第五薄膜晶体管(T21-3);所述第二薄膜晶体管(T22)的控制端与所述上拉控制信号点 Qn 电性连接,用于接收所述上拉控制信号 $Q(n)$,其第一端输入所述第 n 级时钟信号 $CK(n)$,其第二端用于根据所述上拉控制信号 $Q(n)$ 和所述第 n 级时钟信号 $CK(n)$ 输出所述第 n 级级传信号 $ST(n)$;所述第三薄膜晶体管(T21-1)的控制端与所述上拉控制信号点 Qn 电性连接,用于接收所述上拉控制信号 $Q(n)$,其第一端输入所述第 n 级时钟信号 $CK(n)$,其第二端与第 n 级水平扫描线 Gn 电性连接,用于根据所述上拉控制信号 $Q(n)$ 和所述第 n 级时钟信号 $CK(n)$ 输出所述第 n 级扫描驱动信号 $G(n)$;所述第四薄膜晶体管(T21-2)的控制端与所述上拉控制信号点 Qn 电性连接,用于接收所述上拉控制信号 $Q(n)$,其第一端输入所述第 $n+1$ 级时钟信号 $CK(n+1)$,其第二端与第 $n+1$ 级水平扫描线 $Gn+1$ 电性连接,用于根据所述上拉控制信号 $Q(n)$ 和所述第 $n+1$ 级时钟信号 $CK(n+1)$ 输出所述第 $n+1$ 级扫描驱动信号 $G(n+1)$;所述第五薄膜晶体管(T21-3)的控制端与所述上拉控制信号点 Qn 电性连接,用于接收所述上拉控制信号 $Q(n)$,其第一端输入所述第 $n+2$ 级时钟信号 $CK(n+2)$,其第二端与第 $n+2$ 级水平扫描

线 G_{n+2} 电性连接,用于根据所述上拉控制信号 $Q(n)$ 和所述第 $n+2$ 级时钟信号 $CK(n+2)$ 输出所述第 $n+2$ 级扫描驱动信号 $G(n+2)$;

所述下拉电路包括:一第六薄膜晶体管(T41),其控制端输入一第 $n+6$ 级扫描驱动信号 $G(n+6)$,其第一端与所述上拉控制信号点 Q_n 电性连接,其第二端输入一第一直流低压信号 $VSSQ1$,所述第六薄膜晶体管(T41)用于根据所述第 $n+6$ 级扫描驱动信号 $G(n+6)$ 和所述第一直流低压信号 $VSSQ1$ 下拉所述上拉控制信号 $Q(n)$,以使所述上拉控制信号 $Q(n)$ 处于关闭状态。

4.如权利要求3所述的GOA电路,其特征在于,所述第 n 级GOA单元还包括复位电路、第一下拉维持电路和第二下拉维持电路;

所述复位电路与所述上拉控制电路、所述上拉电路以及所述下拉电路电性连接,所述复位电路接收所述初始信号 STV 和一第二直流低压信号 $VSSG2$,并根据所述初始信号 STV 和所述第二直流低压信号 $VSSG2$ 将所述上拉控制信号 $Q(n)$ 进行复位;

所述第一下拉维持电路与所述上拉控制电路、所述上拉电路、所述下拉电路以及所述复位电路电性连接,所述第一下拉维持电路接收一第 $n+5$ 级时钟信号 $CK(n+5)$ 、一第 $n+6$ 级时钟信号 $CK(n+6)$ 、一第 $n+7$ 级时钟信号 $CK(n+7)$ 、所述第 $n-4$ 级级传信号 $ST(n-4)$ 以及所述第二直流低压信号 $VSSG2$,并根据第 $n+5$ 级时钟信号 $CK(n+5)$ 、所述第 $n+6$ 级时钟信号 $CK(n+6)$ 、所述第 $n+7$ 级时钟信号 $CK(n+7)$ 、所述第 $n-4$ 级级传信号 $ST(n-4)$ 以及所述第二直流低压信号 $VSSG2$ 将所述上拉控制信号 $Q(n)$ 、所述第 n 级扫描驱动信号 $G(n)$ 、所述第 $n+1$ 级扫描驱动信号 $G(n+1)$ 以及所述第 $n+2$ 级扫描驱动信号 $G(n+2)$ 维持在关闭状态;

所述第二下拉维持电路与所述上拉控制电路、所述上拉电路、所述下拉电路、所述复位电路以及所述第一下拉维持电路电性连接,所述第二下拉维持电路接收一下拉维持信号 PDH 、所述第一直流低压信号 $VSSQ1$ 以及所述第二直流低压信号 $VSSG2$,并根据所述下拉维持信号 PDH 、所述第一直流低压信号 $VSSQ1$ 以及所述第二直流低压信号 $VSSG2$ 将所述上拉控制信号 $Q(n)$ 、所述第 n 级扫描驱动信号 $G(n)$ 、所述第 $n+1$ 级扫描驱动信号 $G(n+1)$ 以及所述第 $n+2$ 级扫描驱动信号 $G(n+2)$ 维持在关闭状态。

5.如权利要求4所述的GOA电路,其特征在于,

所述复位电路包括:一第七薄膜晶体管 T_{xo} ,其控制端输入所述初始信号 STV ,其第一端与所述上拉控制信号点 Q_n 电性连接,其第二端输入所述第二直流低压信号 $VSSG2$,所述第七薄膜晶体管 T_{xo} 用于在所述GOA电路工作一个周期后根据所述初始信号 STV 和所述第二直流低压信号 $VSSG2$ 将所述上拉控制信号点 Q_n 的电位进行复位;

所述第一下拉维持电路包括:一第八薄膜晶体管(T43-1)、一第九薄膜晶体管(T33-1)、一第十薄膜晶体管(T43-2)、一第十一薄膜晶体管(T33-2)、一第十二薄膜晶体管(T43-3)以及一第十三薄膜晶体管(T33-3);所述第八薄膜晶体管(T43-1)的控制端输入一第 $n+5$ 级时钟信号 $CK(n+5)$,其第一端与所述上拉控制信号点 Q_n 电性连接,其第二端输入所述第 $n-4$ 级级传信号 $ST(n-4)$,所述第八薄膜晶体管(T43-1)用于根据所述第 $n+5$ 级时钟信号 $CK(n+5)$ 和所述第 $n-4$ 级级传信号 $ST(n-4)$ 将所述上拉控制信号 $Q(n)$ 维持在关闭状态;所述第九薄膜晶体管(T33-1)的控制端输入所述第 $n+5$ 级时钟信号 $CK(n+5)$,其第一端与所述第 n 级水平扫描线 G_n 电性连接,其第二端输入所述第一直流低压信号 $VSSQ1$,所述第九薄膜晶体管(T33-1)用于根据所述第 $n+5$ 级时钟信号 $CK(n+5)$ 和所述第一直流低压信号 $VSSQ1$ 将所述第 n 级扫描

驱动信号G(n) 维持在关闭状态;所述第十薄膜晶体管(T43-2) 的控制端输入一第n+6级时钟信号CK(n+6), 其第一端与所述上拉控制信号点Qn电性连接, 其第二端输入所述第n-4级级传信号ST(n-4), 所述第十薄膜晶体管(T43-2) 用于根据所述第n+6级时钟信号CK(n+6) 和所述第n-4级级传信号ST(n-4) 将所述上拉控制信号Q(n) 维持在关闭状态;所述第十一薄膜晶体管(T33-3) 的控制端输入所述第n+6级时钟信号CK(n+6), 其第一端与所述第n+1级水平扫描线Gn+1电性连接, 其第二端输入所述第一直流低压信号VSSQ1, 所述第十一薄膜晶体管(T33-3) 用于根据所述第n+6级时钟信号CK(n+6) 和所述第一直流低压信号VSSQ1将所述第n+1级扫描驱动信号G(n+1) 维持在关闭状态;所述第十二薄膜晶体管(T43-3) 的控制端输入一第n+7级时钟信号CK(n+7), 其第一端与所述上拉控制信号点Qn电性连接, 其第二端输入所述第n-4级级传信号ST(n-4), 所述第十二薄膜晶体管(T43-3) 用于根据所述第n+7级时钟信号CK(n+7) 和所述第n-4级级传信号ST(n-4) 将所述上拉控制信号Q(n) 维持在关闭状态;所述第十三薄膜晶体管(T33-3) 的控制端输入所述第n+7级时钟信号CK(n+7), 其第一端与所述第n+2级水平扫描线Gn+2电性连接, 其第二端输入所述第一直流低压信号VSSQ1, 所述第十三薄膜晶体管(T33-3) 用于根据所述第n+7级时钟信号CK(n+7) 和所述第一直流低压信号VSSQ1将所述第n+2级扫描驱动信号G(n+2) 维持在关闭状态。

6. 如权利要求5所述的GOA电路, 其特征在于, 所述下拉维持信号PDH为一直流高压信号VGH;

所述第二下拉维持电路包括: 一第十四薄膜晶体管(T51)、一第十五薄膜晶体管(T52)、一第十六薄膜晶体管(T53)、一第十七薄膜晶体管(T54)、一第十八薄膜晶体管(T42)、一第十九薄膜晶体管(T32-1)、一第二十薄膜晶体管(T32-2) 以及一第二十一薄膜晶体管(T32-3); 所述第十四薄膜晶体管(T51) 的控制端和第一端输入所述直流高压信号VGH, 其第二端与第一信号点Nn电性连接; 所述第十五薄膜晶体管(T52) 的控制端与所述上拉控制信号点Qn电性连接, 其第一端与所述第一信号点Nn电性连接, 其第二端输入所述第一直流低压信号VSSQ1; 所述第十六薄膜晶体管(T53) 的控制端与所述第一信号点Nn电性连接, 其第一端输入所述直流高压信号VGH, 其第二端与第二信号点Pn电性连接; 所述第十七薄膜晶体管(T54) 的控制端与所述上拉控制信号点Qn电性连接, 其第一端与所述第二信号点Pn电性连接, 其第二端输入所述第一直流低压信号VSSQ1; 所述第十八薄膜晶体管(T42) 的控制端与所述第二信号点Pn电性连接, 其第一端与所述上拉控制信号点Qn电性连接, 其第二端输入所述第一直流低压信号VSSQ1, 所述第十八薄膜晶体管(T42) 用于根据所述直流高压信号VGH和所述第一直流低压信号VSSQ1将所述上拉控制信号Q(n) 维持在关闭状态; 所述第十九薄膜晶体管(T32-1) 的控制端与所述第二信号点Pn电性连接, 其第一端与所述第n级水平扫描线Gn电性连接, 其第二端输入所述第二直流低压信号VSSG2, 所述第十九薄膜晶体管(T32-1) 用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n级扫描驱动信号G(n) 维持在关闭状态; 所述第二十薄膜晶体管(T32-2) 的控制端与所述第二信号点Pn电性连接, 其第一端与所述第n+1级水平扫描线Gn+1电性连接, 其第二端输入所述第二直流低压信号VSSG2, 所述第二十薄膜晶体管(T32-2) 用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n+1级扫描驱动信号G(n+1) 维持在关闭状态; 所述第二十一薄膜晶体管(T32-3) 的控制端与所述第二信号点Pn电性连接, 其第一端与所述第n+2级水平扫描线Gn+2电性连接, 其第二端输入所述第二直流低压信号VSSG2, 所述第二十一薄膜

晶体管 (T32-3) 用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n+2级扫描驱动信号G (n+2) 维持在关闭状态。

7. 如权利要求5所述的GOA电路,其特征在於,所述下拉维持信号PDH为一直流高压信号VGH;

所述第二下拉维持电路包括:一第十四薄膜晶体管 (T51)、一第十五薄膜晶体管 (T52)、一第十六薄膜晶体管 (T53)、一第十七薄膜晶体管 (T54)、一第十八薄膜晶体管 (T42)、一第十九薄膜晶体管 (T32-1)、一第二十薄膜晶体管 (T32-2)、一第二十一薄膜晶体管 (T32-3) 以及一第二十二薄膜晶体管 (T42-1);所述第十四薄膜晶体管 (T51) 的控制端和第一端输入所述直流高压信号VGH,其第二端与第一信号点Nn电性连接;所述第十五薄膜晶体管 (T52) 的控制端与所述上拉控制信号点Qn电性连接,其第一端与所述第一信号点Nn电性连接,其第二端输入所述第一直流低压信号VSSQ1;所述第十六薄膜晶体管 (T53) 的控制端与所述第一信号点Nn电性连接,其第一端输入所述直流高压信号VGH,其第二端与第二信号点Pn电性连接;所述第十七薄膜晶体管 (T54) 的控制端与所述上拉控制信号点Qn电性连接,其第一端与所述第二信号点Pn电性连接,其第二端输入所述第一直流低压信号VSSQ1;所述第十八薄膜晶体管 (T42) 的控制端与所述第二信号点Pn电性连接,其第一端和第二端与所述上拉控制信号点Qn电性连接;所述第二十二薄膜晶体管 (T42-1) 的控制端和第一端与所述上拉控制信号点Qn电性连接,其第二端输入所述第一直流低压信号VSSQ1;所述第十八薄膜晶体管 (T42) 和所述第二十二薄膜晶体管 (T42-1) 用于根据所述直流高压信号VGH和所述第一直流低压信号VSSQ1将所述上拉控制信号Q (n) 维持在关闭状态;所述第十九薄膜晶体管 (T32-1) 的控制端与所述第二信号点Pn电性连接,其第一端与所述第n级水平扫描线Gn电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第十九薄膜晶体管 (T32-1) 用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n级扫描驱动信号G (n) 维持在关闭状态;所述第二十薄膜晶体管 (T32-2) 的控制端与所述第二信号点Pn电性连接,其第一端与所述第n+1级水平扫描线Gn+1电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第二十薄膜晶体管 (T32-2) 用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n+1级扫描驱动信号G (n+1) 维持在关闭状态;所述第二十一薄膜晶体管 (T32-3) 的控制端与所述第二信号点Pn电性连接,其第一端与所述第n+2级水平扫描线Gn+2电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第二十一薄膜晶体管 (T32-3) 用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n+2级扫描驱动信号G (n+2) 维持在关闭状态。

8. 如权利要求5所述的GOA电路,其特征在於,所述下拉维持信号PDH包括一第一低频信号LC1和一第二低频信号LC2,所述第二下拉维持电路包括第一下拉维持模块和第二下拉维持模块;

所述第一下拉维持模块包括:一第十四薄膜晶体管 (T51)、一第十五薄膜晶体管 (T52)、一第十六薄膜晶体管 (T53)、一第十七薄膜晶体管 (T54)、一第十八薄膜晶体管 (T42)、一第十九薄膜晶体管 (T32-1)、一第二十薄膜晶体管 (T32-2) 以及一第二十一薄膜晶体管 (T32-3);所述第十四薄膜晶体管 (T51) 的控制端和第一端输入所述第一低频信号LC1,其第二端与第一信号点Nn电性连接;所述第十五薄膜晶体管 (T52) 的控制端与所述上拉控制信号点Qn电性连接,其第一端与所述第一信号点Nn电性连接,其第二端输入所述第一直流低压信

号VSSQ1;所述第十六薄膜晶体管(T53)的控制端与所述第一信号点Nn电性连接,其第一端输入所述第一低频信号LC1,其第二端与第二信号点Pn电性连接;所述第十七薄膜晶体管T(T54)的控制端与所述上拉控制信号点Qn电性连接,其第一端与所述第二信号点Pn电性连接,其第二端输入所述第一直流低压信号VSSQ1;所述第十八薄膜晶体管(T42)的控制端与所述第二信号点Pn电性连接,其第一端与所述上拉控制信号点Qn电性连接,其第二端输入所述第一直流低压信号VSSQ1,所述第十八薄膜晶体管(T42)用于根据所述直流高压信号VGH和所述第一直流低压信号VSSQ1将所述上拉控制信号Q(n)维持在关闭状态;所述第十九薄膜晶体管(T32-1)的控制端与所述第二信号点Pn电性连接,其第一端与所述第n级水平扫描线Gn电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第十九薄膜晶体管(T32-1)用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n级扫描驱动信号G(n)维持在关闭状态;所述第二十薄膜晶体管(T32-2)的控制端与所述第二信号点Pn电性连接,其第一端与所述第n+1级水平扫描线Gn+1电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第二十薄膜晶体管(T32-2)用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n+1级扫描驱动信号G(n+1)维持在关闭状态;所述第二十一薄膜晶体管(T32-3)的控制端与所述第二信号点Pn电性连接,其第一端与所述第n+2级水平扫描线Gn+2电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第二十一薄膜晶体管(T32-3)用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n+2级扫描驱动信号G(n+2)维持在关闭状态;

所述第二下拉维持模块包括:一第二十三薄膜晶体管(T61)、一第二十四薄膜晶体管(T62)、一第二十五薄膜晶体管(T63)、一第二十六薄膜晶体管(T64)、一第二十七薄膜晶体管(T44)、一第二十八薄膜晶体管(T34-1)、一第二十九薄膜晶体管(T34-2)以及一第三十薄膜晶体管(T34-3);所述第二十三薄膜晶体管(T61)的控制端和第一端输入所述第二低频信号LC2,其第二端与第三信号点Sn电性连接;所述第二十四薄膜晶体管(T62)的控制端与所述上拉控制信号点Qn电性连接,其第一端与所述第三信号点Sn电性连接,其第二端输入所述第一直流低压信号VSSQ1;所述第二十五薄膜晶体管(T63)的控制端与所述第三信号点Sn电性连接,其第一端输入所述第二低频信号LC2,其第二端与第四信号点Kn电性连接;所述第二十六薄膜晶体管(T64)的控制端与所述上拉控制信号点Qn电性连接,其第一端与所述第四信号点Kn电性连接,其第二端输入所述第一直流低压信号VSSQ1;所述第二十七薄膜晶体管(T44)的控制端与所述第四信号点Kn电性连接,其第一端与所述上拉控制信号点Qn电性连接,其第二端输入所述第一直流低压信号VSSQ1,所述第二十七薄膜晶体管(T44)用于根据所述第二低频信号LC2和所述第一直流低压信号VSSQ1将所述上拉控制信号Q(n)维持在关闭状态;所述第二十八薄膜晶体管(T34-1)的控制端与所述第四信号点Kn电性连接,其第一端与所述第n级水平扫描线Gn电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第二十八薄膜晶体管(T34-1)用于根据所述第二低频信号LC2和所述第二直流低压信号VSSG2将所述第n级扫描驱动信号G(n)维持在关闭状态;所述第二十九薄膜晶体管(T34-2)的控制端与所述第四信号点Kn电性连接,其第一端与所述第n+1级水平扫描线Gn+1电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第二十九薄膜晶体管(T34-2)用于根据所述第二低频信号LC2和所述第二直流低压信号VSSG2将所述第n+1级扫描驱动信号G(n+1)维持在关闭状态;所述第三十薄膜晶体管(T34-3)的控制端与所述第四信号点Kn电性

连接,其第一端与所述第 $n+2$ 级水平扫描线 G_{n+2} 电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第三薄膜晶体管(T34-3)用于根据所述第四信号点 K_n 和所述第二直流低压信号VSSG2将所述第 $n+2$ 级扫描驱动信号 $G(n+2)$ 维持在关闭状态。

9.如权利要求8所述的GOA电路,其特征在于,所述第一下拉维持模块和所述第二下拉维持模块交替起作用将所述上拉控制信号 $Q(n)$ 、所述第 n 级扫描驱动信号 $G(n)$ 、所述第 $n+1$ 级扫描驱动信号 $G(n+1)$ 以及所述第 $n+2$ 级扫描驱动信号 $G(n+2)$ 维持在关闭状态。

10.一种液晶显示装置,其特征在于,包括如权利要求1至9任一项所述的GOA电路。

GOA电路及具有该GOA电路的液晶显示装置

技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及一种GOA (Gate driver On Array,阵列基板行驱动) 电路及一种具有该GOA电路的液晶显示装置。

背景技术

[0002] 液晶显示器具有轻薄短小、节能、辐射指标普遍低于CRT (Cathode Ray Tube,阴极射线管) 显示器等优点,使之逐渐代替CRT显示器实现在各类电子产品中的广泛应用。目前,主动式液晶显示面板水平扫描线的驱动,主要由面板外接的IC (Integrated Circuit,集成电路) 来完成,外接的IC可以控制各级水平扫描线的逐级充电和放电。而GOA技术就是利用TFT (Thin Film Transistor,薄膜晶体管) 液晶显示器阵列制程将Gate行扫描驱动信号电路制作在阵列基板上,从而实现对Gate逐行扫描的驱动方式,因此,可以运用液晶显示面板的原有制程,将水平扫描线的驱动电路制作在显示区域周围的基板上。GOA技术能减少外接IC的绑定 (Bonding) 工序,可提升产能并降低产品成本,并使液晶显示面板更适合制作窄边框或无边框的显示产品。

[0003] GOA电路的主要架构包括:上拉控制电路、上拉电路、下拉电路以及下拉维持电路。其中,上拉电路用于将时钟信号输出为扫描驱动信号,上拉控制电路用于输出上拉控制信号以控制上拉电路的打开时间,下拉电路用于将上拉控制信号和扫描驱动信号拉低,下拉维持电路用于将上拉控制信号和扫描驱动信号维持在低电位。目前,为了满足液晶显示面板的超窄边框的设计要求,液晶显示面板的边框通常越来越小,这就要求GOA电路占用边框的比例相应减小。然而,由于现有的GOA电路中GOA单元的级数较多,如此不但增加了GOA电路的设计难度,而且导致其占用的电路设计空间较大,不利于液晶显示面板的超窄边框需求。

发明内容

[0004] 本发明实施例提供一种GOA电路及具有该GOA电路的液晶显示装置,其一级GOA单元可以输出三级扫描驱动信号,减少了每级GOA单元平均所占据的边框空间,从而满足液晶显示面板的超窄边框需求。

[0005] 本发明实施例提供了一种GOA电路,包括多个级联的GOA单元,其中第 n 级GOA单元对面板的显示区域第 n 级水平扫描线、第 $n+1$ 级水平扫描线以及第 $n+2$ 级水平扫描线充电,所述第 n 级GOA单元包括上拉控制电路、上拉电路和下拉电路,其中, n 为正整数;所述上拉控制电路接收一启动信号CT,并根据所述启动信号CT输出一上拉控制信号 $Q(n)$;所述上拉电路与所述上拉控制电路电性连接,接收所述上拉控制信号 $Q(n)$ 、一第 n 级时钟信号 $CK(n)$ 、一第 $n+1$ 级时钟信号 $CK(n+1)$ 以及一第 $n+2$ 级时钟信号 $CK(n+2)$,并根据所述上拉控制信号 $Q(n)$ 、所述第 n 级时钟信号 $CK(n)$ 、所述第 $n+1$ 级时钟信号 $CK(n+1)$ 以及所述第 $n+2$ 级时钟信号 $CK(n+2)$ 输出一第 n 级级传信号 $ST(n)$ 、一第 n 级扫描驱动信号 $G(n)$ 、一第 $n+1$ 级扫描驱动信号 $G(n+1)$ 以及一第 $n+2$ 级扫描驱动信号 $G(n+2)$;所述下拉电路与所述上拉控制电路和所述上拉电

路电性连接,接收第 $n+6$ 级GOA单元输出的第 $n+6$ 级扫描驱动信号 $G(n+6)$ 和一第一直流低压信号 $VSSQ1$,并根据所述第 $n+6$ 级扫描驱动信号 $G(n+6)$ 和所述第一直流低压信号 $VSSQ1$ 下拉所述上拉控制信号 $Q(n)$,以使所述上拉控制信号 $Q(n)$ 处于关闭状态。

[0006] 其中,当 n 大于等于1且小于等于4时,所述启动信号 CT 为一初始信号 STV ,所述上拉控制电路根据所述初始信号 STV 输出一上拉控制信号 $Q(n)$;当 n 大于4时,所述启动信号 CT 为第 $n-4$ 级GOA单元输出的第 $n-4$ 级级传信号 $ST(n-4)$ 和第 $n-4$ 级扫描驱动信号 $G(n-4)$,所述上拉控制电路根据所述第 $n-4$ 级级传信号 $ST(n-4)$ 和所述第 $n-4$ 级扫描驱动信号 $G(n-4)$ 输出一上拉控制信号 $Q(n)$ 。

[0007] 其中,所述上拉控制电路包括:一第一薄膜晶体管($T11$);其中,当 n 大于等于1且小于等于4时,所述第一薄膜晶体管($T11$)的控制端和第一端输入所述初始信号 STV ,其第二端与上拉控制信号点 Qn 连接,用于根据所述初始信号 STV 输出所述上拉控制信号 $Q(n)$;当 n 大于4时,所述第一薄膜晶体管($T11$)的控制端输入所述第 $n-4$ 级级传信号 $ST(n-4)$,其第一端输入所述第 $n-4$ 级扫描驱动信号 $G(n-4)$,其第二端与所述上拉控制信号点 Qn 连接,用于根据所述第 $n-4$ 级级传信号 $ST(n-4)$ 和所述第 $n-4$ 级扫描驱动信号 $G(n-4)$ 输出所述上拉控制信号 $Q(n)$;所述上拉电路包括:一第二薄膜晶体管($T22$)、一第三薄膜晶体管($T21-1$)、一第四薄膜晶体管($T21-2$)以及一第五薄膜晶体管($T21-3$);所述第二薄膜晶体管($T22$)的控制端与所述上拉控制信号点 Qn 电性连接,用于接收所述上拉控制信号 $Q(n)$,其第一端输入所述第 n 级时钟信号 $CK(n)$,其第二端用于根据所述上拉控制信号 $Q(n)$ 和所述第 n 级时钟信号 $CK(n)$ 输出所述第 n 级级传信号 $ST(n)$;所述第三薄膜晶体管($T21-1$)的控制端与所述上拉控制信号点 Qn 电性连接,用于接收所述上拉控制信号 $Q(n)$,其第一端输入所述第 n 级时钟信号 $CK(n)$,其第二端与第 n 级水平扫描线 Gn 电性连接,用于根据所述上拉控制信号 $Q(n)$ 和所述第 n 级时钟信号 $CK(n)$ 输出所述第 n 级扫描驱动信号 $G(n)$;所述第四薄膜晶体管($T21-2$)的控制端与所述上拉控制信号点 Qn 电性连接,用于接收所述上拉控制信号 $Q(n)$,其第一端输入所述第 $n+1$ 级时钟信号 $CK(n+1)$,其第二端与第 $n+1$ 水平扫描线 $Gn+1$ 电性连接,用于根据所述上拉控制信号 $Q(n)$ 和所述第 $n+1$ 级时钟信号 $CK(n+1)$ 输出所述第 $n+1$ 级扫描驱动信号 $G(n+1)$;所述第五薄膜晶体管($T21-3$)的控制端与所述上拉控制信号点 Qn 电性连接,用于接收所述上拉控制信号 $Q(n)$,其第一端输入所述第 $n+2$ 级时钟信号 $CK(n+2)$,其第二端与第 $n+2$ 级水平扫描线 $Gn+2$ 电性连接,用于根据所述上拉控制信号 $Q(n)$ 和所述第 $n+2$ 级时钟信号 $CK(n+2)$ 输出所述第 $n+2$ 级扫描驱动信号 $G(n+2)$;所述下拉电路包括:一第六薄膜晶体管($T41$),其控制端输入一第 $n+6$ 级扫描驱动信号 $G(n+6)$,其第一端与所述上拉控制信号点 Qn 电性连接,其第二端输入一第一直流低压信号 $VSSQ1$,所述第六薄膜晶体管($T41$)用于根据所述第 $n+6$ 级扫描驱动信号 $G(n+6)$ 和所述第一直流低压信号 $VSSQ1$ 下拉所述上拉控制信号 $Q(n)$,以使所述上拉控制信号 $Q(n)$ 处于关闭状态。

[0008] 其中,所述第 n 级GOA单元还包括复位电路、第一下拉维持电路和第二下拉维持电路;所述复位电路与所述上拉控制电路、所述上拉电路以及所述下拉电路电性连接,所述复位电路接收所述初始信号 STV 和一第二直流低压信号 $VSSG2$,并根据所述初始信号 STV 和所述第二直流低压信号 $VSSG2$ 将所述上拉控制信号 $Q(n)$ 进行复位;所述第一下拉维持电路与所述上拉控制电路、所述上拉电路、所述下拉电路以及所述复位电路电性连接,所述第一下拉维持电路接收一第 $n+5$ 级时钟信号 $CK(n+5)$ 、一第 $n+6$ 级时钟信号 $CK(n+6)$ 、一第 $n+7$ 级时钟

信号CK (n+7)、所述第n-4级级传信号ST (n-4) 以及所述第二直流低压信号VSSG2,并根据第n+5级时钟信号CK (n+5)、所述第n+6级时钟信号CK (n+6)、所述第n+7级时钟信号CK (n+7)、所述第n-4级级传信号ST (n-4) 以及所述第二直流低压信号VSSG2将所述上拉控制信号Q (n)、所述第n级扫描驱动信号G (n)、所述第n+1级扫描驱动信号G (n+1) 以及所述第n+2级扫描驱动信号G (n+2) 维持在关闭状态;所述第二下拉维持电路与所述上拉控制电路、所述上拉电路、所述下拉电路、所述复位电路以及所述第一下拉维持电路电性连接,所述第二下拉维持电路接收一下拉维持信号PDH、所述第一直流低压信号VSSQ1以及所述第二直流低压信号VSSG2,并根据所述下拉维持信号PDH、所述第一直流低压信号VSSQ1以及所述第二直流低压信号VSSG2将所述上拉控制信号Q (n)、所述第n级扫描驱动信号G (n)、所述第n+1级扫描驱动信号G (n+1) 以及所述第n+2级扫描驱动信号G (n+2) 维持在关闭状态。

[0009] 其中,所述复位电路包括:一第七薄膜晶体管T_{xo},其控制端输入所述初始信号STV,其第一端与所述上拉控制信号点Q_n电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第七薄膜晶体管T_{xo}用于在所述GOA电路工作一个周期后根据所述初始信号STV和所述第二直流低压信号VSSG2将所述上拉控制信号点Q_n的电位进行复位;所述第一下拉维持电路包括:一第八薄膜晶体管 (T43-1)、一第九薄膜晶体管 (T33-1)、一第十薄膜晶体管 (T43-2)、一第十一薄膜晶体管 (T33-2)、一第十二薄膜晶体管 (T43-3) 以及一第十三薄膜晶体管 (T33-3);所述第八薄膜晶体管 (T43-1) 的控制端输入一第n+5级时钟信号CK (n+5),其第一端与所述上拉控制信号点Q_n电性连接,其第二端输入所述第n-4级级传信号ST (n-4),所述第八薄膜晶体管 (T43-1) 用于根据所述第n+5级时钟信号CK (n+5) 和所述第n-4级级传信号ST (n-4) 将所述上拉控制信号Q (n) 维持在关闭状态;所述第九薄膜晶体管 (T33-1) 的控制端输入所述第n+5级时钟信号CK (n+5),其第一端与所述第n级水平扫描线G_n电性连接,其第二端输入所述第一直流低压信号VSSQ1,所述第九薄膜晶体管 (T33-1) 用于根据所述第n+5级时钟信号CK (n+5) 和所述第一直流低压信号VSSQ1将所述第n级扫描驱动信号G (n) 维持在关闭状态;所述第十薄膜晶体管 (T43-2) 的控制端输入一第n+6级时钟信号CK (n+6),其第一端与所述上拉控制信号点Q_n电性连接,其第二端输入所述第n-4级级传信号ST (n-4),所述第十薄膜晶体管 (T43-2) 用于根据所述第n+6级时钟信号CK (n+6) 和所述第n-4级级传信号ST (n-4) 将所述上拉控制信号Q (n) 维持在关闭状态;所述第十一薄膜晶体管 (T33-3) 的控制端输入所述第n+6级时钟信号CK (n+6),其第一端与所述第n+1级水平扫描线G_{n+1}电性连接,其第二端输入所述第一直流低压信号VSSQ1,所述第十一薄膜晶体管 (T33-3) 用于根据所述第n+6级时钟信号CK (n+6) 和所述第一直流低压信号VSSQ1将所述第n+1级扫描驱动信号G (n+1) 维持在关闭状态;所述第十二薄膜晶体管 (T43-3) 的控制端输入一第n+7级时钟信号CK (n+7),其第一端与所述上拉控制信号点Q_n电性连接,其第二端输入所述第n-4级级传信号ST (n-4),所述第十二薄膜晶体管 (T43-3) 用于根据所述第n+7级时钟信号CK (n+7) 和所述第n-4级级传信号ST (n-4) 将所述上拉控制信号Q (n) 维持在关闭状态;所述第十三薄膜晶体管 (T33-3) 的控制端输入所述第n+7级时钟信号CK (n+7),其第一端与所述第n+2级水平扫描线G_{n+2}电性连接,其第二端输入所述第一直流低压信号VSSQ1,所述第十三薄膜晶体管 (T33-3) 用于根据所述第n+7级时钟信号CK (n+7) 和所述第一直流低压信号VSSQ1将所述第n+2级扫描驱动信号G (n+2) 维持在关闭状态。

[0010] 在本发明一实施方式中,所述下拉维持信号PDH为一直流高压信号VGH;所述第二

下拉维持电路包括：一第十四薄膜晶体管 (T51)、一第十五薄膜晶体管 (T52)、一第十六薄膜晶体管 (T53)、一第十七薄膜晶体管 (T54)、一第十八薄膜晶体管 (T42)、一第十九薄膜晶体管 (T32-1)、一第二十薄膜晶体管 (T32-2) 以及一第二十一薄膜晶体管 (T32-3)；所述第十四薄膜晶体管 (T51) 的控制端和第一端输入所述直流高压信号 VGH，其第二端与第一信号点 Nn 电性连接；所述第十五薄膜晶体管 (T52) 的控制端与所述上拉控制信号点 Qn 电性连接，其第一端与所述第一信号点 Nn 电性连接，其第二端输入所述第一直流低压信号 VSSQ1；所述第十六薄膜晶体管 (T53) 的控制端与所述第一信号点 Nn 电性连接，其第一端输入所述直流高压信号 VGH，其第二端与第二信号点 Pn 电性连接；所述第十七薄膜晶体管 T (T54) 的控制端与所述上拉控制信号点 Qn 电性连接，其第一端与所述第二信号点 Pn 电性连接，其第二端输入所述第一直流低压信号 VSSQ1；所述第十八薄膜晶体管 (T42) 的控制端与所述第二信号点 Pn 电性连接，其第一端与所述上拉控制信号点 Qn 电性连接，其第二端输入所述第一直流低压信号 VSSQ1，所述第十八薄膜晶体管 (T42) 用于根据所述直流高压信号 VGH 和所述第一直流低压信号 VSSQ1 将所述上拉控制信号 Q (n) 维持在关闭状态；所述第十九薄膜晶体管 (T32-1) 的控制端与所述第二信号点 Pn 电性连接，其第一端与所述第 n 级水平扫描线 Gn 电性连接，其第二端输入所述第二直流低压信号 VSSG2，所述第十九薄膜晶体管 (T32-1) 用于根据所述直流高压信号 VGH 和所述第二直流低压信号 VSSG2 将所述第 n 级扫描驱动信号 G (n) 维持在关闭状态；所述第二十薄膜晶体管 (T32-2) 的控制端与所述第二信号点 Pn 电性连接，其第一端与所述第 n+1 级水平扫描线 Gn+1 电性连接，其第二端输入所述第二直流低压信号 VSSG2，所述第二十薄膜晶体管 (T32-2) 用于根据所述直流高压信号 VGH 和所述第二直流低压信号 VSSG2 将所述第 n+1 级扫描驱动信号 G (n+1) 维持在关闭状态；所述第二十一薄膜晶体管 (T32-3) 的控制端与所述第二信号点 Pn 电性连接，其第一端与所述第 n+2 级水平扫描线 Gn+2 电性连接，其第二端输入所述第二直流低压信号 VSSG2，所述第二十一薄膜晶体管 (T32-3) 用于根据所述直流高压信号 VGH 和所述第二直流低压信号 VSSG2 将所述第 n+2 级扫描驱动信号 G (n+2) 维持在关闭状态。

[0011] 在本发明另一实施方式中，所述下拉维持信号 PDH 为一直流高压信号 VGH；所述第二下拉维持电路包括：一第十四薄膜晶体管 (T51)、一第十五薄膜晶体管 (T52)、一第十六薄膜晶体管 (T53)、一第十七薄膜晶体管 (T54)、一第十八薄膜晶体管 (T42)、一第十九薄膜晶体管 (T32-1)、一第二十薄膜晶体管 (T32-2)、一第二十一薄膜晶体管 (T32-3) 以及一第二十二薄膜晶体管 (T42-1)；所述第十四薄膜晶体管 (T51) 的控制端和第一端输入所述直流高压信号 VGH，其第二端与第一信号点 Nn 电性连接；所述第十五薄膜晶体管 (T52) 的控制端与所述上拉控制信号点 Qn 电性连接，其第一端与所述第一信号点 Nn 电性连接，其第二端输入所述第一直流低压信号 VSSQ1；所述第十六薄膜晶体管 (T53) 的控制端与所述第一信号点 Nn 电性连接，其第一端输入所述直流高压信号 VGH，其第二端与第二信号点 Pn 电性连接；所述第十七薄膜晶体管 T (T54) 的控制端与所述上拉控制信号点 Qn 电性连接，其第一端与所述第二信号点 Pn 电性连接，其第二端输入所述第一直流低压信号 VSSQ1；所述第十八薄膜晶体管 (T42) 的控制端与所述第二信号点 Pn 电性连接，其第一端和第二端与所述上拉控制信号点 Qn 电性连接；所述第二十二薄膜晶体管 (T42-1) 的控制端和第一端与所述上拉控制信号点 Qn 电性连接，其第二端输入所述第一直流低压信号 VSSQ1；所述第十八薄膜晶体管 (T42) 和所述第二十二薄膜晶体管 (T42-1) 用于根据所述直流高压信号 VGH 和所述第一直流低压信

号VSSQ1将所述上拉控制信号Q(n)维持在关闭状态;所述第十九薄膜晶体管(T32-1)的控制端与所述第二信号点Pn电性连接,其第一端与所述第n级水平扫描线Gn电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第十九薄膜晶体管(T32-1)用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n级扫描驱动信号G(n)维持在关闭状态;所述第二十薄膜晶体管(T32-2)的控制端与所述第二信号点Pn电性连接,其第一端与所述第n+1级水平扫描线Gn+1电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第二十薄膜晶体管(T32-2)用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n+1级扫描驱动信号G(n+1)维持在关闭状态;所述第二十一薄膜晶体管(T32-3)的控制端与所述第二信号点Pn电性连接,其第一端与所述第n+2级水平扫描线Gn+2电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第二十一薄膜晶体管(T32-3)用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n+2级扫描驱动信号G(n+2)维持在关闭状态。

[0012] 在本发明又一实施方式中,所述下拉维持信号PDH包括一第一低频信号LC1和一第二低频信号LC2,所述第二下拉维持电路包括第一下拉维持模块和第二下拉维持模块;所述第一下拉维持模块包括:一第十四薄膜晶体管(T51)、一第十五薄膜晶体管(T52)、一第十六薄膜晶体管(T53)、一第十七薄膜晶体管(T54)、一第十八薄膜晶体管(T42)、一第十九薄膜晶体管(T32-1)、一第二十薄膜晶体管(T32-2)以及一第二十一薄膜晶体管(T32-3);所述第十四薄膜晶体管(T51)的控制端和第一端输入所述第一低频信号LC1,其第二端与第一信号点Nn电性连接;所述第十五薄膜晶体管(T52)的控制端与所述上拉控制信号点Qn电性连接,其第一端与所述第一信号点Nn电性连接,其第二端输入所述第一直流低压信号VSSQ1;所述第十六薄膜晶体管(T53)的控制端与所述第一信号点Nn电性连接,其第一端输入所述第一低频信号LC1,其第二端与第二信号点Pn电性连接;所述第十七薄膜晶体管(T54)的控制端与所述上拉控制信号点Qn电性连接,其第一端与所述第二信号点Pn电性连接,其第二端输入所述第一直流低压信号VSSQ1;所述第十八薄膜晶体管(T42)的控制端与所述第二信号点Pn电性连接,其第一端与所述上拉控制信号点Qn电性连接,其第二端输入所述第一直流低压信号VSSQ1,所述第十八薄膜晶体管(T42)用于根据所述直流高压信号VGH和所述第一直流低压信号VSSQ1将所述上拉控制信号Q(n)维持在关闭状态;所述第十九薄膜晶体管(T32-1)的控制端与所述第二信号点Pn电性连接,其第一端与所述第n级水平扫描线Gn电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第十九薄膜晶体管(T32-1)用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n级扫描驱动信号G(n)维持在关闭状态;所述第二十薄膜晶体管(T32-2)的控制端与所述第二信号点Pn电性连接,其第一端与所述第n+1级水平扫描线Gn+1电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第二十薄膜晶体管(T32-2)用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n+1级扫描驱动信号G(n+1)维持在关闭状态;所述第二十一薄膜晶体管(T32-3)的控制端与所述第二信号点Pn电性连接,其第一端与所述第n+2级水平扫描线Gn+2电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第二十一薄膜晶体管(T32-3)用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n+2级扫描驱动信号G(n+2)维持在关闭状态;所述第二下拉维持模块包括:一第二十三薄膜晶体管(T61)、一第二十四薄膜晶体管(T62)、一第二十五薄膜晶体管(T63)、一第二十六薄膜晶体管(T64)、

一第二十七薄膜晶体管 (T44)、一第二十八薄膜晶体管 (T34-1)、一第二十九薄膜晶体管 (T34-2) 以及一第三十薄膜晶体管 (T34-3); 所述第二十三薄膜晶体管 (T61) 的控制端和第一端输入所述第二低频信号 LC2, 其第二端与第三信号点 Sn 电性连接; 所述第二十四薄膜晶体管 (T62) 的控制端与所述上拉控制信号点 Qn 电性连接, 其第一端与所述第三信号点 Sn 电性连接, 其第二端输入所述第一直流低压信号 VSSQ1; 所述第二十五薄膜晶体管 (T63) 的控制端与所述第三信号点 Sn 电性连接, 其第一端输入所述第二低频信号 LC2, 其第二端与第四信号点 Kn 电性连接; 所述第二十六薄膜晶体管 (T64) 的控制端与所述上拉控制信号点 Qn 电性连接, 其第一端与所述第四信号点 Kn 电性连接, 其第二端输入所述第一直流低压信号 VSSQ1; 所述第二十七薄膜晶体管 (T44) 的控制端与所述第四信号点 Kn 电性连接, 其第一端与所述上拉控制信号点 Qn 电性连接, 其第二端输入所述第一直流低压信号 VSSQ1, 所述第二十七薄膜晶体管 (T44) 用于根据所述第二低频信号 LC2 和所述第一直流低压信号 VSSQ1 将所述上拉控制信号 Q(n) 维持在关闭状态; 所述第二十八薄膜晶体管 (T34-1) 的控制端与所述第四信号点 Kn 电性连接, 其第一端与所述第 n 级水平扫描线 Gn 电性连接, 其第二端输入所述第二直流低压信号 VSSG2, 所述第二十八薄膜晶体管 (T34-1) 用于根据所述第二低频信号 LC2 和所述第二直流低压信号 VSSG2 将所述第 n 级扫描驱动信号 G(n) 维持在关闭状态; 所述第二十九薄膜晶体管 (T34-2) 的控制端与所述第四信号点 Kn 电性连接, 其第一端与所述第 n+1 级水平扫描线 Gn+1 电性连接, 其第二端输入所述第二直流低压信号 VSSG2, 所述第二十九薄膜晶体管 (T34-2) 用于根据所述第二低频信号 LC2 和所述第二直流低压信号 VSSG2 将所述第 n+1 级扫描驱动信号 G(n+1) 维持在关闭状态; 所述第三十薄膜晶体管 (T34-3) 的控制端与所述第四信号点 Kn 电性连接, 其第一端与所述第 n+2 级水平扫描线 Gn+2 电性连接, 其第二端输入所述第二直流低压信号 VSSG2, 所述第三十薄膜晶体管 (T34-3) 用于根据所述第四信号点 Kn 和所述第二直流低压信号 VSSG2 将所述第 n+2 级扫描驱动信号 G(n+2) 维持在关闭状态。

[0013] 其中, 所述第一下拉维持模块和所述第二下拉维持模块交替起作用将所述上拉控制信号 Q(n)、所述第 n 级扫描驱动信号 G(n)、所述第 n+1 级扫描驱动信号 G(n+1) 以及所述第 n+2 级扫描驱动信号 G(n+2) 维持在关闭状态。

[0014] 相应地, 本发明实施例还提供了一种液晶显示装置, 其包括上述的用于液晶显示的 GOA 电路。

[0015] 综上所述, 在本发明实施例提供的 GOA 电路及具有该 GOA 电路的液晶显示装置中, 通过一级 GOA 单元输出三级扫描驱动信号, 可以减少每级 GOA 单元平均所占据的边框空间, 从而满足液晶显示面板的超窄边框需求。

附图说明

[0016] 为了更清楚地说明本发明实施例或现有技术中的技术方案, 下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍, 显而易见地, 下面描述中的附图仅仅是本发明的一些实施例, 对于本领域普通技术人员来讲, 在不付出创造性劳动的前提下, 还可以根据这些附图获得其他的附图。

[0017] 图1为本发明实施例提供的一种 GOA 电路的框架示意图。

[0018] 图2为图1所示的 GOA 电路的一种电路结构示意图。

[0019] 图3为图1所示的 GOA 电路的另一种电路结构示意图。

- [0020] 图4为图1所示的GOA电路的又一种电路结构示意图。
- [0021] 图5为图2和图3所示的GOA电路中信号源的波形示意图。
- [0022] 图6为图4所示的GOA电路中信号源的波形示意图。
- [0023] 图7为图1至图4所示的GOA电路中输入输出信号的波形示意图。

具体实施方式

[0024] 下面将结合本发明实施方式中的附图,对本发明实施方式中的技术方案进行清楚、完整地描述。显然,所描述的实施方式是本发明的一部分实施方式,而不是全部实施方式。基在本发明中的实施方式,本领域普通技术人员在没有做出创造性劳动的前提下所获得的所有其他实施方式,都应属在本发明保护的范围。

[0025] 此外,以下各实施例的说明是参考附加的图示,用以例示本发明可用以实施的特定实施例。本发明中所提到的方向用语,例如,“上”、“下”、“前”、“后”、“左”、“右”、“内”、“外”、“侧面”等,仅是参考附加图式的方向,因此,使用的方向用语是为了更好、更清楚地说明及理解本发明,而不是指示或暗指所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0026] 在本发明的描述中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸地连接,或者一体地连接;可以是机械连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0027] 此外,在本发明的描述中,除非另有说明,“多个”的含义是两个或两个以上。若本说明书中出现“工序”的用语,其不仅是指独立的工序,在与其它工序无法明确区别时,只要能实现所述工序所预期的作用则也包括在本用语中。另外,本说明书中用“~”表示的数值范围是指将“~”前后记载的数值分别作为最小值及最大值包括在内的范围。在附图中,结构相似或相同的单元用相同的标号表示。

[0028] 本发明实施例提供一种GOA (Gate driver On Array,阵列基板行驱动) 电路,其一级GOA单元可以输出三级扫描驱动信号,减少了每级GOA单元平均所占据的边框空间,从而满足液晶显示面板的超窄边框需求。下面将结合图1至图7对本发明实施例提供的一种GOA电路及具有该GOA电路的液晶显示装置进行具体描述。

[0029] 请参见图1,图1为本发明实施例提供的一种GOA电路的电路结构示意图。如图1所示的GOA电路100包括多个级联的GOA单元,其中,第n级GOA单元对液晶显示面板的显示区域第n级水平扫描线、第n+1级水平扫描线以及第n+2级水平扫描线充电,所述第n级GOA单元至少包括:上拉控制电路10、上拉电路20、下拉电路30、复位电路40、第一下拉维持电路50以及第二下拉维持电路60,其中,n为正整数。

[0030] 所述上拉控制电路10接收一启动信号CT,并根据所述启动信号CT输出一上拉控制信号Q(n)。

[0031] 具体为,当 $1 \leq n \leq 4$ 时,即当n大于等于1且小于等于4时,所述启动信号CT为一初始信号STV,则所述上拉控制电路10根据所述初始信号STV输出一上拉控制信号Q(n);当 $n > 4$ 时,即当n大于4时,所述启动信号CT为第n-4级GOA单元输出的第n-4级级传信号ST(n-4)和

第 $n-4$ 级扫描驱动信号 $G(n-4)$ ，则所述上拉控制电路10根据所述第 $n-4$ 级级传信号 $ST(n-4)$ 和所述第 $n-4$ 级扫描驱动信号 $G(n-4)$ 输出一上拉控制信号 $Q(n)$ 。

[0032] 可见，当 $1 \leq n \leq 4$ 时，所述初始信号 STV 负责启动第一级GOA单元、第二级GOA单元、第三级GOA单元以及第四级GOA单元；而当 $n > 4$ 时，第 n 级GOA单元由第 $n-4$ 级GOA单元输出的第 $n-4$ 级级传信号 $ST(n-4)$ 和第 $n-4$ 级扫描驱动信号 $G(n-4)$ 启动，从而实现逐级打开GOA电路100，实现行扫描驱动，使得水平扫描线可以被逐级充电。

[0033] 所述上拉电路20与所述上拉控制电路10电性连接，并接收所述上拉控制信号 $Q(n)$ 、一第 n 级时钟信号 $CK(n)$ 、一第 $n+1$ 级时钟信号 $CK(n+1)$ 以及一第 $n+2$ 级时钟信号 $CK(n+2)$ ，并根据所述上拉控制信号 $Q(n)$ 、所述第 n 级时钟信号 $CK(n)$ 、所述第 $n+1$ 级时钟信号 $CK(n+1)$ 以及所述第 $n+2$ 级时钟信号 $CK(n+2)$ 输出一第 n 级级传信号 $ST(n)$ 、一第 n 级扫描驱动信号 $G(n)$ 、一第 $n+1$ 级扫描驱动信号 $G(n+1)$ 以及一第 $n+2$ 级扫描驱动信号 $G(n+2)$ 。

[0034] 所述下拉电路30与所述上拉控制电路10和所述上拉电路20电性连接，并接收第 $n+6$ 级GOA单元输出的第 $n+6$ 级扫描驱动信号 $G(n+6)$ 和一第一直流低压信号 $VSSQ1$ ，并根据所述第 $n+6$ 级扫描驱动信号 $G(n+6)$ 和所述第一直流低压信号 $VSSQ1$ 下拉所述上拉控制信号 $Q(n)$ ，以使所述上拉控制信号 $Q(n)$ 处于关闭状态(即为低电位)。

[0035] 所述复位电路40与所述上拉控制电路10、所述上拉电路20以及所述下拉电路30电性连接，所述复位电路40接收所述初始信号 STV 和一第二直流低压信号 $VSSG2$ ，并根据所述初始信号 STV 和所述第二直流低压信号 $VSSG2$ 将所述上拉控制信号 $Q(n)$ 进行复位。

[0036] 所述第一下拉维持电路50与所述上拉控制电路10、所述上拉电路20、所述下拉电路30以及所述复位电路40电性连接，所述第一下拉维持电路50接收一第 $n+5$ 级时钟信号 $CK(n+5)$ 、一第 $n+6$ 级时钟信号 $CK(n+6)$ 、一第 $n+7$ 级时钟信号 $CK(n+7)$ 、所述第 $n-4$ 级级传信号 $ST(n-4)$ 以及所述第二直流低压信号 $VSSG2$ ，并根据第 $n+5$ 级时钟信号 $CK(n+5)$ 、所述第 $n+6$ 级时钟信号 $CK(n+6)$ 、所述第 $n+7$ 级时钟信号 $CK(n+7)$ 、所述第 $n-4$ 级级传信号 $ST(n-4)$ 以及所述第二直流低压信号 $VSSG2$ 将所述上拉控制信号 $Q(n)$ 、所述第 n 级扫描驱动信号 $G(n)$ 、所述第 $n+1$ 级扫描驱动信号 $G(n+1)$ 以及所述第 $n+2$ 级扫描驱动信号 $G(n+2)$ 维持在关闭状态。

[0037] 所述第二下拉维持电路60与所述上拉控制电路10、所述上拉电路20、所述下拉电路30、所述复位电路40以及所述第一下拉维持电路50电性连接，所述第二下拉维持电路60接收一下拉维持信号 PDH 、所述第一直流低压信号 $VSSQ1$ 以及所述第二直流低压信号 $VSSG2$ ，并根据所述下拉维持信号 PDH 、所述第一直流低压信号 $VSSQ1$ 以及所述第二直流低压信号 $VSSG2$ 将所述上拉控制信号 $Q(n)$ 、所述第 n 级扫描驱动信号 $G(n)$ 、所述第 $n+1$ 级扫描驱动信号 $G(n+1)$ 以及所述第 $n+2$ 级扫描驱动信号 $G(n+2)$ 维持在关闭状态。

[0038] 请一并参见图1和图2，图2为图1所示的GOA电路的一种电路结构示意图。如图2所示的GOA电路100包括但不限于如图1所示的上拉控制电路10、上拉电路20、下拉电路30、复位电路40、第一下拉维持电路50以及第二下拉维持电路60。

[0039] 其中，所述上拉控制电路10具体包括：一第一薄膜晶体管 $T11$ ；

[0040] 当 $1 \leq n \leq 4$ 时，所述第一薄膜晶体管 $T11$ 的控制端和第一端输入一初始信号 STV ，其第二端与上拉控制信号点 Qn 连接，用于根据所述初始信号 STV 输出一上拉控制信号 $Q(n)$ ；

[0041] 当 $n > 4$ 时，所述第一薄膜晶体管 $T11$ 的控制端输入第 $n-4$ 级级传信号 $ST(n-4)$ ，其第一端输入第 $n-4$ 级扫描驱动信号 $G(n-4)$ ，其第二端与所述上拉控制信号点 Qn 电性连接，用于

根据所述第 $n-4$ 级级传信号 $ST(n-4)$ 和所述第 $n-4$ 级扫描驱动信号 $G(n-4)$ 输出一上拉控制信号 $Q(n)$ 。

[0042] 需要说明的是,图1和图2中仅示出了当 $n>4$ 时所述上拉控制电路10的信号输入情况,比如,图1和图2中仅示出了第 $n-4$ 级级传信号 $ST(n-4)$ 和第 $n-4$ 级扫描驱动信号 $G(n-4)$ 。

[0043] 所述上拉电路20具体包括:一第二薄膜晶体管 $T22$ 、一第三薄膜晶体管 $T21-1$ 、一第四薄膜晶体管 $T21-2$ 以及一第五薄膜晶体管 $T21-3$ 。所述第二薄膜晶体管 $T22$ 用于根据所述上拉控制信号 $Q(n)$ 输出一第 n 级级传信号 $ST(n)$;具体为,所述第二薄膜晶体管 $T22$ 的控制端与所述上拉控制信号点 Q_n 电性连接,用于接收所述上拉控制信号 $Q(n)$,其第一端输入一第 n 级时钟信号 $CK(n)$,其第二端用于根据所述上拉控制信号 $Q(n)$ 和所述第 n 级时钟信号 $CK(n)$ 输出所述第 n 级级传信号 $ST(n)$ 。所述第三薄膜晶体管 $T21-1$ 用于根据所述上拉控制信号 $Q(n)$ 和所述第 n 级时钟信号 $CK(n)$ 输出一第 n 级扫描驱动信号 $G(n)$;具体为,所述第三薄膜晶体管 $T21-1$ 的控制端与所述上拉控制信号点 Q_n 电性连接,用于接收所述上拉控制信号 $Q(n)$,其第一端输入所述第 n 级时钟信号 $CK(n)$,其第二端与第 n 级水平扫描线 G_n 电性连接,用于根据所述上拉控制信号 $Q(n)$ 和所述第 n 级时钟信号 $CK(n)$ 输出所述第 n 级扫描驱动信号 $G(n)$ 。所述第四薄膜晶体管 $T21-2$ 用于根据所述上拉控制信号 $Q(n)$ 和一第 $n+1$ 级时钟信号 $CK(n+1)$ 输出一第 $n+1$ 级扫描驱动信号 $G(n+1)$;具体为,所述第四薄膜晶体管 $T21-2$ 的控制端与所述上拉控制信号点 Q_n 电性连接,用于接收所述上拉控制信号 $Q(n)$,其第一端输入所述第 $n+1$ 级时钟信号 $CK(n+1)$,其第二端与第 $n+1$ 级水平扫描线 G_{n+1} 电性连接,用于根据所述上拉控制信号 $Q(n)$ 和所述第 $n+1$ 级时钟信号 $CK(n+1)$ 输出所述第 $n+1$ 级扫描驱动信号 $G(n+1)$ 。所述第五薄膜晶体管 $T21-3$ 用于根据所述上拉控制信号 $Q(n)$ 和一第 $n+2$ 级时钟信号 $CK(n+2)$ 输出一第 $n+2$ 级扫描驱动信号 $G(n+2)$;具体为,所述第四薄膜晶体管 $T21-2$ 的控制端与所述上拉控制信号点 Q_n 电性连接,用于接收所述上拉控制信号 $Q(n)$,其第一端输入所述第 $n+2$ 级时钟信号 $CK(n+2)$,其第二端与第 $n+2$ 级水平扫描线 G_{n+2} 电性连接,用于根据所述上拉控制信号 $Q(n)$ 和所述第 $n+2$ 级时钟信号 $CK(n+2)$ 输出所述第 $n+2$ 级扫描驱动信号 $G(n+2)$ 。

[0044] 所述下拉电路30具体包括:一第六薄膜晶体管 $T41$,其控制端输入一第 $n+6$ 级扫描驱动信号 $G(n+6)$,其第一端与所述上拉控制信号点 Q_n 电性连接,其第二端输入一第一直流低压信号 $VSSQ1$,所述第六薄膜晶体管 $T41$ 用于根据所述第 $n+6$ 级扫描驱动信号 $G(n+6)$ 和所述第一直流低压信号 $VSSQ1$ 下拉所述上拉控制信号 $Q(n)$,以使所述上拉控制信号 $Q(n)$ 处于关闭状态(即为低电位)。

[0045] 其中,所述第二直流低压信号 $VSSG2$ 为液晶显示面板所需的直流低压信号。需要说明的是,所述第一直流低压信号 $VSSQ1$ 小于所述第二直流低压信号 $VSSG2$,所述第一直流低压信号 $VSSQ1$ 的设置可以使得所述上拉控制信号点 Q_n 的电位被拉得更低,有利于防止所述上拉控制信号点 Q_n 漏电,提高整个GOA电路100的可靠性。

[0046] 所述复位电路40具体包括:一第七薄膜晶体管 T_{xo} ,其控制端输入所述初始信号 STV ,其第一端与所述上拉控制信号点 Q_n 电性连接,其第二端输入所述第二直流低压信号 $VSSG2$,所述第七薄膜晶体管 T_{xo} 用于在所述GOA电路100工作一个周期后根据所述初始信号 STV 和所述第二直流低压信号 $VSSG2$ 将所述上拉控制信号点 Q_n 的电位进行复位(即将所述上拉控制信号 $Q(n)$ 进行复位),有利于所述上拉控制信号点 Q_n 在所述GOA电路100工作一个周期后更快更好地放电,从而防止在液晶显示面板多次的开关机过程中所述上拉控制信号点

Q_n 的电位不能及时放低而引起大电流,进而导致液晶显示面板异常。

[0047] 所述第一下拉维持电路50具体包括:一第八薄膜晶体管T43-1、一第九薄膜晶体管T33-1、一第十薄膜晶体管T43-2、一第十一薄膜晶体管T33-3、一第十二薄膜晶体管T43-3以及一第十三薄膜晶体管T33-3。其中,所述第八薄膜晶体管T43-1的控制端输入一第 $n+5$ 级时钟信号CK($n+5$),其第一端与所述上拉控制信号点 Q_n 电性连接,其第二端输入所述第 $n-4$ 级级传信号ST($n-4$),所述第八薄膜晶体管T43-1用于根据所述第 $n+5$ 级时钟信号CK($n+5$)和所述第 $n-4$ 级级传信号ST($n-4$)将所述上拉控制信号 $Q(n)$ 维持在关闭状态;所述第九薄膜晶体管T33-1的控制端输入所述第 $n+5$ 级时钟信号CK($n+5$),其第一端与所述第 n 级水平扫描线 G_n 电性连接,其第二端输入所述第一直流低压信号VSSQ1,所述第九薄膜晶体管T33-1用于根据所述第 $n+5$ 级时钟信号CK($n+5$)和所述第一直流低压信号VSSQ1将所述第 n 级扫描驱动信号 $G(n)$ 维持在关闭状态;所述第十薄膜晶体管T43-2的控制端输入一第 $n+6$ 级时钟信号CK($n+6$),其第一端与所述上拉控制信号点 Q_n 电性连接,其第二端输入所述第 $n-4$ 级级传信号ST($n-4$),所述第十薄膜晶体管T43-2用于根据所述第 $n+6$ 级时钟信号CK($n+6$)和所述第 $n-4$ 级级传信号ST($n-4$)将所述上拉控制信号 $Q(n)$ 维持在关闭状态;所述第十一薄膜晶体管T33-3的控制端输入所述第 $n+6$ 级时钟信号CK($n+6$),其第一端与所述第 $n+1$ 级水平扫描线 G_{n+1} 电性连接,其第二端输入所述第一直流低压信号VSSQ1,所述第十一薄膜晶体管T33-3用于根据所述第 $n+6$ 级时钟信号CK($n+6$)和所述第一直流低压信号VSSQ1将所述第 $n+1$ 级扫描驱动信号 $G(n+1)$ 维持在关闭状态;所述第十二薄膜晶体管T43-3的控制端输入一第 $n+7$ 级时钟信号CK($n+7$),其第一端与所述上拉控制信号点 Q_n 电性连接,其第二端输入所述第 $n-4$ 级级传信号ST($n-4$),所述第十二薄膜晶体管T43-3用于根据所述第 $n+7$ 级时钟信号CK($n+7$)和所述第 $n-4$ 级级传信号ST($n-4$)将所述上拉控制信号 $Q(n)$ 维持在关闭状态;所述第十三薄膜晶体管T33-3的控制端输入所述第 $n+7$ 级时钟信号CK($n+7$),其第一端与所述第 $n+2$ 级水平扫描线 G_{n+2} 电性连接,其第二端输入所述第一直流低压信号VSSQ1,所述第十三薄膜晶体管T33-3用于根据所述第 $n+7$ 级时钟信号CK($n+7$)和所述第一直流低压信号VSSQ1将所述第 $n+2$ 级扫描驱动信号 $G(n+2)$ 维持在关闭状态。

[0048] 如图2所示,在本发明一实施方式中,所述下拉维持信号PDH为一直流高压信号VGH。所述第二下拉维持电路60具体包括:一第十四薄膜晶体管T51、一第十五薄膜晶体管T52、一第十六薄膜晶体管T53、一第十七薄膜晶体管T54、一第十八薄膜晶体管T42、一第十九薄膜晶体管T32-1、一第二十薄膜晶体管T32-2以及一第二十一薄膜晶体管T32-3。其中,所述第十四薄膜晶体管T51的控制端和第一端输入所述直流高压信号VGH,其第二端与第一信号点 N_n 电性连接;所述第十五薄膜晶体管T52的控制端与所述上拉控制信号点 Q_n 电性连接,其第一端与所述第一信号点 N_n 电性连接,其第二端输入所述第一直流低压信号VSSQ1;所述第十六薄膜晶体管T53的控制端与所述第一信号点 N_n 电性连接,其第一端输入所述直流高压信号VGH,其第二端与第二信号点 P_n 电性连接;所述第十七薄膜晶体管T54的控制端与所述上拉控制信号点 Q_n 电性连接,其第一端与所述第二信号点 P_n 电性连接,其第二端输入所述第一直流低压信号VSSQ1;所述第十八薄膜晶体管T42的控制端与所述第二信号点 P_n 电性连接,其第一端与所述上拉控制信号点 Q_n 电性连接,其第二端输入所述第一直流低压信号VSSQ1,所述第十八薄膜晶体管T42用于根据所述直流高压信号VGH和所述第一直流低压信号VSSQ1将所述上拉控制信号 $Q(n)$ 维持在关闭状态;所述第十九薄膜晶体管T32-1的控

制端与所述第二信号点Pn电性连接,其第一端与所述第n级水平扫描线Gn电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第十九薄膜晶体管T32-1用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n级扫描驱动信号G(n)维持在关闭状态;所述第二十薄膜晶体管T32-2的控制端与所述第二信号点Pn电性连接,其第一端与所述第n+1级水平扫描线Gn+1电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第二十薄膜晶体管T32-2用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n+1级扫描驱动信号G(n+1)维持在关闭状态;所述第二十一薄膜晶体管T32-3的控制端与所述第二信号点Pn电性连接,其第一端与所述第n+2级水平扫描线Gn+2电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第二十一薄膜晶体管T32-3用于根据所述直流高压信号VGH和所述第二直流低压信号VSSG2将所述第n+2级扫描驱动信号G(n+2)维持在关闭状态。

[0049] 需要说明的是,在本发明的实施例中,所述上拉控制信号点Qn通过一电容Cb与所述第n级水平扫描线Gn电性连接。其中,所述电容Cb为自举(Boast)电容。

[0050] 请一并参见图1至图3,图3为图1所示的GOA电路的另一种电路结构示意图。如图3所示的GOA电路100包括但不限于如图1所示的上拉控制电路10、上拉电路20、下拉电路30、复位电路40、第一下拉维持电路50以及第二下拉维持电路60。其中,如图3所示的GOA电路100中上拉控制电路10、上拉电路20、下拉电路30、复位电路40以及第一下拉维持电路50的具体结构与如图2所示的GOA电路100中相应电路的具体结构相同,在此不再赘述。

[0051] 如图3所示,在本发明另一实施方式中,所述第二下拉维持电路60具体包括:一第十四薄膜晶体管T51、一第十五薄膜晶体管T52、一第十六薄膜晶体管T53、一第十七薄膜晶体管T54、一第十八薄膜晶体管T42、一第十九薄膜晶体管T32-1、一第二十薄膜晶体管T32-2、一第二十一薄膜晶体管T32-3以及一第二十二薄膜晶体管T42-1。其中,如图3所示的第二下拉维持电路60中第十四薄膜晶体管T51、第十五薄膜晶体管T52、第十六薄膜晶体管T53、第十七薄膜晶体管T54、第十九薄膜晶体管T32-1、第二十薄膜晶体管T32-2以及第二十一薄膜晶体管T32-3的连接方式与信号输入与如图2所示的第二下拉维持电路60中相应薄膜晶体管的连接方式与信号输入相同,在此不再赘述。所述第十八薄膜晶体管T42的控制端与所述第二信号点Pn电性连接,其第一端和第二端与所述上拉控制信号点Qn电性连接;所述第二十二薄膜晶体管T42-1的控制端和第一端与所述上拉控制信号点Qn电性连接,其第二端输入所述第一直流低压信号VSSQ1;所述第十八薄膜晶体管T42和所述第二十二薄膜晶体管T42-1用于根据所述直流高压信号VGH和所述第一直流低压信号VSSQ1将所述上拉控制信号Q(n)维持在关闭状态,并且,所述第二十二薄膜晶体管T42-1可以阻止所述第十八薄膜晶体管T42的电流流入所述第一直流低压信号VSSQ1,从而提高所述GOA电路100的可靠性。

[0052] 请一并参见图1、图2和图4,图4为图1所示的GOA电路的又一种电路结构示意图。如图4所示的GOA电路100包括但不限于如图1所示的上拉控制电路10、上拉电路20、下拉电路30、复位电路40、第一下拉维持电路50以及第二下拉维持电路60。其中,如图4所示的GOA电路100中上拉控制电路10、上拉电路20、下拉电路30、复位电路40以及第一下拉维持电路50的具体结构与如图2所示的GOA电路100中相应电路的具体结构相同,在此不再赘述。

[0053] 如图4所示,在本发明另一实施方式中,所述下拉维持信号PDH包括一第一低频信号LC1和一第二低频信号LC2,所述第二下拉维持电路60包括第一下拉维持模块601和第二下拉维持模块602。

[0054] 其中,所述第一下拉维持模块601具体包括:第一信号输入单元6011和第一下拉维持单元6012。所述第一信号输入单元6011具体包括:一第十四薄膜晶体管T51、一第十五薄膜晶体管T52、一第十六薄膜晶体管T53以及一第十七薄膜晶体管T54。所述第一下拉维持单元6012具体包括:一第十八薄膜晶体管T42、一第十九薄膜晶体管T32-1、一第二十薄膜晶体管T32-2以及一第二十一薄膜晶体管T32-3。其中,如图4所示的第二下拉维持电路60中第十五薄膜晶体管T52、第十七薄膜晶体管T54、第十八薄膜晶体管T42、第十九薄膜晶体管T32-1、第二十薄膜晶体管T32-2以及第二十一薄膜晶体管T32-3的连接方式与信号输入与如图2所示的第二下拉维持电路60中相应薄膜晶体管的连接方式与信号输入相同,在此不再赘述。所述第十四薄膜晶体管T51的控制端和第一端输入所述第一低频信号LC1,其第二端与第一信号点Nn电性连接;所述第十六薄膜晶体管T53的控制端与所述第一信号点Nn电性连接,其第一端输入所述第一低频信号LC1,其第二端与第二信号点Pn电性连接。

[0055] 所述第二下拉维持模块602具体包括:第二信号输入单元6021和第二下拉维持单元6022。所述第二信号输入单元6021具体包括:一第二十三薄膜晶体管T61、一第二十四薄膜晶体管T62、一第二十五薄膜晶体管T63以及一第二十六薄膜晶体管T64。所述第二下拉维持单元6022具体包括:一第二十七薄膜晶体管T44、一第二十八薄膜晶体管T34-1、一第二十九薄膜晶体管T34-2以及一第三十薄膜晶体管T34-3。其中,所述第二十三薄膜晶体管T61的控制端和第一端输入所述第二低频信号LC2,其第二端与第三信号点Sn电性连接;所述第二十四薄膜晶体管T62的控制端与所述上拉控制信号点Qn电性连接,其第一端与所述第三信号点Sn电性连接,其第二端输入所述第一直流低压信号VSSQ1;所述第二十五薄膜晶体管T63的控制端与所述第三信号点Sn电性连接,其第一端输入所述第二低频信号LC2,其第二端与第四信号点Kn电性连接;所述第二十六薄膜晶体管T64的控制端与所述上拉控制信号点Qn电性连接,其第一端与所述第四信号点Kn电性连接,其第二端输入所述第一直流低压信号VSSQ1;所述第二十七薄膜晶体管T44的控制端与所述第四信号点Kn电性连接,其第一端与所述上拉控制信号点Qn电性连接,其第二端输入所述第一直流低压信号VSSQ1,所述第二十七薄膜晶体管T44用于根据所述第二低频信号LC2和所述第一直流低压信号VSSQ1将所述上拉控制信号Q(n)维持在关闭状态;所述第二十八薄膜晶体管T34-1的控制端与所述第四信号点Kn电性连接,其第一端与所述第n级水平扫描线Gn电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第二十八薄膜晶体管T34-1用于根据所述第二低频信号LC2和所述第二直流低压信号VSSG2将所述第n级扫描驱动信号G(n)维持在关闭状态;所述第二十九薄膜晶体管T34-2的控制端与所述第四信号点Kn电性连接,其第一端与所述第n+1级水平扫描线Gn+1电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第二十九薄膜晶体管T34-2用于根据所述第二低频信号LC2和所述第二直流低压信号VSSG2将所述第n+1级扫描驱动信号G(n+1)维持在关闭状态;所述第三十薄膜晶体管T34-3的控制端与所述第四信号点Kn电性连接,其第一端与所述第n+2级水平扫描线Gn+2电性连接,其第二端输入所述第二直流低压信号VSSG2,所述第三十薄膜晶体管T34-3用于根据所述第四信号点Kn和所述第二直流低压信号VSSG2将所述第n+2级扫描驱动信号G(n+2)维持在关闭状态。

[0056] 其中,所述第一低频信号LC1和所述第二低频信号LC2之间互为反相信号,即当所述第一低频信号LC1处于高电位状态时,所述第二低频信号LC2处于低电位状态;并且当所述第一低频信号LC1处于低电位状态时,所述第二低频信号LC2处于高电位状态。所述第一

下拉维持模块601和所述第二下拉维持模块602交替起作用将所述上拉控制信号 $Q(n)$ 、所述第 n 级扫描驱动信号 $G(n)$ 、所述第 $n+1$ 级扫描驱动信号 $G(n+1)$ 以及所述第 $n+2$ 级扫描驱动信号 $G(n+2)$ 维持在关闭状态(即维持在低电位状态)。

[0057] 请一并参见图2、图3和图5,图5为图2和图3所示的GOA电路100中信号源的波形示意图。其中,所述信号源包括但不限于:所述初始信号STV、所述第 n 级时钟信号 $CK(n)$ 、所述直流高压信号VGH、所述第一直流低压信号VSSQ1以及所述第二直流低压信号VSSG2。

[0058] 请一并参见图4和图6,图6为图4所示的GOA电路100中信号源的波形示意图。其中,所述信号源包括但不限于:所述初始信号STV、所述第 n 级时钟信号 $CK(n)$ 、所述第一低频信号LC1、所述第二低频信号LC2、所述第一直流低压信号VSSQ1以及所述第二直流低压信号VSSG2。

[0059] 如图5和图6所示,各级时钟信号的周期相同,并且第 $n+1$ 级时钟信号 $CK(n+1)$ 的起始时刻比第 n 级时钟信号 $CK(n)$ 晚 $1/10$ 时钟信号周期。其中,图5和图6仅示出了第1级时钟信号 $CK(1)$ 至第8级时钟信号 $CK(8)$ 的波形图。

[0060] 如图5和图6所示,在本发明一实施方式中,第 n 级时钟信号 $CK(n)$ 的占空比设置为40%,如此有利于第 n 级扫描驱动信号 $G(n)$ 的下拉。

[0061] 请一并参见图1、图2、图3、图4和图7,图7为图1至图4所示的GOA电路100中输入输出信号的波形示意图。其中,所述输入输出信号包括但不限于:所述第 $n-4$ 级级传信号 $ST(n-4)$ 、所述第 $n-4$ 级扫描驱动信号 $G(n-4)$ 、所述上拉控制信号 $Q(n)$ 、所述第 n 级扫描驱动信号 $G(n)$ 、所述第 $n+1$ 级扫描驱动信号 $G(n+1)$ 、所述第 $n+2$ 级扫描驱动信号 $G(n+2)$ 以及第 $n+6$ 级扫描驱动信号 $G(n+6)$ 。

[0062] 从图7中可见,所述下拉电路30根据所述第 $n+6$ 级扫描驱动信号 $G(n+6)$ 下拉所述上拉控制信号 $Q(n)$,可以实现在所述第 n 级扫描驱动信号 $G(n)$ 、所述第 $n+1$ 级扫描驱动信号 $G(n+1)$ 以及所述第 $n+2$ 级扫描驱动信号 $G(n+2)$ 输出完成后才执行下拉所述上拉控制信号 $Q(n)$,从而实现所述第 n 级扫描驱动信号 $G(n)$ 、所述第 $n+1$ 级扫描驱动信号 $G(n+1)$ 以及所述第 $n+2$ 级扫描驱动信号 $G(n+2)$ 等三级扫描驱动信号的正常输出。

[0063] 相应地,本发明实施例还提供了一种液晶显示装置,其包括上述图1至图4所示的用于液晶显示的GOA电路100。例如,该液晶显示装置可以包括但不限于具有液晶显示面板的手机(如Android手机、iOS手机等)、平板电脑、MID(Mobile Internet Devices,移动互联网设备)、PDA(Personal Digital Assistant,个人数字助理)、笔记本电脑、电视机、电子纸、数码相框等等。

[0064] 相比于现有技术中一级GOA单元仅能输出一级扫描驱动信号,本发明上述实施例中所述GOA电路100的一级GOA单元可以输出三级扫描驱动信号,即第 n 级GOA单元可以输出第 n 级扫描驱动信号 $G(n)$ 、第 $n+1$ 级扫描驱动信号 $G(n+1)$ 以及第 $n+2$ 级扫描驱动信号 $G(n+2)$,因此所述GOA电路100可以减少每级GOA单元平均所占据的边框空间,从而满足液晶显示面板的超窄边框需求。此外,本发明实施例中第一直流低压信号VSSQ1和复位电路40的设置可以提高所述GOA电路100的可靠性。

[0065] 在本说明书的描述中,参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含在本发明的至少一个实施例或示例中。在本说明书中,对上述术语的示意性表述不一

定指的是相同的实施例或示例。而且,描述的具体特征、结构、材料或特点可以在任何的一个或多个实施例或示例中以合适的方式结合。

[0066] 以上对本发明实施例所提供的GOA电路及具有该GOA电路的液晶显示装置进行了详细介绍,本文中应用了具体个例对本发明的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本发明的方法及其核心思想;同时,对于本领域的一般技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本发明的限制。

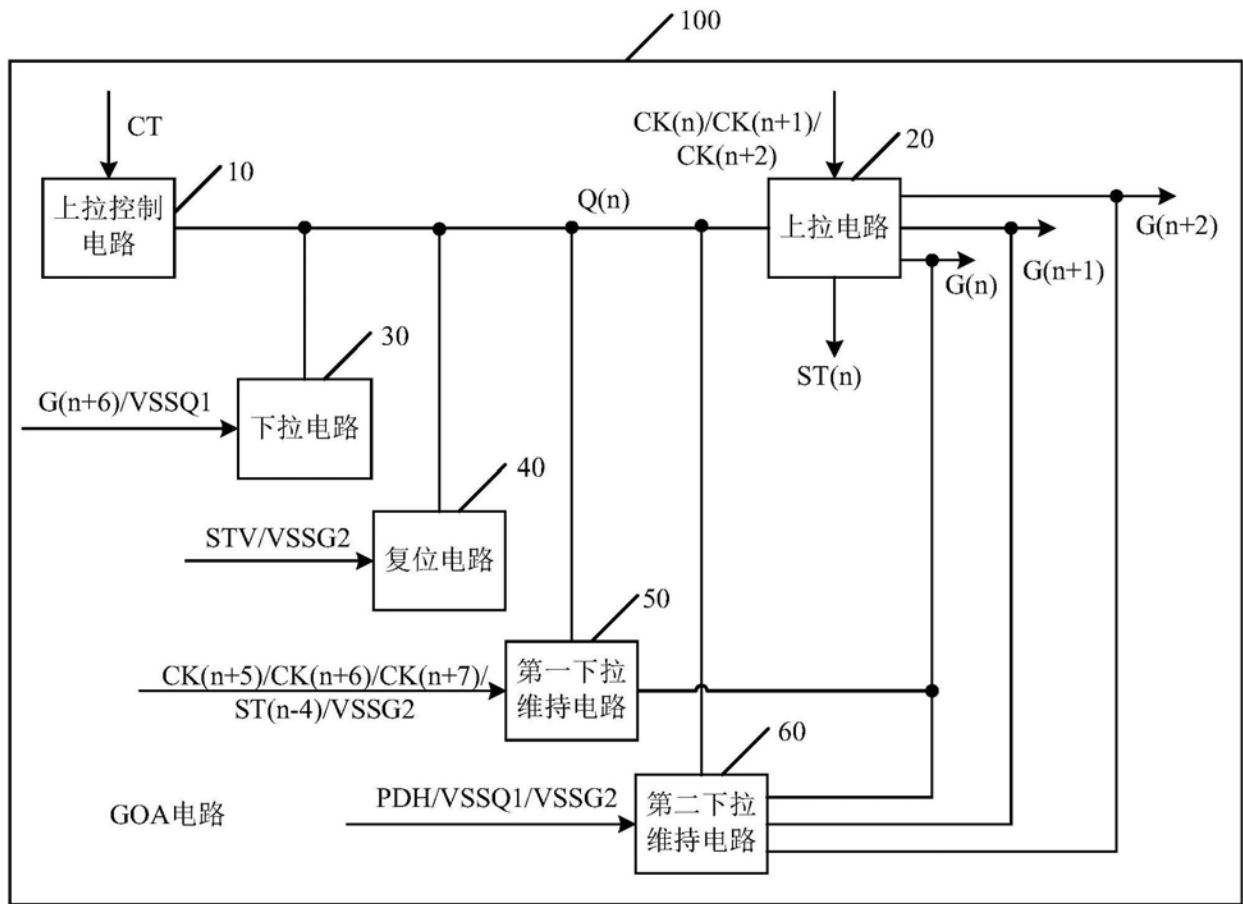


图1

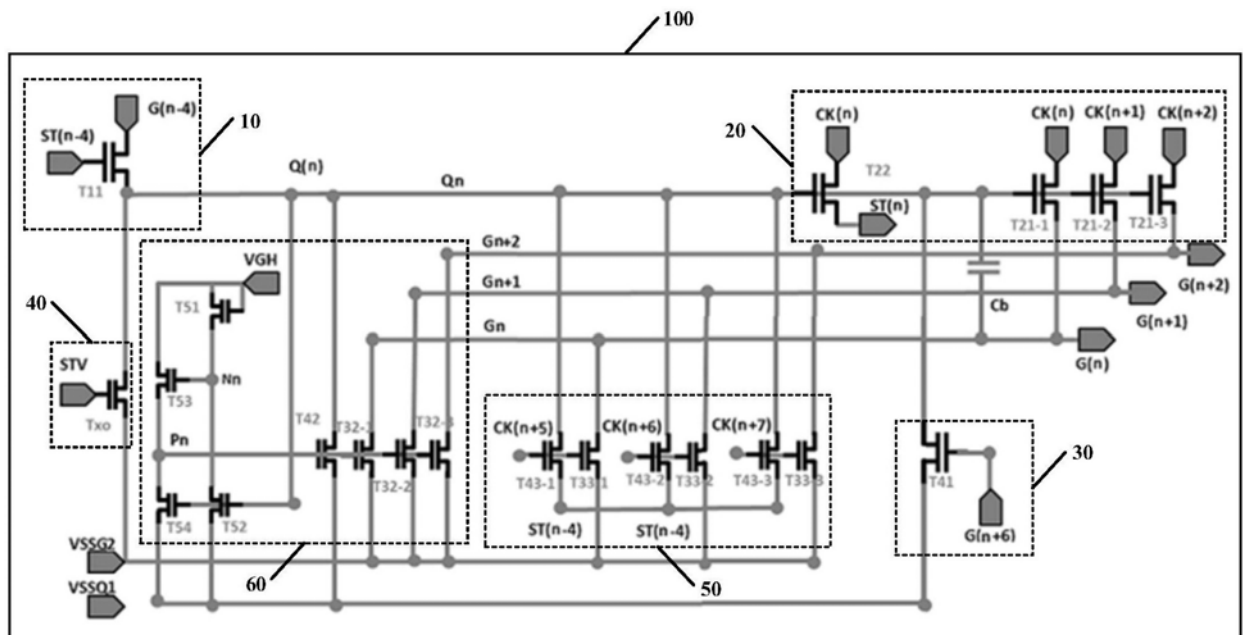


图2

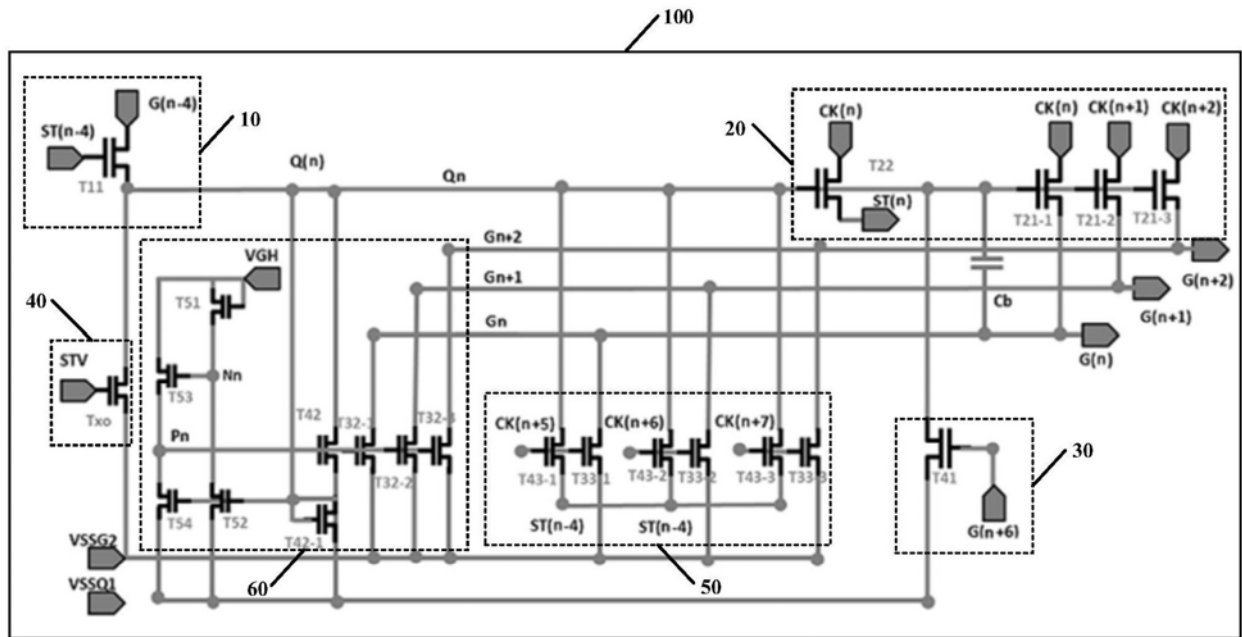


图3

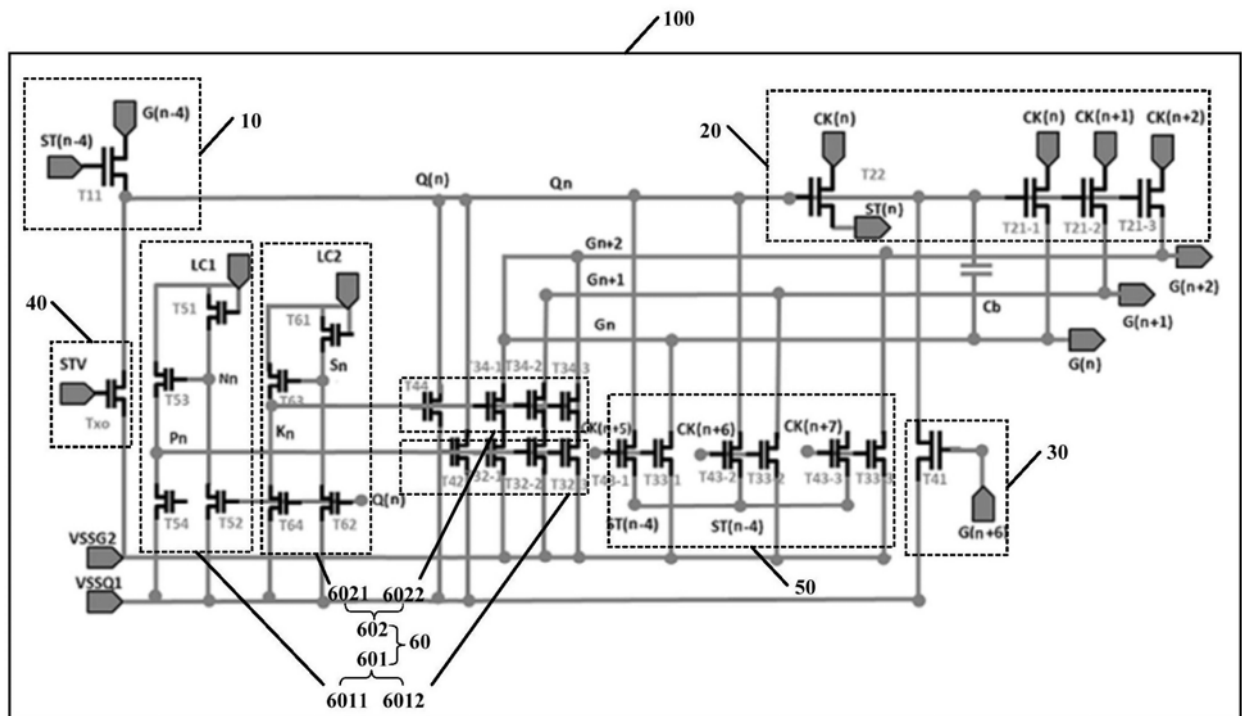


图4

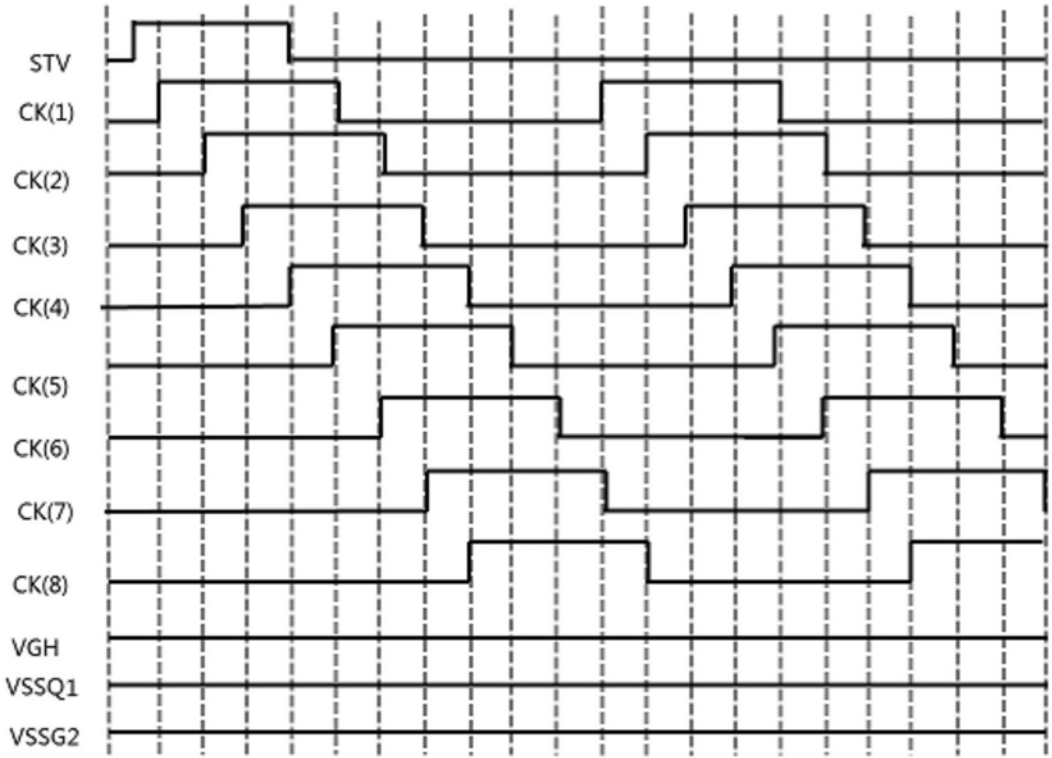


图5

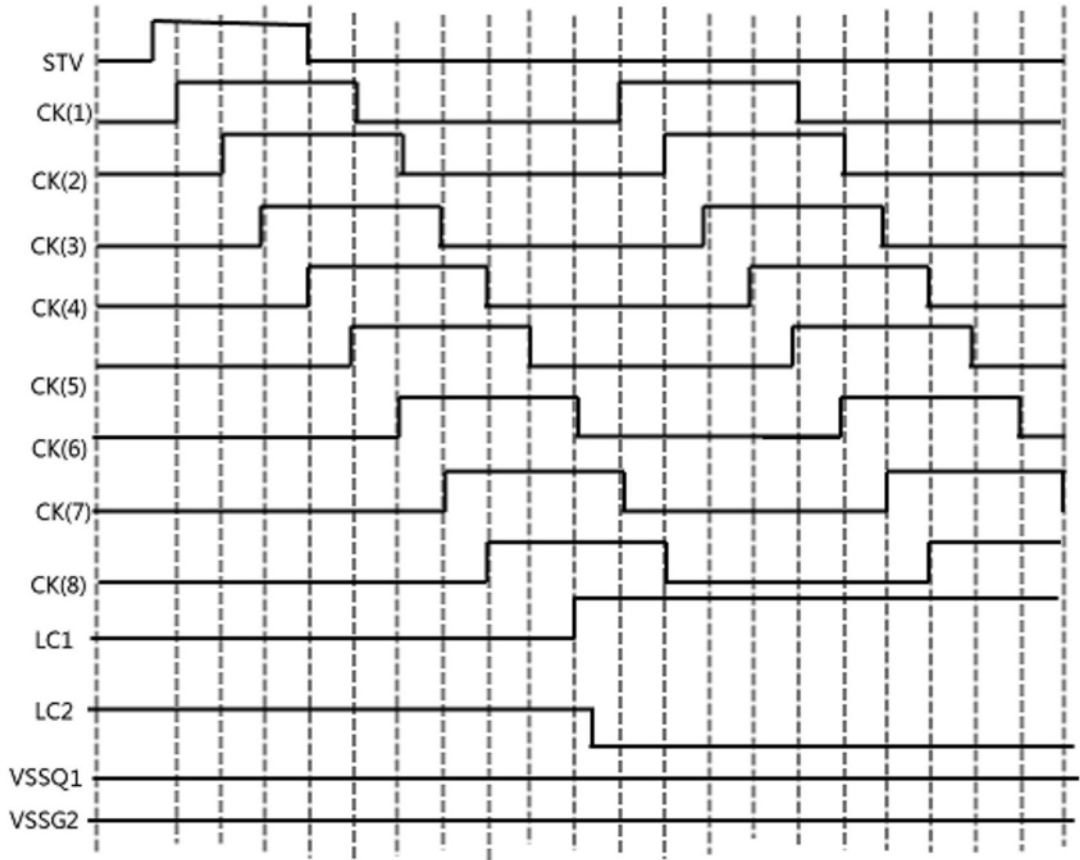


图6

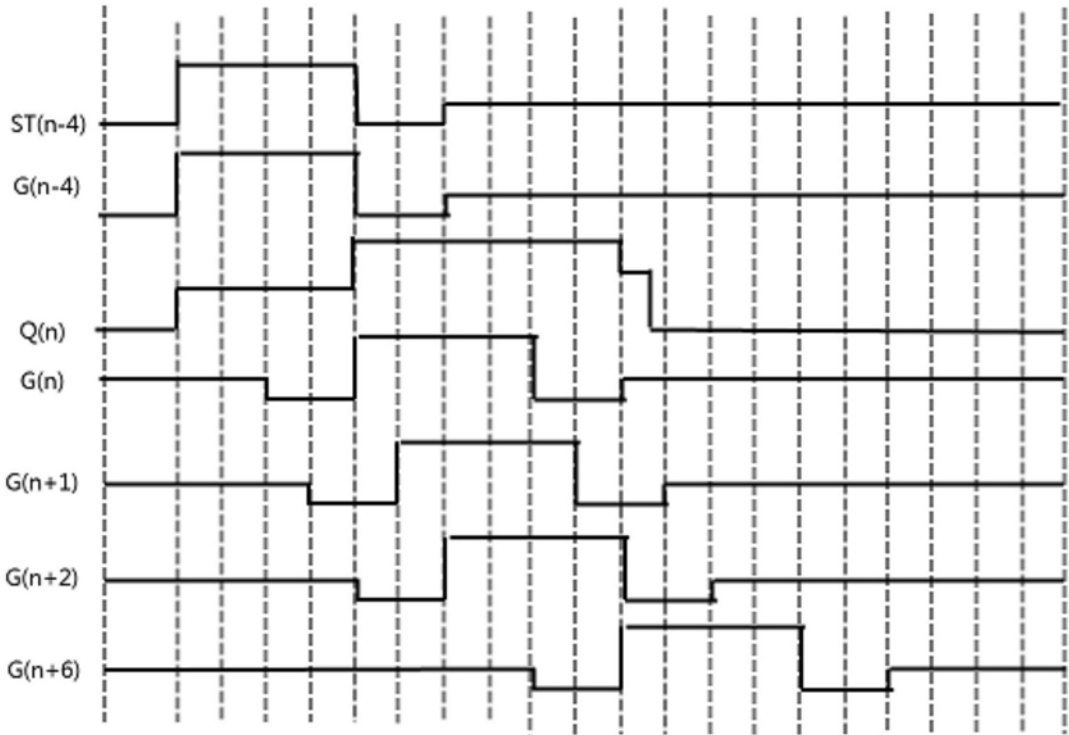


图7

专利名称(译)	GOA电路及具有该GOA电路的液晶显示装置		
公开(公告)号	CN108877723A	公开(公告)日	2018-11-23
申请号	CN201810847157.6	申请日	2018-07-27
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	李文英		
发明人	李文英		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3674 G09G3/3677		
代理人(译)	熊永强		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种GOA电路，其包括多个级联的GOA单元，其中第n级GOA单元对第n级、第n+1级以及第n+2级水平扫描线充电，所述第n级GOA单元包括：上拉控制电路，用于接收启动信号CT并输出上拉控制信号Q(n)；上拉电路，用于接收Q(n)、第n级时钟信号CK(n)、第n+1级时钟信号CK(n+1)和第n+2级时钟信号CK(n+2)，并输出第n级级传信号ST(n)、第n级扫描驱动信号G(n)、第n+1级扫描驱动信号G(n+1)和第n+2级扫描驱动信号G(n+2)；下拉电路，用于接收第n+6级扫描驱动信号G(n+6)和第一直流低压信号VSSQ1，并使Q(n)处于关闭状态。本发明的GOA电路中一级GOA单元可以输出三级扫描驱动信号，可以减小每级GOA单元平均所占据的边框空间，从而满足面板的超窄边框需求。本发明还公开了一种液晶显示装置，其具有上述GOA电路。

