



(12)发明专利申请

(10)申请公布号 CN 106328084 A

(43)申请公布日 2017.01.11

(21)申请号 201610907367.0

(22)申请日 2016.10.18

(71)申请人 深圳市华星光电技术有限公司  
地址 518132 广东省深圳市光明新区塘明大道9-2号

(72)发明人 曾勉

(74)专利代理机构 深圳翼盛智成知识产权事务所(普通合伙) 44300

代理人 黄威

(51) Int. Cl.  
G09G 3/36(2006.01)

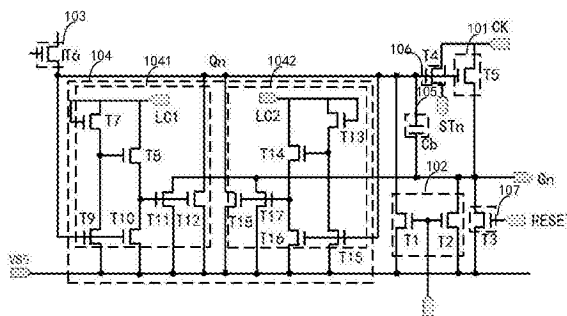
权利要求书2页 说明书5页 附图3页

(54)发明名称

GOA驱动电路及液晶显示装置

(57)摘要

本发明提一种GOA驱动电路及液晶显示装置,该GOA驱动电路包括多个级联的GOA单元,按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线,该第N级GOA单元包括上拉模块、下拉模块、上拉控制模块、下拉维持模块、自举电容模块以及复位模块;所述上拉模块、下拉模块、下拉维持模块以及自举电容模块均分别与第N级栅极信号点 $Q_n$ 以及第N级水平扫描线 $G_n$ 电连接;所述上拉控制模块与所述第N级栅极信号点 $Q_n$ 电连接;所述复位模块包括第一端、第二端以及控制端,所述第一端与第N级水平扫描线 $G_n$ 连接。本发明具有去除液晶显示装置关机时残影的问题。



1. 一种GOA驱动电路,用于液晶显示装置中,其特征在于,包括多个级联的GOA单元,按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线,该第N级GOA单元包括上拉模块、下拉模块、上拉控制模块、下拉维持模块、自举电容模块以及复位模块;所述上拉模块、下拉模块、下拉维持模块以及自举电容模块均分别与第N级栅极信号点 $Q_n$ 以及第N级水平扫描线 $G_n$ 电连接;所述上拉控制模块与所述第N级栅极信号点 $Q_n$ 电连接;所述复位模块包括第一端、第二端以及控制端,所述第一端与第N级水平扫描线 $G_n$ 连接;

在液晶显示装置关机后,所述第二端接入第二高电平,并在所述控制端接入第一高电平,使得复位模块打开并将第二高电平输出给第N级水平扫描线 $G_n$ 。

2. 根据权利要求1所述的GOA驱动电路,其特征在于,在每帧所有行的扫描结束时,所述第二端接入第一低电平VSS,所述控制端接入第一高电平RESET从而使得复位模块导通,进而将第N级水平扫描线 $G_n$ 拉低至第一低电平VSS。

3. 根据权利要求2所述的GOA驱动电路,其特征在于,所述多个GOA单元包括依次级联的第1级GOA单元、多个中间级GOA单元以及一末尾级GOA单元;所述下拉模块包括第一薄膜晶体管以及第二薄膜晶体管,所述第一薄膜晶体管的漏极与所述第N级栅极信号点 $Q_n$ 连接,所述第二薄膜晶体管的漏极与第N级水平扫描线 $G_n$ 连接,所述第一薄膜晶体管的源极以及第二薄膜晶体管的源极连接并接入第一低电平VSS;

当所述第N级GOA单元为第1级GOA单元或中间级GOA单元时,所述第一薄膜晶体管的栅极以及第二薄膜晶体管的栅极连接并与第N+1级水平扫描线 $G_{n+1}$ 连接;

当所述第N级GOA单元为末尾级GOA单元时,所述第一薄膜晶体管以及第二薄膜晶体管的栅极连接并在完成该帧所有行的扫描后接入第一高电平REST,使得所述复位模块导通,从而将该末尾级GOA单元的对应的水平扫描线拉低至第一低电平VSS。

4. 根据权利要求3所述的GOA驱动电路,其特征在于,所述复位模块包括第三薄膜晶体管。

5. 根据权利要求2所述的GOA驱动电路,其特征在于,还包括下传模块,所述下传模块包括第四薄膜晶体管,所述上拉模块包括第五薄膜晶体管;

所述第四薄膜晶体管栅极以及第五薄膜晶体管的栅极与第N级栅极信号点 $Q_n$ 连接,所述第四薄膜晶体管以及第五薄膜晶体管的漏极均接入高频时钟信号,所述第五薄膜晶体管的源极与第N级水平扫描线 $G_n$ 连接,所述第四薄膜晶体管的源极输出第N级下传信号。

6. 根据权利要求2所述的GOA驱动电路,其特征在于,所述下拉维持模块包括第一下拉维持单元;

所述第一下拉维持单元包括第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管以及第十二薄膜晶体管;所述第七薄膜晶体管的漏极和栅极、所述第八薄膜晶体管的漏极连接并接入第一低频时钟信号;所述第九薄膜晶体管以及第十薄膜晶体管的栅极与所述第N级栅极信号点 $Q_n$ 连接,所述第九薄膜晶体管的漏极、所述第八薄膜晶体管的栅极以及所述第七薄膜晶体管的源极连接于第一节点,所述第八薄膜晶体管的源极、第十薄膜晶体管的漏极、第十一薄膜晶体管的栅极以及第十二薄膜晶体管的栅极连接于第二节点,所述第十一薄膜晶体管的漏极与第N级水平扫描线连接,所述第十二薄膜晶体管的漏极与所述第N级栅极信号点 $Q_n$ 连接,所述第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管以及第十二薄膜晶体管的源极连接并接入第一低电平VSS。

7. 根据权利要求6所述的GOA驱动电路,其特征在于,其特征在于,所述下拉维持模块还包括第二下拉维持单元;

所述第二下拉维持单元包括第十三薄膜晶体管、第十四薄膜晶体管、第十五薄膜晶体管、第十六薄膜晶体管、第十七薄膜晶体管以及第十八薄膜晶体管;所述第十三薄膜晶体管的漏极和栅极、所述第十四薄膜晶体管的漏极连接并接入第二低频时钟信号;所述第十五薄膜晶体管以及第十六薄膜晶体管的栅极与所述第N级栅极信号点 $Q_n$ 连接,所述第十五薄膜晶体管的漏极、所述第十四薄膜晶体管的栅极以及所述第十三薄膜晶体管的源极连接于第三节点,所述第十四薄膜晶体管的源极、第十六薄膜晶体管的漏极、第十七薄膜晶体管的栅极以及第十八薄膜晶体管的栅极连接于第四节点,所述第十七薄膜晶体管的漏极与第N级水平扫描线连接,所述第十八薄膜晶体管的漏极与所述第N级栅极信号点 $Q_n$ 连接,所述第十五薄膜晶体管、第十六薄膜晶体管、第十七薄膜晶体管以及第十八薄膜晶体管的源极连接并接入第一低电平VSS。

8. 根据权利要求7所述的GOA驱动电路,其特征在于,所述第一低频时钟信号与所述第二低频时钟信号的相位相反。

9. 根据权利要求1所述的GOA驱动电路,其特征在于,所述自举电容模块包括自举电容。

10. 一种液晶显示装置,其特征在于,包括权利要求1-9任一项所述的GOA驱动电路。

## GOA驱动电路及液晶显示装置

### 技术领域

[0001] 本发明涉及液晶显示领域,特别是涉及一种GOA驱动电路及液晶显示装置。

### 背景技术

[0002] Gate Driver On Array,简称GOA,也就是利用现有薄膜晶体管液晶显示器阵列制程将栅极行扫描驱动信号电路制作在阵列基板上,实现对像素结构逐行扫描的驱动方式的一项技术。

[0003] 现有技术中,在液晶显示装置关机后,由于液晶的像素结构的薄膜晶体管中还有残留电荷,因此,在关机后会形成残影留下来,影响用户体验。

[0004] 因此,现有技术存在缺陷,急需改进。

### 发明内容

[0005] 本发明的目的在于提供一种改进的GOA驱动电路及液晶显示装置。

[0006] 为解决上述问题,本发明提供的技术方案如下:

[0007] 本发明提供一种GOA驱动电路,用于液晶显示装置中,包括多个级联的GOA单元,按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线,该第N级GOA单元包括上拉模块、下拉模块、上拉控制模块、下拉维持模块、自举电容模块以及复位模块;所述上拉模块、下拉模块、下拉维持模块以及自举电容模块均分别与第N级栅极信号点 $Q_n$ 以及第N级水平扫描线 $G_n$ 电连接;所述上拉控制模块与所述第N级栅极信号点 $Q_n$ 电连接;所述复位模块包括第一端、第二端以及控制端,所述第一端与第N级水平扫描线 $G_n$ 连接;

[0008] 在液晶显示装置关机后,所述第二端接入第二高电平,并在所述控制端接入第一高电平,使得所述复位模块打开并将第二高电平输出给第N级水平扫描线 $G_n$ 。

[0009] 优选地,在每帧所有行的扫描结束时,所述第二端接入第一低电平VSS,所述控制端接入第一高电平RESET从而使得所述复位模块导通,进而将第N级水平扫描线 $G_n$ 拉低至第一低电平VSS。

[0010] 优选地,所述多个GOA单元包括依次级联的第1级GOA单元、多个中间级GOA单元以及一末尾级GOA单元;所述下拉模块包括第一薄膜晶体管以及第二薄膜晶体管,所述第一薄膜晶体管的漏极与所述第N级栅极信号点 $Q_n$ 连接,所述第二薄膜晶体管的漏极与第N级水平扫描线 $G_n$ 连接,所述第一薄膜晶体管的源极以及所述第二薄膜晶体管的源极连接并接入第一低电平VSS;

[0011] 当所述第N级GOA单元为第1级GOA单元或中间级GOA单元时,所述第一薄膜晶体管的栅极以及第二薄膜晶体管的栅极连接并与第N+1级水平扫描线 $G_{n+1}$ 连接;

[0012] 当所述第N级GOA单元为末尾级GOA单元时,所述第一薄膜晶体管以及第二薄膜晶体管的栅极连接并在完成每一帧所有行的扫描后接入第一高电平REST,使得所述复位模块导通,从而将该末尾级GOA单元的对应的水平扫描线拉低至第一低电平VSS。

[0013] 优选地,所述复位模块包括第三薄膜晶体管。

[0014] 优选地,还包括下传模块,所述下传模块包括第四薄膜晶体管,所述上拉模块包括第五薄膜晶体管;

[0015] 所述第四薄膜晶体管栅极以及第五薄膜晶体管的栅极与第N级栅极信号点 $G_n$ 连接,所述第四薄膜晶体管以及第五薄膜晶体管的漏极均接入高频时钟信号,所述第五薄膜晶体管的源极与第N级水平扫描线 $G_n$ 连接,所述第四薄膜晶体管的源极输出第N级下传信号。

[0016] 优选地,所述下拉维持模块包括第一下拉维持单元;

[0017] 所述第一下拉维持单元包括第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管以及第十二薄膜晶体管;所述第七薄膜晶体管的漏极和栅极、所述第八薄膜晶体管的漏极连接并接入第一低频时钟信号;所述第九薄膜晶体管以及第十薄膜晶体管的栅极与所述第N级栅极信号点 $Q_n$ 连接,所述第九薄膜晶体管的漏极、所述第八薄膜晶体管的栅极以及所述第七薄膜晶体管的源极连接于第一节点,所述第八薄膜晶体管的源极、第十薄膜晶体管的漏极、第十一薄膜晶体管的栅极以及第十二薄膜晶体管的栅极连接于第二节点,所述第十一薄膜晶体管的漏极与第N级水平扫描线连接,所述第十二薄膜晶体管的漏极与所述第N级栅极信号点 $Q_n$ 连接,所述第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管以及第十二薄膜晶体管的源极连接并接入第一低电平VSS。

[0018] 优选地,所述下拉维持模块还包括第二下拉维持单元;

[0019] 所述第二下拉维持单元包括第十三薄膜晶体管、第十四薄膜晶体管、第十五薄膜晶体管、第十六薄膜晶体管、第十七薄膜晶体管以及第十八薄膜晶体管;所述第十三薄膜晶体管的漏极和栅极、所述第十四薄膜晶体管的漏极连接并接入第二低频时钟信号;所述第十五薄膜晶体管以及第十六薄膜晶体管的栅极与所述第N级栅极信号点 $Q_n$ 连接,所述第十五薄膜晶体管的漏极、所述第十四薄膜晶体管的栅极以及所述第十三薄膜晶体管的源极连接于第三节点,所述第十四薄膜晶体管的源极、第十六薄膜晶体管的漏极、第十七薄膜晶体管的栅极以及第十八薄膜晶体管的栅极连接于第四节点,所述第十七薄膜晶体管的漏极与第N级水平扫描线连接,所述第十八薄膜晶体管的漏极与所述第N级栅极信号点 $Q_n$ 连接,所述第十五薄膜晶体管、第十六薄膜晶体管、第十七薄膜晶体管以及第十八薄膜晶体管的源极连接并接入第一低电平VSS。

[0020] 优选地,所述第一低频时钟信号与所述第二低频时钟信号的相位相反。

[0021] 优选地,所述自举电容模块包括自举电容。

[0022] 本发明还提供了一种液晶显示装置,包括上述任一项所述的GOA驱动电路。

[0023] 本发明提供的GOA驱动电路及液晶显示装置通过设置一个复位模块,并在检测到液晶显示装置关机后,将复位模块的第二端接入第二高电平,在复位模块的控制端接入第一高电平RESET,使得复位模块打开并将第二高电平输出给第N级水平扫描线 $G_n$ ,进而将液晶显示装置的所有像素TFT打开,迅速释放掉像素电极内残留的电荷,从而有效地改善液晶显示器的关机时的残像问题。

## 附图说明

[0024] 图1是本发明一优选实施例中的GOA驱动电路的第N级GOA单元的电路结构图。

[0025] 图2是本发明一优选实施例中的GOA驱动电路的第1级GOA单元的电路结构图。

- [0026] 图3是本发明一优选实施例中的GOA驱动电路的中间级GOA单元的电路结构图。
- [0027] 图4是本发明一优选实施例中的GOA驱动电路的末尾级GOA单元的电路结构图。
- [0028] 图5是本发明的GOA驱动电路的信号时序图。

### 具体实施方式

[0029] 以下各实施例的说明是参考附加的图式,用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语,例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。

[0030] 在图中,结构相似的模块是以相同标号表示。

[0031] 该GOA驱动电路包括多个级联的GOA单元,按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线。其中该多个级联的GOA单元包括依次级联的第1级GOA单元、多个中间级GOA单元以及一末尾级GOA单元。例如当有100个级联的GOA单元时,该第2级GOA单元至第99级GOA单元为中间级GOA单元,该第100级GOA单元为末尾级GOA单元。

[0032] 其中,请参照图1,该第N级GOA单元包括上拉模块101、下拉模块102、上拉控制模块103、下拉维持模块104、自举电容模块105、下传模块106以及复位模块107。

[0033] 具体地,上拉模块101、下拉模块102、下拉维持模块104以及自举电容模块105均分别与第N级栅极信号点 $Q_n$ 以及第N级水平扫描线 $G_n$ 电连接。上拉控制模块103与所述第N级栅极信号点 $Q_n$ 电连接;该下传模块106与该第N级栅极信号点 $Q_n$ 连接以及第N+1级GOA单元连接。该复位模块107与该第N级水平扫描线 $G_n$ 连接。

[0034] 该上拉模块101包括第五薄膜晶体管T5,该第五薄膜晶体管T5的漏极接入高频时钟信号CK,该第五薄膜晶体管T5的源极与该第N级水平扫描线 $G_n$ 连接,该第五薄膜晶体管T5的栅极与该第N级栅极信号点 $Q_n$ 连接。该上拉模块101用将高频时钟信号CK转换为栅极信号并输出给第N级水平扫描线 $G_n$ 。

[0035] 该上拉控制模块103包括第六薄膜晶体管T6,该第六薄膜晶体管T6的源极与该第N级栅极信号点 $Q_n$ 连接。该上拉控制模块103用于控制该第五薄膜晶体管T5的导通时间。

[0036] 该自举电容模块105包括自举电容 $C_b$ 。

[0037] 该下传模块106包括第四薄膜晶体管T4,该第四薄膜晶体管T4的漏极接入高频时钟信号CK,该第四薄膜晶体管T4的源极输出下传信号 $ST_n$ ,该第四薄膜晶体管T4的栅极与该第N级栅极信号点 $Q_n$ 连接。

[0038] 该下拉维持模块104包括第一下拉维持单元1041以及第二下拉维持单元1042。

[0039] 该第一下拉维持单元1041包括第七薄膜晶体管T7、第八薄膜晶体管T8、第九薄膜晶体管T9、第十薄膜晶体管T10、第十一薄膜晶体管T11以及第十二薄膜晶体管T12。第七薄膜晶体管T7的漏极和栅极、第八薄膜晶体管T8的漏极连接并接入第一低频时钟信号LC1。第九薄膜晶体管T9以及第十薄膜晶体管T10的栅极与第N级栅极信号点 $Q_n$ 连接,第九薄膜晶体管T9的漏极、第八薄膜晶体管T8的栅极以及第七薄膜晶体管T7的源极连接于第一节点,第八薄膜晶体管T8的源极、第十薄膜晶体管T10的漏极、第十一薄膜晶体管T11的栅极以及第十二薄膜晶体管T12的栅极连接于第二节点。第十一薄膜晶体管T11的漏极与第N级水平扫描线 $G_n$ 连接。第十二薄膜晶体管T12的漏极与第N级栅极信号点 $Q_n$ 连接,第九薄膜晶体管T9、

第十薄膜晶体管T10、第十一薄膜晶体管T11以及第十二薄膜晶体管T12的源极连接并接入第一低电平VSS。

[0040] 该第二下拉维持单元1042包括第十三薄膜晶体管T13、第十四薄膜晶体管T14、第十五薄膜晶体管T15、第十六薄膜晶体管T16、第十七薄膜晶体管T17以及第十八薄膜晶体管T18。第十三薄膜晶体管T13的漏极和栅极、第十四薄膜晶体管T14的漏极连接并接入第二低频时钟信号LC2。第十五薄膜晶体管T15以及第十六薄膜晶体管T16的栅极与第N级栅极信号点Qn连接，第十五薄膜晶体管T15的漏极、第十四薄膜晶体管T14的栅极以及第十三薄膜晶体管T13的源极连接于第三节点，第十四薄膜晶体管T14的源极、第十六薄膜晶体管T16的漏极、第十七薄膜晶体管T17的栅极以及第十八薄膜晶体管T18的栅极连接于第四节点。第十七薄膜晶体管T17的漏极与第N级水平扫描线Gn连接。第十八薄膜晶体管T18的漏极与所述第N级栅极信号点Qn连接，第十五薄膜晶体管T15、第十六薄膜晶体管T16、第十七薄膜晶体管T17以及第十八薄膜晶体管T18的源极连接并接入第一低电平VSS。

[0041] 该复位模块107包括第一端、第二端以及控制端，第一端与第N级水平扫描线Gn连接。在每帧所有行的行扫描结束时，第二端接入第一低电平VSS，控制端接入第一高电平RESET，从而使得复位模块107导通，进而将第N级水平扫描线Gn的电位拉低至第一低电平VSS。从而将每行像素的栅极均拉至低电位，对整个液晶显示装置的栅极驱动信号进行复位，可提高GOA驱动电路的稳定性。

[0042] 在检测液晶显示装置关机后，第二端接入第二高电平，在控制端接入第一高电平RESET，使得复位模块107打开并将第二高电平输出给第N级水平扫描线Gn。进而将液晶显示装置的所有像素TFT打开，迅速释放掉像素电极内残留的电荷，从而有效地改善液晶显示器的关机时的残像问题。

[0043] 其中，该复位模块107包括第三薄膜晶体管T3，其栅极为控制端，漏极为第一端，源极为第二端。具体实施过程中，可以将该第三薄膜晶体管T3的源极以及栅极分别与电压提供电路连接，将该第一薄膜晶体管T1以及第二薄膜晶体管T2的源极与电压提供电路连接。该电压提供电路对该第二薄膜晶体管T2的源极提供第一低电平VSS，该第一低电平VSS直流低电压，例如可以为0.1V或者0.05V等。每帧行扫描结束时，该电压提供电路给第二端接入第一低电平VSS，给该控制端接入第一高电平，从而使得第三薄膜晶体管T3导通，进而将第N级水平扫描线Gn的电位拉低至第一低电平VSS。在检测液晶显示装置关机后，电压提供电路给第二端接入第二高电平，在控制端接入第一高电平RESET，使得第三薄膜晶体管T3打开并将第二高电平输出给第N级水平扫描线Gn。

[0044] 该下拉模块102包括第一薄膜晶体管T1以及第二薄膜晶体管T2，所述第一薄膜晶体管T1的漏极与第N级栅极信号点Qn连接，第二薄膜晶体管T2的漏极与第N级水平扫描线Gn连接，所述第一薄膜晶体管T1的源极以及第二薄膜晶体管T2的源极连接并分别接入第一低电平VSS。

[0045] 请参照图2，当该第N级GOA单元为第1级GOA单元时，该上拉控制模块103的第六薄膜晶体管T6的栅极与漏极连接并接入启动信号STV。该下拉模块102的第一薄膜晶体管T1以及第二薄膜晶体管T2的栅极连接并与第N+1级水平扫描线Gn+1连接。

[0046] 请参照图3，当该第N级GOA单元为中间级GOA单元时，该上拉控制模块103的第六薄膜晶体管T6的栅极与第N-1级GOA单元的第四薄膜晶体管T4的源极连接。第六薄膜晶体管T6

的漏极与第N-1级水平扫描线Gn-1连接。该下拉模块102的第一薄膜晶体管T1以及第二薄膜晶体管T2的栅极连接并与第N+1级水平扫描线Gn+1。

[0047] 请参照图4,当该第N级GOA单元为末尾级GOA单元时,该上拉控制模块103的第六薄膜晶体管T6的栅极与第N-1级GOA单元的第四薄膜晶体管T4的源极连接。第六薄膜晶体管T6的漏极与第N-1级水平扫描线Gn-1连接。该下拉模块102的第一薄膜晶体管的栅极以及第二薄膜晶体管的栅极连接,并在在每帧行扫描结束时,接入第一高电平信号RESET;从而在每帧行扫描结束后即迅速实现各行输出的复位。具体实施时,将该第一薄膜晶体管T1的栅极以及第二薄膜晶体管T2的栅极与电压提供电路连接。

[0048] 如图5所示,该第一低频时钟信号LC1与第二低频时钟信号LC2的相位相反,也即是该第一下拉维持单元1041与该第二下拉维持单元1042交替工作,可以避免因电压应力使得薄膜晶体管失效。

[0049] 在图5所示的一帧的扫描周期T1内,启动信号STV由低电平变为高电平时,第1级GOA单元开始输出栅极驱动信号给该第1级水平扫描线G1。

[0050] 然后该第1级GOA单元的下传模块106将下传信号发送给第2级GOA单元的上传控制模块103,该上拉控制模块103收到该下传信号后导通,从而使得该上拉模块101导通,进而输出栅极驱动信号至该第2级水平扫描线G2。同时输出栅极驱动信号给该第1级GOA单元的下拉模块102,从而使得该下拉模块102导通,该下拉模块102导通,从而将第1级栅极信号点Q1以及第1级水平扫描线G1的电位拉低至第一低电平VSS。

[0051] 直至各级GOA单元均输出栅极驱动信号给各级水平扫描线,并且,在末尾级GOA单元输出栅极驱动信号给最后一级水平扫描线后,也即是完成该帧各行的扫描之后,在该末尾级GOA单元的下拉模块102的第一薄膜晶体管T1以及第二薄膜晶体管T2的栅极均接入第一高电平信号RESET,在每一级GOA单元的复位模块107的第三薄膜晶体管T3的栅极接入第一高电平信号RESET,从而完成各级水平扫描线的快速复位。

[0052] 在液晶显示装置关机后,每一级GOA单元的复位模块107发第二端接入第二高电平,并在控制端接入第一高电平RESET,使得复位模块107打开并将第二高电平输出给第N级水平扫描线Gn。进而将液晶显示装置的所有像素TFT打开,迅速释放掉像素电极内残留的电荷,从而有效地改善液晶显示器的关机时的残像问题。

[0053] 本发明还提供了一种液晶显示装置,其包括上述实施例中的GOA驱动电路。

[0054] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

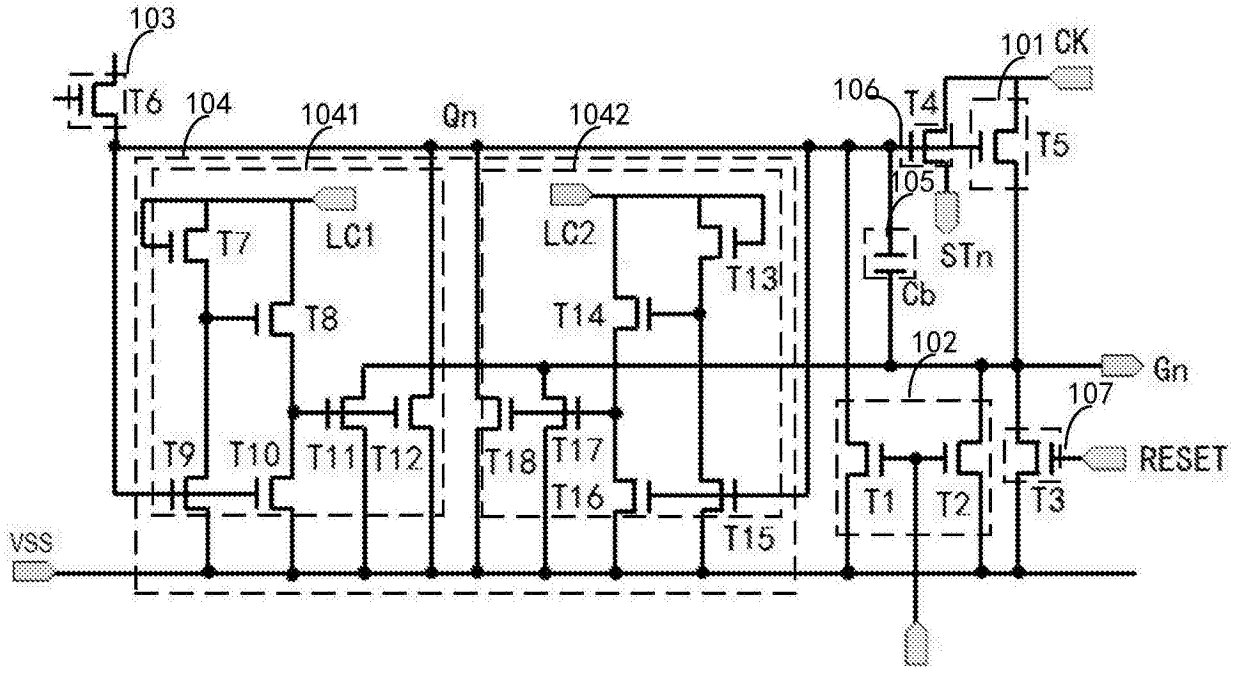


图1

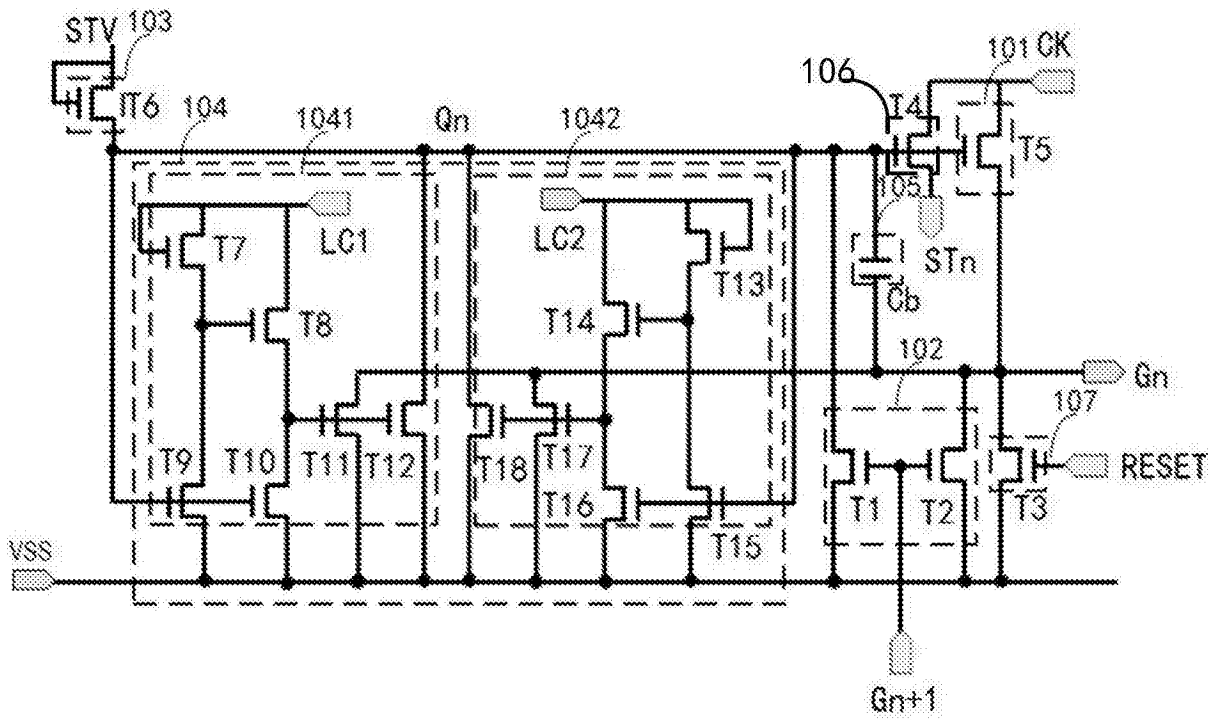


图2

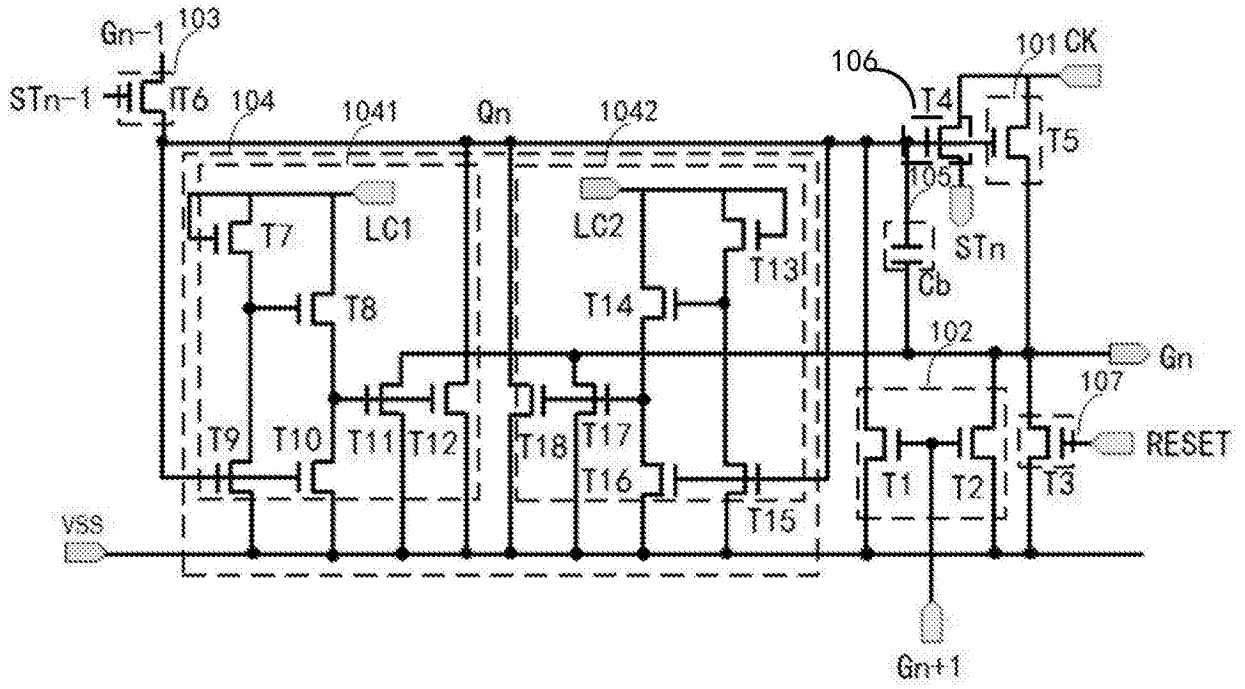


图3

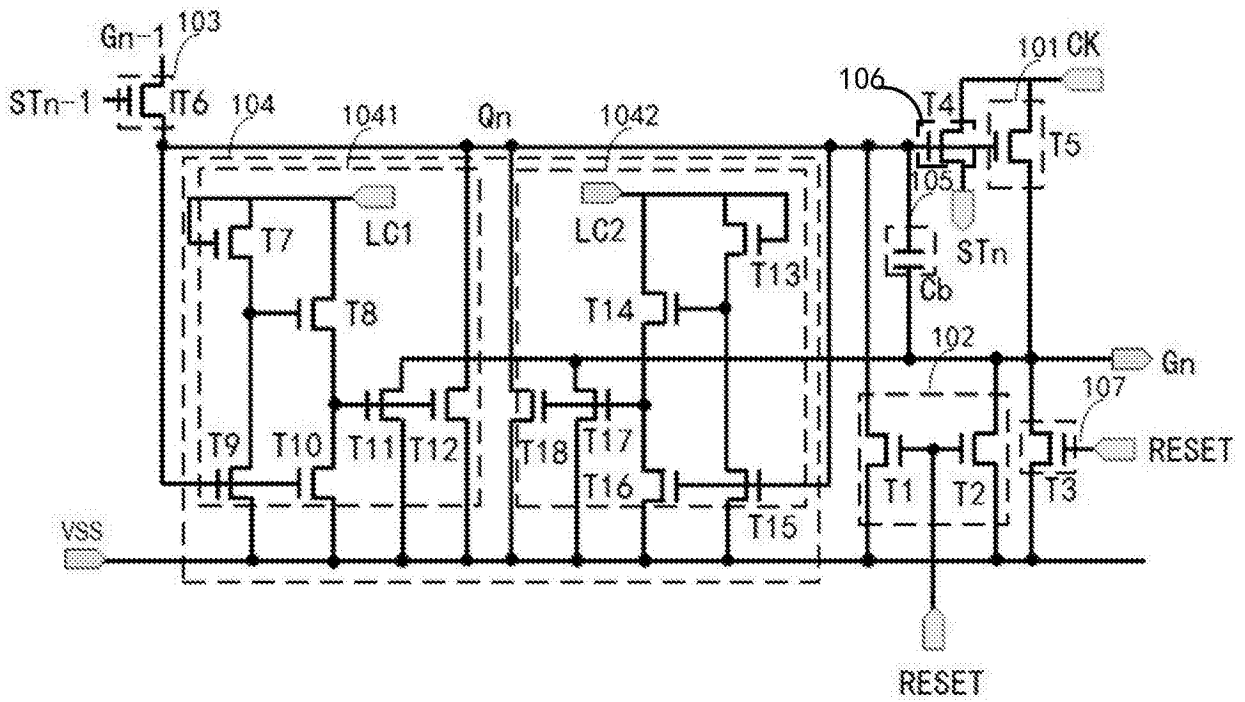


图4

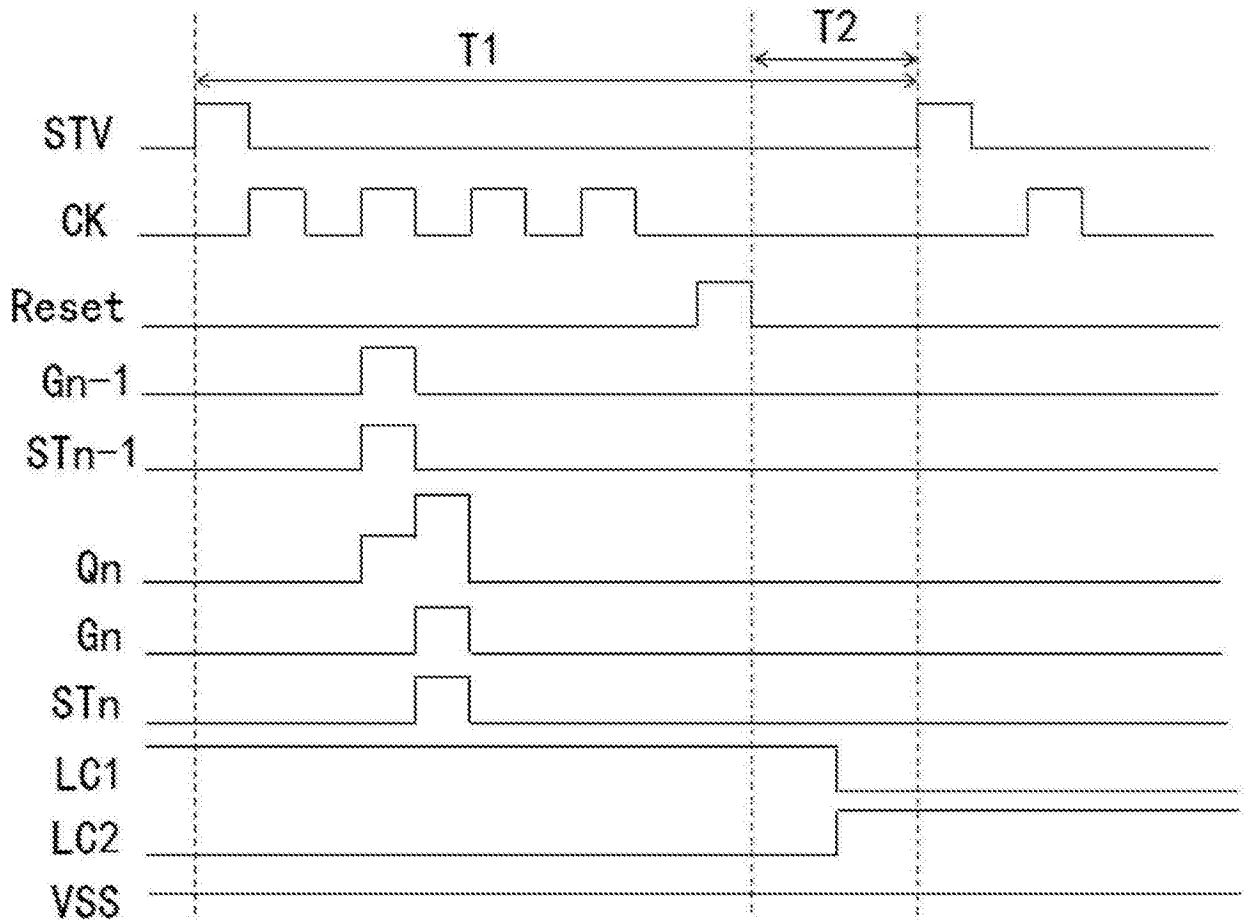


图5

专利名称(译)	GOA驱动电路及液晶显示装置		
公开(公告)号	<a href="#">CN106328084A</a>	公开(公告)日	2017-01-11
申请号	CN201610907367.0	申请日	2016-10-18
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	曾勉		
发明人	曾勉		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677		
代理人(译)	黄威		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明提一种GOA驱动电路及液晶显示装置，该GOA驱动电路包括多个级联的GOA单元，按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线，该第N级GOA单元包括上拉模块、下拉模块、上拉控制模块、下拉维持模块、自举电容模块以及复位模块；所述上拉模块、下拉模块、下拉维持模块以及自举电容模块均分别与第N级栅极信号点 $Q_n$ 以及第N级水平扫描线 $G_n$ 电连接；所述上拉控制模块与所述第N级栅极信号点 $Q_n$ 电连接；所述复位模块包括第一端、第二端以及控制端，所述第一端与第N级水平扫描线 $G_n$ 连接。本发明具有去除液晶显示装置关机时残影的问题。

