



(12) 发明专利申请

(10) 申请公布号 CN 104795043 A

(43) 申请公布日 2015. 07. 22

(21) 申请号 201510236536. 8

(22) 申请日 2015. 05. 11

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

申请人 北京京东方光电科技有限公司

(72) 发明人 薛艳娜 陈小川 姜文博 王磊
王世君

(74) 专利代理机构 北京同达信恒知识产权代理
有限公司 11291

代理人 黄志华

(51) Int. Cl.

G09G 3/36(2006. 01)

G02F 1/1362(2006. 01)

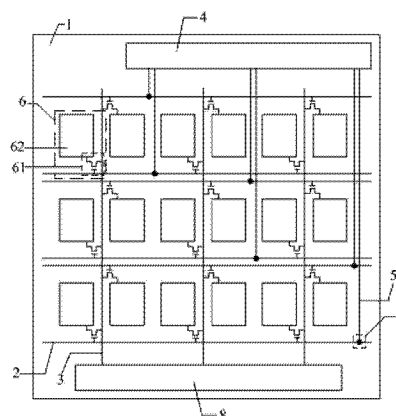
权利要求书1页 说明书5页 附图3页

(54) 发明名称

一种阵列基板、液晶显示面板及显示装置

(57) 摘要

本发明公开了一种阵列基板、液晶显示面板及显示装置,该阵列基板包括:衬底基板、位于衬底基板上交叉而置且相互绝缘的多条栅线和多条数据线、以及位于衬底基板上用于驱动各栅线的栅极驱动电路;栅极驱动电路位于阵列基板的上边框区域内或下边框区域内,与现有的栅极驱动电路位于阵列基板的左边框区域内和右边框区域内的结构相比,可以使阵列基板实现左右无边框的设计。



1. 一种阵列基板,包括:衬底基板、位于所述衬底基板上交叉而置且相互绝缘的多条栅线和多条数据线、以及位于所述衬底基板上用于驱动各所述栅线的栅极驱动电路;其特征在于:

所述栅极驱动电路位于所述阵列基板的上边框区域内或下边框区域内。

2. 如权利要求 1 所述的阵列基板,其特征在于,还包括:与各所述栅线一一对应的多条连接线;

各所述连接线通过过孔仅与对应的所述栅线电性连接;各所述栅线通过对应的所述连接线与所述栅极驱动电路电性连接。

3. 如权利要求 2 所述的阵列基板,其特征在于,在所述阵列基板的显示区域内,各所述连接线与各所述数据线相互平行。

4. 如权利要求 3 所述的阵列基板,其特征在于,还包括:位于所述衬底基板上呈矩阵排列的多个像素单元;相邻的两条所述栅线和相邻的两条所述数据线限定一个像素单元;

所述连接线位于相邻的两列所述像素单元之间的间隙处。

5. 如权利要求 3 所述的阵列基板,其特征在于,还包括:位于所述衬底基板上呈矩阵排列的多个像素单元;每行所述像素单元中相邻的两个所述像素单元分别与位于该行像素单元两侧的所述栅线电性连接;相邻的两列所述像素单元与同一条所述数据线电性连接;

所述连接线位于相邻的两列所述像素单元之间未设置所述数据线的间隙处。

6. 如权利要求 2-5 任一项所述的阵列基板,其特征在于,所述连接线与所述数据线同层设置。

7. 如权利要求 6 所述的阵列基板,其特征在于,各所述连接线之间互不重叠。

8. 如权利要求 7 所述的阵列基板,其特征在于,沿所述数据线的延伸方向,各所述连接线依次分别与对应的所述栅线电性连接。

9. 如权利要求 8 所述的阵列基板,其特征在于,沿所述数据线的延伸方向,各所述过孔依次交错排布。

10. 如权利要求 1-5 任一项所述的阵列基板,其特征在于,还包括:位于所述衬底基板上与各所述数据线一一对应且电性连接的数据线引脚;

各所述数据线引脚和所述栅极驱动电路分别位于所述阵列基板的上边框区域内和下边框区域内;或者,

各所述数据线引脚和所述栅极驱动电路分别位于所述阵列基板的下边框区域内和上边框区域内。

11. 一种液晶显示面板,其特征在于,包括:如权利要求 1-10 任一项所述的阵列基板。

12. 一种显示装置,其特征在于,包括:如权利要求 11 所述的液晶显示面板。

一种阵列基板、液晶显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板、液晶显示面板及显示装置。

背景技术

[0002] 在现有的显示装置中,液晶显示器件(LCD, Liquid Crystal Display)具有功耗低、显示质量高、无电磁辐射以及应用范围广等优点,是目前较为重要的显示装置。

[0003] 目前,窄边框甚至无边框是现有的显示领域的发展趋势。为了使 LCD 实现窄边框的设计,一般采用将栅极驱动电路整合于 LCD 的阵列基板上(Gate On Array,GOA)的技术。如图 1 所示,在阵列基板 100 上设置有交叉而置且相互绝缘的多条栅线 101 和多条数据线 102,为各栅线 101 依次加载栅极扫描信号的栅极驱动电路 103 位于阵列基板 100 的左右两个边框区域内,将各数据线 102 与数据驱动电路电性连接的数据线引脚 104 位于阵列基板 100 的下边框区域内。然而,集成在阵列基板 100 上的栅极驱动电路 103 仍然会占据一定的宽度,制约 LCD 超窄边框甚至无边框的发展。

[0004] 因此,如何进一步减小 LCD 的边框的宽度,是本领域技术人员亟需解决的技术问题。

发明内容

[0005] 有鉴于此,本发明实施例提供了一种阵列基板、液晶显示面板及显示装置,用以进一步减小 LCD 的边框的宽度。

[0006] 因此,本发明实施例提供了一种阵列基板,包括:衬底基板、位于所述衬底基板上交叉而置且相互绝缘的多条栅线和多条数据线、以及位于所述衬底基板上用于驱动各所述栅线的栅极驱动电路;

[0007] 所述栅极驱动电路位于所述阵列基板的上边框区域内或下边框区域内。

[0008] 在一种可能的实现方式中,在本发明实施例提供的上述阵列基板中,还包括:与各所述栅线一一对应的多条连接线;

[0009] 各所述连接线通过过孔仅与对应的所述栅线电性连接;各所述栅线通过对应的所述连接线与所述栅极驱动电路电性连接。

[0010] 在一种可能的实现方式中,在本发明实施例提供的上述阵列基板中,在所述阵列基板的显示区域内,各所述连接线与各所述数据线相互平行。

[0011] 在一种可能的实现方式中,在本发明实施例提供的上述阵列基板中,还包括:位于所述衬底基板上呈矩阵排列的多个像素单元;相邻的两条所述栅线和相邻的两条所述数据线限定一个像素单元;

[0012] 所述连接线位于相邻的两列所述像素单元之间的间隙处。

[0013] 在一种可能的实现方式中,在本发明实施例提供的上述阵列基板中,还包括:位于所述衬底基板上呈矩阵排列的多个像素单元;每行所述像素单元中相邻的两个所述像素单元分别与位于该行像素单元两侧的所述栅线电性连接;相邻的两列所述像素单元与同一条

所述数据线电性连接；

[0014] 所述连接线位于相邻的两列所述像素单元之间未设置所述数据线的间隙处。

[0015] 在一种可能的实现方式中，在本发明实施例提供的上述阵列基板中，所述连接线与所述数据线同层设置。

[0016] 在一种可能的实现方式中，在本发明实施例提供的上述阵列基板中，各所述连接线之间互不重叠。

[0017] 在一种可能的实现方式中，在本发明实施例提供的上述阵列基板中，沿所述数据线的延伸方向，各所述连接线依次分别与对应的所述栅线电性连接。

[0018] 在一种可能的实现方式中，在本发明实施例提供的上述阵列基板中，沿所述数据线的延伸方向，各所述过孔依次交错排布。

[0019] 在一种可能的实现方式中，在本发明实施例提供的上述阵列基板中，还包括：位于所述衬底基板上与各所述数据线一一对应且电性连接的数据线引脚；

[0020] 各所述数据线引脚和所述栅极驱动电路分别位于所述阵列基板的上边框区域内和下边框区域内；或者，

[0021] 各所述数据线引脚和所述栅极驱动电路分别位于所述阵列基板的下边框区域内和上边框区域内。

[0022] 本发明实施例还提供了一种液晶显示面板，包括：本发明实施例提供的上述阵列基板。

[0023] 本发明实施例还提供了一种显示装置，包括：本发明实施例提供的上述液晶显示面板。

[0024] 本发明实施例提供的上述阵列基板、液晶显示面板及显示装置，该阵列基板包括：衬底基板、位于衬底基板上交叉而置且相互绝缘的多条栅线和多条数据线、以及位于衬底基板上用于驱动各栅线的栅极驱动电路；栅极驱动电路位于阵列基板的上边框区域内或下边框区域内，与现有的栅极驱动电路位于阵列基板的左边框区域内和右边框区域内的结构相比，可以使阵列基板实现左右无边框的设计。

附图说明

[0025] 图 1 为现有的阵列基板的结构示意图；

[0026] 图 2 和图 3 分别为本发明实施例提供的阵列基板的结构示意图。

具体实施方式

[0027] 下面结合附图，对本发明实施例提供的一种阵列基板、液晶显示面板及显示装置的具体实施方式进行详细地说明。

[0028] 本发明实施例提供了一种阵列基板，如图 2 和图 3 所示，包括：衬底基板 1、位于衬底基板 1 上交叉而置且相互绝缘的多条栅线 2 和多条数据线 3、以及位于衬底基板 1 上用于驱动各栅线 2 的栅极驱动电路 4；

[0029] 栅极驱动电路 4 位于阵列基板的上边框区域内（如图 2 和图 3 所示）或下边框区域内。

[0030] 本发明实施例提供的上述阵列基板，由于将栅极驱动电路设置在阵列基板的上

边框区域内或下边框区域内,这样,与现有的栅极驱动电路位于阵列基板的左边框区域内和右边框区域内的结构相比,本发明实施例提供的上述阵列基板可以实现左右无边框的设计。

[0031] 在具体实施时,在本发明实施例提供的上述阵列基板中,如图 2 和图 3 所示,还可以包括:与各栅线 2 一一对应的多条连接线 5;各连接线 5 通过过孔 7 仅与对应的栅线 2 电性连接;各栅线 2 通过对应的连接线 5 与栅极驱动电路 4 电性连接,这样,栅极驱动电路 4 可以通过连接线 5 向各栅线 2 依次加载栅极扫描信号,实现对各栅线 2 的逐行驱动。

[0032] 当然,在本发明实施例提供的上述阵列基板中,位于阵列基板的上边框区域内或下边框区域内的栅极驱动电路还可以通过其他类似的方式实现对各栅线依次加载栅极扫描信号,在此不做限定。

[0033] 在具体实施时,在本发明实施例提供的上述阵列基板中,如图 2 和图 3 所示,在阵列基板的显示区域内,各连接线 5 可以与各数据线 3 相互平行;或者,各连接线也可以与各数据线交叉设置,此时,为了避免各连接线出现漏光的问题,需要满足各连接线的材料为透明导电材料,例如,氧化铟锡 (Indium Tin Oxides, ITO) 等。

[0034] 在具体实施时,在本发明实施例提供的上述阵列基板中,如图 2 所示,还可以包括:位于衬底基板 1 上呈矩阵排列的多个像素单元 6;每个像素单元 6 可以包括薄膜晶体管 61 和像素电极 62,其中,薄膜晶体管 61 的栅极与栅线 2 电性连接,薄膜晶体管 61 的源极与数据线 3 电性连接,薄膜晶体管 61 的漏极与像素电极 62 电性连接;相邻的两条栅线 2 和相邻的两条数据线 3 限定一个像素单元 6;在连接线 5 的材料为不透明的导电材料例如金属时,可以将连接线 5 设置于相邻的两列像素单元 6 之间的间隙处,即将连接线 5 设置于数据线 3 所在的相邻的两列像素单元 6 之间的间隙处,这样,可以避免各连接线 5 出现漏光的问题。

[0035] 需要说明的是,在本发明实施例提供的上述阵列基板中,在栅线的数量大于数据线的数量时,连接线的数量与栅线的数量相同,即连接线的数量大于数据线的数量,此时,会出现一条数据线所在的相邻的两列像素单元之间的间隙处设置多条连接线的情况;在栅线的数量小于数据线的数量时,连接线的数量与栅线的数量相同,即连接线的数量小于数据线的数量,此时,可以在一条数据线所在的相邻的两列像素单元之间的间隙处设置一条连接线,并且会出现部分数据线所在间隙处不设置连接线的情况;在栅线的数量等于数据线的数量时,连接线的数量与栅线的数量相同,即连接线的数量等于数据线的数量,此时,可以在每条数据线所在间隙处设置一条连接线。

[0036] 在具体实施时,在本发明实施例提供的上述阵列基板中,如图 3 所示,还可以包括:位于衬底基板 1 上呈矩阵排列的多个像素单元 6;每个像素单元 6 可以包括薄膜晶体管 61 和像素电极 62,其中,薄膜晶体管 61 的栅极与栅线 2 电性连接,薄膜晶体管 61 的源极与数据线 3 电性连接,薄膜晶体管 61 的漏极与像素电极 62 电性连接;每行像素单元 6 中相邻的两个像素单元 6 分别与位于该行像素单元 6 两侧的栅线 2 电性连接,例如,如图 3 所示,每行像素单元 6 中,偶数列的像素单元 6 分别通过各自的薄膜晶体管 61 的栅极与位于该行像素单元 6 上方的栅线 2 电性连接,奇数列的像素单元 6 分别通过各自的薄膜晶体管 61 的栅极与位于该行像素单元 6 下方的栅线 2 电性连接;相邻的两列像素单元 6 与同一条数据线 3 电性连接,例如,如图 3 所示,第一列像素单元 6 和第二列像素单元 6 均与位于该两列

像素单元之间间隙处的数据线 3 电性连接；在连接线 5 的材料为不透明的导电材料例如金属时，可以将连接线 5 设置于相邻的两列像素单元 6 之间的间隙处，以避免各连接线 5 出现漏光的问题，进一步地，为了避免连接线 5 上加载的栅极扫描信号与数据线 3 上加载的灰阶信号之间相互干扰，如图 3 所示，可以将连接线 5 设置于相邻的两列像素单元 6 之间未设置数据线 3 的间隙处。

[0037] 需要说明的是，在本发明实施例提供的上述阵列基板中，在每行像素单元中相邻的两个像素单元分别与位于该行像素单元两侧的栅线电性连接时，并非局限于如图 3 所示的结构，也可以在每行像素单元中，奇数列的像素单元与位于该行像素单元上方的栅线电性连接，偶数列的像素单元与位于该行像素单元下方的栅线电性连接，在此不做限定。

[0038] 需要说明的是，在本发明实施例提供的上述阵列基板中，在栅线的数量大于数据线的数量时，由于连接线的数量与栅线的数量相同，相邻两列像素单元之间未设置数据线的间隙（即用于设置连接线的位置）的数量与数据线的数量相当，因此，连接线的数量大于相邻两列像素单元之间未设置数据线的间隙（即用于设置连接线的位置）的数量，此时，会出现一个未设置数据线的间隙处设置多条连接线的情况；在栅线的数量小于数据线的数量时，由于连接线的数量与栅线的数量相同，相邻两列像素单元之间未设置数据线的间隙（即用于设置连接线的位置）的数量与数据线的数量相当，因此，连接线的数量小于相邻两列像素单元之间未设置数据线的间隙（即用于设置连接线的位置）的数量，此时，可以在一个未设置数据线的间隙处设置一条连接线，并且会出现部分未设置数据线的间隙处不设置连接线的情况；在栅线的数量等于数据线的数量时，由于连接线的数量与栅线的数量相同，相邻两列像素单元之间未设置数据线的间隙（即用于设置连接线的位置）的数量与数据线的数量相当，因此，连接线的数量与相邻两列像素单元之间未设置数据线的间隙（即用于设置连接线的位置）的数量相当，此时，可以在一个未设置数据线的间隙处设置一条连接线。

[0039] 较佳地，为了简化阵列基板的制作工艺，降低阵列基板的制作成本，在本发明实施例提供的上述阵列基板中，可以将各连接线与各数据线同层设置，即各连接线与各数据线位于同一膜层且两者材质相同，各连接线所在膜层与各栅线所在膜层之间具有绝缘层，各连接线通过贯穿该绝缘层的过孔仅与对应的栅线电性连接。

[0040] 在具体实施时，在本发明实施例提供的上述阵列基板中，如图 2 和图 3 所示，各连接线 5 之间互不重叠，这样，可以避免各连接线 5 之间发生短路的问题。

[0041] 较佳地，为了简化制作工艺，在本发明实施例提供的上述阵列基板中，如图 2 和图 3 所示，沿着数据线 3 的延伸方向，各连接线 5 依次分别与对应的栅线 2 电性连接，即第一条连接线与第一条栅线电性连接，第二条连接线与第二条栅线电性连接，以此类推。

[0042] 最佳地，为了进一步地简化制作工艺，在本发明实施例提供的上述阵列基板中，如图 2 和图 3 所示，沿着数据线 3 的延伸方向，各过孔 7 依次交错排布。

[0043] 当然，在本发明实施例提供的上述阵列基板中，各连接线与对应的栅线实现电性连接并非局限于如图 2 和图 3 所示的结构，还可以为其他可以将各连接线与对应的栅线电性连接的类似结构，在此不做限定。

[0044] 在具体实施时，在本发明实施例提供的上述阵列基板中，如图 2 和图 3 所示，还可以包括：位于衬底基板 1 上与各数据线 3 一一对应且电性连接的数据线引脚 8，各数据线 3

通过对应的数据线引脚 8 与数据驱动电路电性连接 ; 可以将各数据线引脚和栅极驱动电路分别设置于阵列基板的上边框区域内和下边框区域内 ; 或者, 如图 2 和图 3 所示, 也可以将各数据线引脚 8 和栅极驱动电路 4 分别设置于阵列基板的下边框区域内和上边框区域内, 即栅极驱动电路 4 位于阵列基板的上边框区域内, 各数据线引脚 8 位于阵列基板的下边框区域内, 这样, 可以避免各数据线引脚 8 和栅极驱动电路 4 之间发生短路的问题。

[0045] 基于同一发明构思, 本发明实施例还提供了一种液晶显示面板, 包括本发明实施例提供的上述阵列基板, 该液晶显示面板的实施可以参见上述阵列基板的实施例, 重复之处不再赘述。

[0046] 基于同一发明构思, 本发明实施例还提供了一种显示装置, 包括本发明实施例提供的上述液晶显示面板, 该显示装置可以为 : 手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。该显示装置的实施可以参见上述液晶显示面板的实施例, 重复之处不再赘述。

[0047] 本发明实施例提供的一种阵列基板、液晶显示面板及显示装置, 该阵列基板包括 : 衬底基板、位于衬底基板上交叉而置且相互绝缘的多条栅线和多条数据线、以及位于衬底基板上用于驱动各栅线的栅极驱动电路 ; 栅极驱动电路位于阵列基板的上边框区域内或下边框区域内, 与现有的栅极驱动电路位于阵列基板的左边框区域内和右边框区域内的结构相比, 可以使阵列基板实现左右无边框的设计。

[0048] 显然, 本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样, 倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内, 则本发明也意图包含这些改动和变型在内。

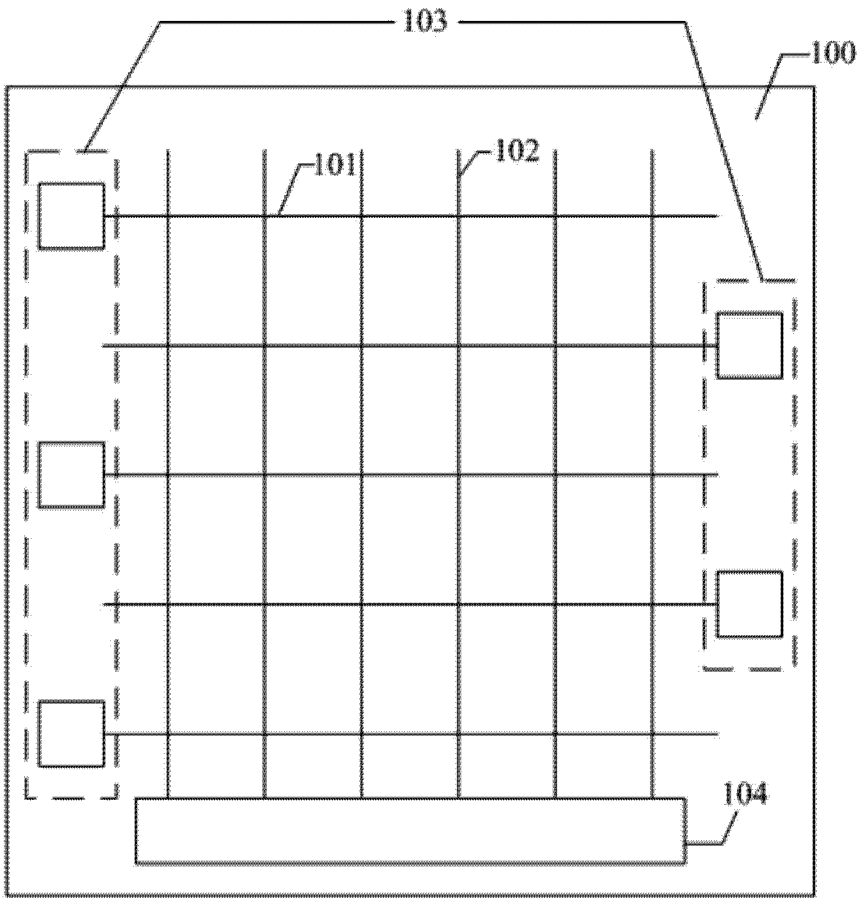


图 1

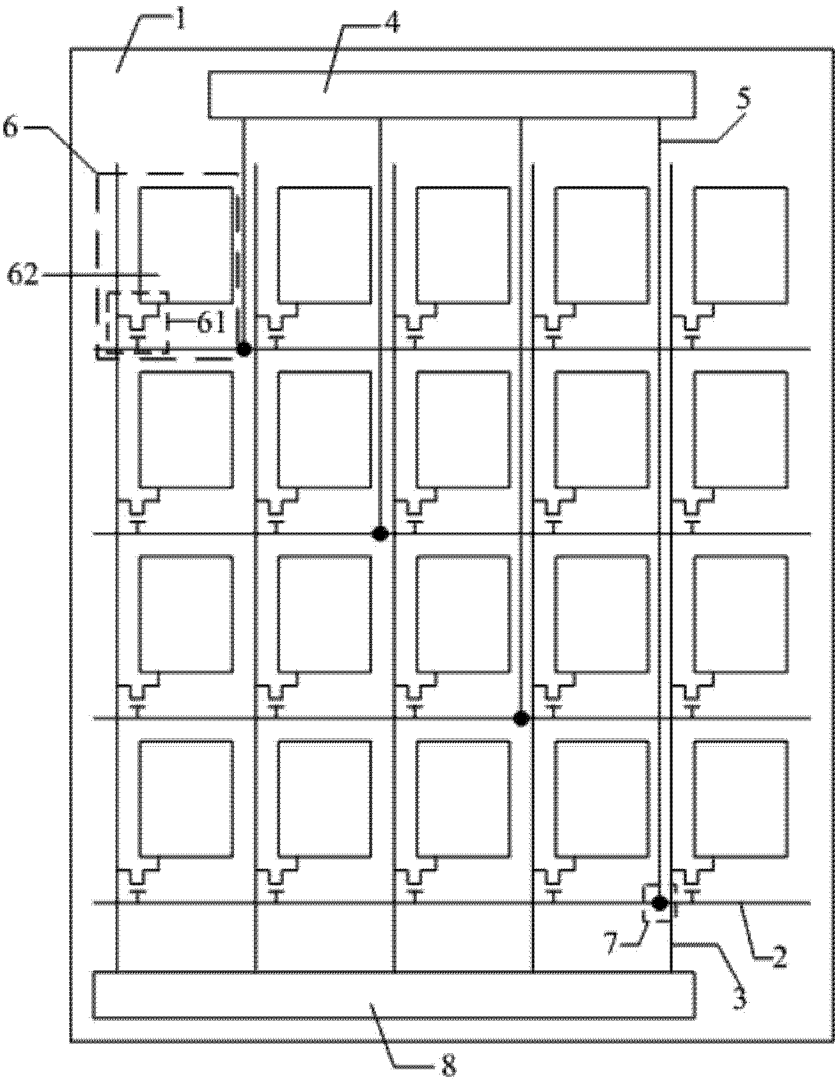


图 2

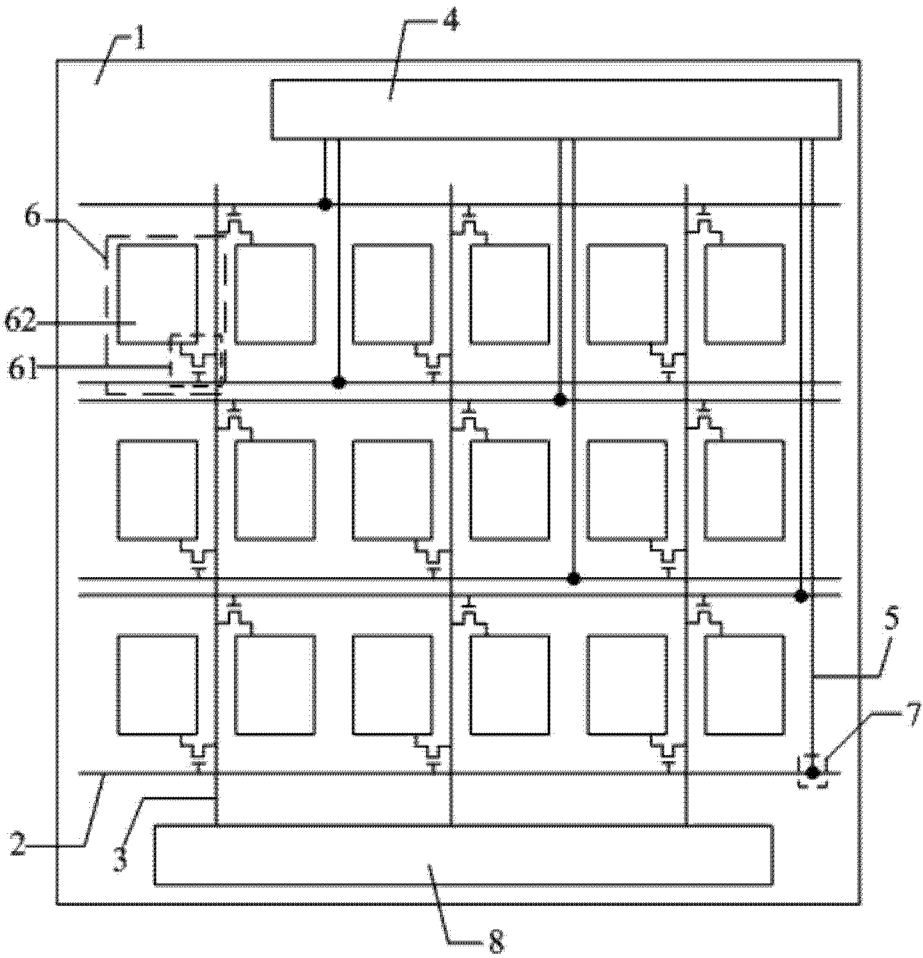


图 3

专利名称(译)	一种阵列基板、液晶显示面板及显示装置		
公开(公告)号	CN104795043A	公开(公告)日	2015-07-22
申请号	CN201510236536.8	申请日	2015-05-11
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
[标]发明人	薛艳娜 陈小川 姜文博 王磊 王世君		
发明人	薛艳娜 陈小川 姜文博 王磊 王世君		
IPC分类号	G09G3/36 G02F1/1362		
CPC分类号	G02F1/136286 G02F1/13454 G09G3/3648 G09G3/3688 G09G2300/0426		
代理人(译)	黄志华		
其他公开文献	CN104795043B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板、液晶显示面板及显示装置，该阵列基板包括：衬底基板、位于衬底基板上交叉而置且相互绝缘的多条栅线和多条数据线、以及位于衬底基板上用于驱动各栅线的栅极驱动电路；栅极驱动电路位于阵列基板的上边框区域内或下边框区域内，与现有的栅极驱动电路位于阵列基板的左边框区域内和右边框区域内的结构相比，可以使阵列基板实现左右无边框的设计。

