



(12) 发明专利申请

(10) 申请公布号 CN 104505048 A

(43) 申请公布日 2015. 04. 08

(21) 申请号 201410856556. 0

(22) 申请日 2014. 12. 31

(71) 申请人 深圳市华星光电技术有限公司  
地址 518132 广东省深圳市光明新区塘明大道 9-2 号

(72) 发明人 曹尚操

(74) 专利代理机构 广州三环专利代理有限公司  
44202

代理人 郝传鑫 熊永强

(51) Int. Cl.  
G09G 3/36(2006. 01)

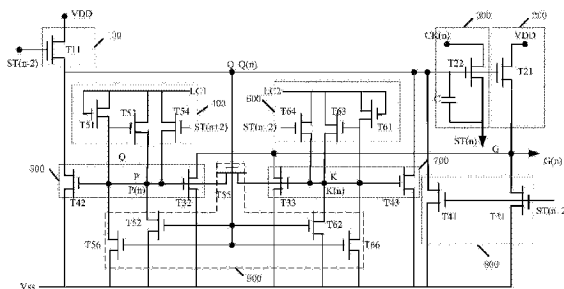
权利要求书4页 说明书10页 附图3页

(54) 发明名称

一种 GOA 电路及液晶显示装置

(57) 摘要

本发明实施例公开了一种 GOA 电路及液晶显示装置,其包括多个级联的 GOA 单元,其中第 n 级 GOA 单元对显示区域第 n 级水平扫描线充电,该第 n 级 GOA 单元包括一上拉控制电路、一上拉电路、一下传电路、一第一下拉控制电路、一第一下拉电路、一第二下拉控制电路、一第二下拉电路及一主下拉电路,其中 n 为正整数。采用本发明可提高 GOA 电路的级传效率,提高扫描驱动信号的输出质量以提高液晶显示管的充电率,还能加快扫描驱动信号的下拉速度。



1. 一种 GOA 电路,其特征在于,包括多个级联的 GOA 单元,其中第  $n$  级 GOA 单元对显示区域第  $n$  级水平扫描线充电,该第  $n$  级 GOA 单元包括一上拉控制电路、一上拉电路、一下传电路、一第一下拉控制电路、一第一下拉电路、一第二下拉控制电路、一第二下拉电路及一主下拉电路,其中  $n$  为正整数;

所述上拉控制电路,接收第  $n-2$  级 GOA 单元输出的  $n-2$  级级传信号  $ST(n-2)$ ,并根据所述  $n-2$  级级传信号  $ST(n-2)$  输出一上拉控制信号  $Q(n)$ ;

所述上拉电路,接收一直流高压信号  $VDD$  与所述上拉控制信号  $Q(n)$ ,并根据所述直流高压信号  $VDD$  与所述上拉控制信号  $Q(n)$  输出一扫描驱动信号  $G(n)$ ;

所述下传电路,接收一时钟信号  $CK(n)$  与所述上拉控制信号  $Q(n)$ ,并根据所述时钟信号  $CK(n)$  与所述上拉控制信号  $Q(n)$  输出一  $n$  级级传信号  $ST(n)$ ;

所述第一下拉控制电路,接收一第一低频时钟信号  $LC1$  和第  $n+2$  级 GOA 单元输出的  $n+2$  级级传信号  $ST(n+2)$ ,并根据所述第一低频时钟信号  $LC1$  和所述  $n+2$  级级传信号  $ST(n+2)$  输出一第一下拉控制信号  $P(n)$ ;

所述第一下拉电路,接收所述第一下拉控制信号  $P(n)$  和一直流低压信号  $Vss$ ,并根据所述第一下拉控制信号  $P(n)$  和所述直流低压信号  $Vss$  下拉所述上拉控制信号  $Q(n)$ ,进而下拉所述扫描驱动信号  $G(n)$  和所述  $n$  级级传信号  $ST(n)$ ;

所述第二下拉控制电路,接收一第二低频时钟信号  $LC2$  和所述  $n+2$  级级传信号  $ST(n+2)$ ,并根据所述第二低频时钟信号  $LC2$  和所述  $n+2$  级级传信号  $ST(n+2)$  输出一第二下拉控制信号  $K(n)$ ;

所述第二下拉电路,接收所述第二下拉控制信号  $K(n)$  和所述直流低压信号  $Vss$ ,并根据所述第二下拉控制信号  $K(n)$  和所述直流低压信号  $Vss$  下拉所述上拉控制信号  $Q(n)$ ,进而所述扫描驱动信号  $G(n)$  和所述  $n$  级级传信号  $ST(n)$ ;

所述主下拉电路,接收所述直流低压信号  $Vss$  和所述  $n+2$  级级传信号  $ST(n+2)$ ,并根据所述直流低压信号  $Vss$  和所述  $n+2$  级级传信号  $ST(n+2)$  下拉所述上拉控制信号  $Q(n)$  和所述扫描驱动信号  $G(n)$ 。

2. 根据权利要求 1 所述的电路,其特征在于,

所述第一下拉控制电路,还用以接收所述高压直流信号  $VDD$  和所述第二低频信号  $LC2$ ,并根据所述第一低频信号  $LC1$ 、所述直流高压信号  $VDD$ 、所述第二低频信号  $LC2$  和所述  $n+2$  级级传信号  $ST(n+2)$  输出所述第一下拉控制信号  $P(n)$ ;

所述第二下拉控制电路,还用以接收所述高压直流信号  $VDD$  和所述第一低频信号  $LC1$ ,并根据所述第一低频信号  $LC1$ 、所述直流高压信号  $VDD$ 、所述第二低频信号  $LC2$  和所述  $n+2$  级级传信号  $ST(n+2)$  输出所述第二下拉控制信号  $K(n)$ 。

3. 根据权利要求 1 所述的电路,其特征在于,所述 GOA 电路还包括:

上拉维持电路,接收所述上拉控制信号  $Q(n)$  和所述直流低压信号  $Vss$ ,并根据所述上拉控制信号  $Q(n)$  和所述直流低压信号  $Vss$  下拉所述第一下拉控制信号  $P(n)$  和所述第二下拉控制信号  $K(n)$ ,以维持所述上拉电路和所述下传电路分别输出所述扫描驱动信号  $G(n)$  和所述  $n$  级级传信号  $ST(n)$ 。

4. 根据权利要求 1 所述的电路,其特征在于,

所述上拉控制电路包括:第一薄膜晶体管 ( $T11$ ),其控制端输入所述  $n-2$  级级传信号

ST(n-2),其第一端输入所述直流高压信号 VDD,其第二端与上拉控制信号点 Q 连接,用以根据所述 n-2 级级传信号 ST(n-2) 和所述直流高压信号 VDD 输出所述上拉控制信号 Q(n);

所述上拉电路包括:第二薄膜晶体管(T21),其控制端与所述上拉控制信号点 Q 连接,用以接收所述上拉控制信号 Q(n),其第一端输入所述直流高压信号 VDD,其第二端与水平扫描线 G 连接,用以根据所述上拉控制信号 Q(n) 和所述直流高压信号 VDD 输出扫描驱动信号 G(n);

所述下传电路包括:第三薄膜晶体管(T22),其控制端与所述上拉控制信号点 Q 连接,用以接收所述上拉控制信号 Q(n),其第一端输入所述时钟信号 CK(n),其第二端根据所述 n-2 级级传信号 ST(n-2) 和所述直流高压信号 VDD 输出所述级传信号 ST(n)。

5. 根据权利要求 4 所述的电路,其特征在于,

所述第一下拉控制电路包括:第四薄膜晶体管(T51),其控制端与第一端输入所述第一低频信号 LC1;第五薄膜晶体管(T53),其控制端与所述第四薄膜晶体管(T51)的第二端连接,其第一端输入所述第一低频信号 LC1;第六薄膜晶体管(T54),其控制端输入所述 n+2 级级传信号 ST(n+2),其第一端输入所述第一低频信号 LC1;所述第四薄膜晶体管(T51)、所述第五薄膜晶体管(T53)和所述第六薄膜晶体管(T54)的第二端与第一下拉控制信号点 P 连接,以输出所述第一下拉控制信号 P(n);

所述第一下拉电路包括:第七薄膜晶体管(T42),其控制端与所述第一下拉控制信号点 P 连接,用以接收所述第一下拉控制信号 P(n),其第二端输入一直流低压信号 Vss,其第一端与所述上拉控制信号点 Q 连接,用以根据所述第一下拉控制信号 P(n) 和所述直流低压信号 Vss 下拉所述上拉控制信号 Q(n);第八薄膜晶体管(T32),其控制端与所述第一下拉控制信号点 P 连接,用以接收所述第一下拉控制信号 P(n),其第二端输入所述直流低压信号 Vss,其第一端连接所述水平扫描线 G,用以根据所述第一下拉控制信号 P(n) 所述直流低压信号 Vss 下拉所述扫描驱动信号 G(n);

所述第二下拉控制电路包括:第九薄膜晶体管(T61),其控制端与第一端输入所述第二低频信号 LC2;第十薄膜晶体管(T63),其控制端与所述第九薄膜晶体管(T61)的第一端连接,其第一端输入所述第二低频信号 LC2;第十一薄膜晶体管(T64),其控制端输入所述 n+2 级级传信号 ST(n+2),其第一端输入所述第二低频信号 LC2;所述第九薄膜晶体管(T61)、所述第十薄膜晶体管(T63)和所述第十一薄膜晶体管(T64)的第二端与第二下拉控制信号点 K 连接,以输出所述第二下拉控制信号 K(n);

所述第二下拉电路包括:第十二薄膜晶体管(T43),其控制端与所述第二下拉控制信号点 K 连接,用以接收所述第二下拉控制信号 K(n),其第二端输入所述直流低压信号 Vss,其第一端与所述上拉控制信号点 Q 连接,用以根据所述第二下拉控制信号 K(n) 和所述直流低压信号 Vss 下拉所述上拉控制信号 Q(n);第十三薄膜晶体管(T33),其控制端与所述第二下拉控制信号点 K 连接,用以接收所述第二下拉控制信号 K(n),其第二端输入所述直流低压信号 Vss,其第一端连接所述水平扫描线 G,用以根据所述第二下拉控制信号 K(n) 和所述直流低压信号 Vss 下拉所述扫描驱动信号 G(n);

所述主下拉电路包括:第十四薄膜晶体管(T41),其控制端输入所述 n+2 级级传信号 ST(n+2),其第二端输入所述直流低压信号 Vss,其第一端与所述上拉控制信号点 Q 连接,用以根据所述 n+2 级级传信号 ST(n+2) 和所述直流低压信号 Vss 下拉所述上拉控制信号

Q(n) ;第十五薄膜晶体管 (T31),其控制端输入所述 n+2 级级传信号 ST(n+2),其第二端输入所述直流低压信号 V<sub>SS</sub>,其第一端连接所述水平扫描线 G,用以根据所述 n+2 级级传信号 ST(n+2) 和所述直流低压信号 V<sub>SS</sub> 下拉所述扫描驱动信号 G(n)。

6. 根据权利要求 5 所述的电路,其特征在于,所述上拉维持电路包括:

一第十六薄膜晶体管 (T52),其控制端与所述上拉控制信号点 Q 连接,以接收所述上拉控制信号 Q(n),其第二端输入所述直流低压信号 V<sub>SS</sub>,其第一端连接所述第一下拉信号控制点 P,用以根据所述上拉控制信号 Q(n) 和所述直流低压信号 V<sub>SS</sub> 下拉所述下拉控制信号 P(n);

一第十七薄膜晶体管 (T56),其控制端与所述上拉控制信号点 Q 连接,以接收所述上拉控制信号 Q(n),其第二端输入所述直流低压信号 V<sub>SS</sub>,其第一端连接所述第一下拉信号控制点 P,用以根据所述上拉控制信号 Q(n) 和所述直流低压信号 V<sub>SS</sub> 下拉所述下拉控制信号 P(n);

一第十八薄膜晶体管 (T62),其控制端与所述上拉控制信号点 Q 连接,以接收所述上拉控制信号 Q(n),其第二端输入所述直流低压信号 V<sub>SS</sub>,其第一端连接所述第二下拉信号控制点 K,用以根据所述上拉控制信号 Q(n) 和所述直流低压信号 V<sub>SS</sub> 下拉所述下拉控制信号 K(n);

一第十九薄膜晶体管 (T66),其控制端与所述上拉控制信号点 Q 连接,以接收所述上拉控制信号 Q(n),其第二端输入所述直流低压信号 V<sub>SS</sub>,其第一端连接所述第二下拉信号控制点 K,用以根据所述上拉控制信号 Q(n) 和所述直流低压信号 V<sub>SS</sub> 下拉所述下拉控制信号 K(n);

一第二十薄膜晶体管 (T55),其控制端与所述上拉控制信号点 Q 连接,以接收所述上拉控制信号 Q(n),其第二端与所述第二下拉控制信号点 K 连接,其第一端与所述第一下拉控制信号点 P 连接,用以根据所述上拉控制信号 Q(n) 控制所述第一下拉控制信号 P(n) 和所述第二下拉控制信号 K(n) 保持相同的电位。

7. 根据权利要求 4 所述的电路,其特征在于,所述下传电路还包括:

一自举电容 (C),所述自举电容 (C) 与所述第三薄膜晶体管 (T22) 的控制端和第二端耦接,用以抬高所述上拉控制信号 Q(n)。

8. 根据权利要求 4 所述的电路,其特征在于,所述第一下拉控制电路包括:

一第四薄膜晶体管 (T51),其控制端与第一端输入所述第一低频信号 LC1;

一第五薄膜晶体管 (T53),其控制端与所述第四薄膜晶体管 (T51) 的第二端连接,其第一端输入所述第一低频信号 LC1;

一第六薄膜晶体管 (T54),其控制端输入所述第二低频信号 LC2,其第一端输入所述第一低频信号 LC1;

一第二十一薄膜晶体管 (T10),其控制端输入所述 n+2 级级传信号 ST(n+2),其第一端输入所述直流高压信号 V<sub>DD</sub>;

所述第四薄膜晶体管 (T51)、所述第五薄膜晶体管 (T53)、所述第二十一薄膜晶体管 (T10) 和所述第六薄膜晶体管 (T54) 的第二端与第一下拉控制信号点 P 连接,以输出所述第一下拉控制信号 P(n)。

9. 根据权利要求 4 所述的电路,其特征在于,所述第二下拉控制电路包括:

- 一第九薄膜晶体管 (T61), 其控制端与第一端输入所述第二低频信号 LC2;
  - 一第十薄膜晶体管 (T63), 其控制端与所述第九薄膜晶体管 (T61) 的第二端连接, 其第一端输入所述第二低频信号 LC2;
  - 一第十一薄膜晶体管 (T64), 其控制端输入所述第一低频信号 LC1, 其第一端输入所述第二低频信号 LC2;
  - 一第二十二薄膜晶体管 (T12), 其控制端输入所述  $n+2$  级级传信号 ST( $n+2$ ), 其第一端输入所述直流高压信号 VDD;
- 所述第九薄膜晶体管 (T61)、所述第十薄膜晶体管 (T63)、所述第二十二薄膜晶体管 (T12) 和所述第十一薄膜晶体管 (T64) 的第二端与第二下拉控制信号点 K 连接, 以输出所述第二下拉控制信号 K(n)。
10. 一种液晶显示装置, 其特征在于, 包括如权利要求 1 ~ 9 任一项所述的用于液晶显示的 GOA 电路。

## 一种 GOA 电路及液晶显示装置

### 技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及一种 GOA 电路及一种液晶显示装置。

### 背景技术

[0002] 液晶显示器具有轻薄短小、节能、辐射指标普遍低于 CRT (Cathode Ray Tube, 阴极射线管) 的优点,使之逐渐代替 CRT 显示器在各类电子产品中广泛应用。目前主动式液晶显示面板水平扫描线的驱动,主要由面板外接的 IC 来完成,外接的 IC 可以控制各级水平扫描线的逐级充电和放电。而 GOA (Gate Driver on Array, 阵列基板行扫描驱动) 技术,利用 TFT (Thin-film transistor, 薄膜晶体管) 液晶显示器阵列制程将 Gate 行扫描驱动信号电路制作在阵列基板上,实现对 Gate 逐行扫描的驱动,因此,可以运用液晶显示面板的原有制程,将水平扫描线的驱动电路制作在显示区周围的基板上。GOA 技术能减少外接 IC 的绑定工序,可提升产能并降低产品成本,并使液晶显示面板更适合制作窄边框或无边框的显示产品。

[0003] GOA 电路的主要架构包括:上拉电路、上拉控制电路、下传电路、下拉电路、下拉维持电路以及负责电位抬升的 Boast (自举) 电容。现有技术中,GOA 电路的下传电路和上拉电路中,主要由 CK (时钟信号) 作为扫描驱动信号和级传信号的输出源,但 CK 经过 COF (Chip On Film, 覆晶薄膜) 到 GOA 的走线后,其本身信号延迟已经很严重;不仅影响 GOA 级传,也影响扫描驱动信号的输出质量而牺牲一定的充电率,常用的缓解 CK 延迟的方法为加宽 CK,但这样会增加液晶显示器边框宽度。

### 发明内容

[0004] 本发明实施例提供了一种 GOA 电路及液晶显示装置,可提高 GOA 电路中 GOA 单元的级传效率,提高扫描驱动信号的输出质量以提高液晶显示管的充电率,还能加快扫描驱动信号的下拉速度。

[0005] 本发明实施例提供了一种 GOA 电路及液晶显示装置,所述电路包括:多个级联的 GOA 单元,其中第  $n$  级 GOA 单元对显示区域第  $n$  级水平扫描线充电,该第  $n$  级 GOA 单元包括一上拉控制电路、一上拉电路、一下传电路、一第一下拉控制电路、一第一下拉电路、一第二下拉控制电路、一第二下拉电路及一主下拉电路,其中  $n$  为正整数;

[0006] 所述上拉控制电路,接收第  $n-2$  级 GOA 单元输出的  $n-2$  级级传信号  $ST(n-2)$ ,并根据所述  $n-2$  级级传信号  $ST(n-2)$  输出一上拉控制信号  $Q(n)$ ;

[0007] 所述上拉电路,接收一直流高压信号 VDD 与所述上拉控制信号  $Q(n)$ ,并根据所述直流高压信号 VDD 与所述上拉控制信号  $Q(n)$  输出一扫描驱动信号  $G(n)$ ;

[0008] 所述下传电路,接收一时钟信号  $CK(n)$  与所述上拉控制信号  $Q(n)$ ,并根据所述时钟信号  $CK(n)$  与所述上拉控制信号  $Q(n)$  输出一  $n$  级级传信号  $ST(n)$ ;

[0009] 所述第一下拉控制电路,接收一第一低频时钟信号 LC1 和  $n+2$  级 GOA 单元产生的  $n+2$  级级传信号  $ST(n+2)$ ,并根据所述第一低频时钟信号 LC1 和所述  $n+2$  级级传信号

ST(n+2) 输出一第一下拉控制信号 P(n) ;

[0010] 所述第一下拉电路,接收所述第一下拉控制信号 P(n) 和一直流低压信号 Vss,并根据所述第一下拉控制信号 P(n) 和所述直流低压信号 Vss 下拉所述上拉控制信号 Q(n),进而下拉所述扫描驱动信号 G(n) 和所述 n 级级传信号 ST(n) ;

[0011] 所述第二下拉控制电路,接收一第二低频时钟信号 LC2 和所述 n+2 级级传信号 ST(n+2),并根据所述第二低频时钟信号 LC2 和所述 n+2 级级传信号 ST(n+2) 输出一第二下拉控制信号 K(n) ;

[0012] 所述第二下拉电路,接收所述第二下拉控制信号 K(n) 和所述直流低压信号 Vss,并根据所述第二下拉控制信号 K(n) 和所述直流低压信号 Vss 下拉所述上拉控制信号 Q(n),进而所述扫描驱动信号 G(n) 和所述 n 级级传信号 ST(n) ;

[0013] 所述主下拉电路,接收所述直流低压信号 Vss 和所述 n+2 级级传信号 ST(n+2),并根据所述直流低压信号 Vss 和所述 n+2 级级传信号 ST(n+2) 下拉所述上拉控制信号 Q(n) 和所述扫描驱动信号 G(n)。

[0014] 其中,所述第一下拉控制电路,还用以接收所述高压直流信号 VDD 和所述第二低频信号 LC2,并根据所述第一低频信号 LC1、所述直流高压信号 VDD、所述第二低频信号 LC2 和所述 n+2 级级传信号 ST(n+2) 输出所述第一下拉控制信号 P(n) ;

[0015] 所述第二下拉控制电路,还用以接收所述高压直流信号 VDD 和所述第一低频信号 LC1,并根据所述第一低频信号 LC1、所述直流高压信号 VDD、所述第二低频信号 LC2 和所述 n+2 级级传信号 ST(n+2) 输出所述第二下拉控制信号 K(n)。

[0016] 其中,所述 GOA 电路还包括 :

[0017] 上拉维持电路,接收所述上拉控制信号 Q(n) 和所述直流低压信号 Vss,并根据所述上拉控制信号 Q(n) 和所述直流低压信号 Vss 下拉所述第一下拉控制信号 P(n) 和所述第二下拉控制信号 K(n),以维持所述上拉电路和所述下传电路分别输出所述扫描驱动信号 G(n) 和所述 n 级级传信号 ST(n)。

[0018] 其中,所述上拉控制电路包括 : 第一薄膜晶体管 (T11),其控制端输入所述 n-2 级级传信号 ST(n-2),其第一端输入所述直流高压信号 VDD,其第二端与上拉控制信号点 Q 连接,用以根据所述 n-2 级级传信号 ST(n-2) 和所述直流高压信号 VDD 输出所述上拉控制信号 Q(n) ;

[0019] 所述上拉电路包括 : 第二薄膜晶体管 (T21),其控制端与所述上拉控制信号点 Q 连接,用以接收所述上拉控制信号 Q(n),其第一端输入所述直流高压信号 VDD,其第二端与水平扫描线 G 连接,用以根据所述上拉控制信号 Q(n) 和所述直流高压信号 VDD 输出扫描驱动信号 G(n) ;

[0020] 所述下传电路包括 : 第三薄膜晶体管 (T22),其控制端与所述上拉控制信号点 Q 连接,用以接收所述上拉控制信号 Q(n),其第一端输入所述时钟信号 CK(n),其第二端根据所述 n-2 级级传信号 ST(n-2) 和所述直流高压信号 VDD 输出所述级传信号 ST(n)。

[0021] 其中,所述第一下拉控制电路包括 : 第四薄膜晶体管 (T51),其控制端与第一端输入所述第一低频信号 LC1 ; 第五薄膜晶体管 (T53),其控制端与所述第四薄膜晶体管 (T51) 的第二端连接,其第一端输入所述第一低频信号 LC1 ; 第六薄膜晶体管 (T54),其控制端输入所述 n+2 级级传信号 ST(n+2),其第一端输入所述第一低频信号 LC1 ; 所述第四薄膜晶体

管 (T51)、所述第五薄膜晶体管 (T53) 和所述第六薄膜晶体管 (T54) 的第二端与第一下拉控制信号点 P 连接, 以输出所述第一下拉控制信号 P(n);

[0022] 所述第一下拉电路包括: 第七薄膜晶体管 (T42), 其控制端与所述第一下拉控制信号点 P 连接, 用以接收所述第一下拉控制信号 P(n), 其第二端输入一直流低压信号  $V_{ss}$ , 其第一端与所述上拉控制信号点 Q 连接, 用以根据所述第一下拉控制信号 P(n) 和所述直流低压信号  $V_{ss}$  下拉所述上拉控制信号 Q(n); 第八薄膜晶体管 (T32), 其控制端与所述第一下拉控制信号点 P 连接, 用以接收所述第一下拉控制信号 P(n), 其第二端输入所述直流低压信号  $V_{ss}$ , 其第一端连接所述水平扫描线 G, 用以根据所述第一下拉控制信号 P(n) 所述直流低压信号  $V_{ss}$  下拉所述扫描驱动信号 G(n);

[0023] 所述第二下拉控制电路包括: 第九薄膜晶体管 (T61), 其控制端与第一端输入所述第二低频信号 LC2; 第十薄膜晶体管 (T63), 其控制端与所述第九薄膜晶体管 (T61) 的第一端连接, 其第一端输入所述第二低频信号 LC2; 第十一薄膜晶体管 (T64), 其控制端输入所述 n+2 级级传信号 ST(n+2), 其第一端输入所述第二低频信号 LC2; 所述第九薄膜晶体管 (T61)、所述第十薄膜晶体管 (T63) 和所述第十一薄膜晶体管 (T64) 的第二端与第二下拉控制信号点 K 连接, 以输出所述第二下拉控制信号 K(n);

[0024] 所述第二下拉电路包括: 第十二薄膜晶体管 (T43), 其控制端与所述第二下拉控制信号点 K 连接, 用以接收所述第二下拉控制信号 K(n), 其第二端输入所述直流低压信号  $V_{ss}$ , 其第一端与所述上拉控制信号点 Q 连接, 用以根据所述第二下拉控制信号 K(n) 和所述直流低压信号  $V_{ss}$  下拉所述上拉控制信号 Q(n); 第十三薄膜晶体管 (T33), 其控制端与所述第二下拉控制信号点 K 连接, 用以接收所述第二下拉控制信号 K(n), 其第二端输入所述直流低压信号  $V_{ss}$ , 其第一端连接所述水平扫描线 G, 用以根据所述第二下拉控制信号 K(n) 和所述直流低压信号  $V_{ss}$  下拉所述扫描驱动信号 G(n);

[0025] 所述主下拉电路包括: 第十四薄膜晶体管 (T41), 其控制端输入所述 n+2 级级传信号 ST(n+2), 其第二端输入所述直流低压信号  $V_{ss}$ , 其第一端与所述上拉控制信号点 Q 连接, 用以根据所述 n+2 级级传信号 ST(n+2) 和所述直流低压信号  $V_{ss}$  下拉所述上拉控制信号 Q(n); 第十五薄膜晶体管 (T31), 其控制端输入所述 n+2 级级传信号 ST(n+2), 其第二端输入所述直流低压信号  $V_{ss}$ , 其第一端连接所述水平扫描线 G, 用以根据所述 n+2 级级传信号 ST(n+2) 和所述直流低压信号  $V_{ss}$  下拉所述扫描驱动信号 G(n)。

[0026] 其中, 所述上拉维持电路包括:

[0027] 一第十六薄膜晶体管 (T52), 其控制端与所述上拉控制信号点 Q 连接, 以接收所述上拉控制信号 Q(n), 其第二端输入所述直流低压信号  $V_{ss}$ , 其第一端连接所述第一下拉信号控制点 P, 用以根据所述上拉控制信号 Q(n) 和所述直流低压信号  $V_{ss}$  下拉所述下拉控制信号 P(n);

[0028] 一第十七薄膜晶体管 (T56), 其控制端与所述上拉控制信号点 Q 连接, 以接收所述上拉控制信号 Q(n), 其第二端输入所述直流低压信号  $V_{ss}$ , 其第一端连接所述第一下拉信号控制点 P, 用以根据所述上拉控制信号 Q(n) 和所述直流低压信号  $V_{ss}$  下拉所述下拉控制信号 P(n);

[0029] 一第十八薄膜晶体管 (T62), 其控制端与所述上拉控制信号点 Q 连接, 以接收所述上拉控制信号 Q(n), 其第二端输入所述直流低压信号  $V_{ss}$ , 其第一端连接所述第二下拉信

号控制点 K,用以根据所述上拉控制信号 Q(n) 和所述直流低压信号 V<sub>SS</sub> 下拉所述下拉控制信号 K(n);

[0030] 一第十九薄膜晶体管 (T66),其控制端与所述上拉控制信号点 Q 连接,以接收所述上拉控制信号 Q(n),其第二端输入所述直流低压信号 V<sub>SS</sub>,其第一端连接所述第二下拉信号控制点 K,用以根据所述上拉控制信号 Q(n) 和所述直流低压信号 V<sub>SS</sub> 下拉所述下拉控制信号 K(n);

[0031] 一第二十薄膜晶体管 (T55),其控制端与所述上拉控制信号点 Q 连接,以接收所述上拉控制信号 Q(n),其第二端与所述第二下拉控制信号点 K 连接,其第一端与所述第一下拉控制信号点 P 连接,用以根据所述上拉控制信号 Q(n) 控制所述第一下拉控制信号 P(n) 和所述第二下拉控制信号 K(n) 保持相同的电位。

[0032] 其中,所述下传电路还包括:

[0033] 一自举电容 (C),所述自举电容 (C) 与所述第三薄膜晶体管 (T22) 的控制端和第二端耦接,用以抬高所述上拉控制信号 Q(n)。

[0034] 其中,所述第一下拉控制电路包括:

[0035] 一第四薄膜晶体管 (T51),其控制端与第一端输入所述第一低频信号 LC1;

[0036] 一第五薄膜晶体管 (T53),其控制端与所述第四薄膜晶体管 (T51) 的第二端连接,其第一端输入所述第一低频信号 LC1;

[0037] 一第六薄膜晶体管 (T54),其控制端输入所述第二低频信号 LC2,其第一端输入所述第一低频信号 LC1;

[0038] 一第二十一薄膜晶体管 (T10),其控制端输入所述 n+2 级级传信号 ST(n+2),其第一端输入所述直流高压信号 VDD;

[0039] 所述第四薄膜晶体管 (T51)、所述第五薄膜晶体管 (T53)、所述第二十一薄膜晶体管 (T10) 和所述第六薄膜晶体管 (T54) 的第二端与第一下拉控制信号点 P 连接,以输出所述第一下拉控制信号 P(n)。

[0040] 其中,所述第二下拉控制电路包括:

[0041] 一第九薄膜晶体管 (T61),其控制端与第一端输入所述第二低频信号 LC2;

[0042] 一第十薄膜晶体管 (T63),其控制端与所述第九薄膜晶体管 (T61) 的第二端连接,其第一端输入所述第二低频信号 LC2;

[0043] 一第十一薄膜晶体管 (T64),其控制端输入所述第一低频信号 LC1,其第一端输入所述第二低频信号 LC2;

[0044] 一第二十二薄膜晶体管 (T12),其控制端输入所述 n+2 级级传信号 ST(n+2),其第一端输入所述直流高压信号 VDD;

[0045] 所述第九薄膜晶体管 (T61)、所述第十薄膜晶体管 (T63)、所述第二十二薄膜晶体管 (T12) 和所述第十一薄膜晶体管 (T64) 的第二端与第二下拉控制信号点 K 连接,以输出所述第二下拉控制信号 K(n)。

[0046] 相应的,本发明还提供了一种液晶显示装置,其包括上述的用于液晶显示的 GOA 电路。

[0047] 本发明实施例通过将直流高压信号作为 GOA 单元中上拉电路的输入源,并仅仅将时钟信号作为级传信号的输入源,可避免将时钟信号的延迟影响 GOA 的级传效率从而提高

GOA 单元的级传效率,还能提高扫描驱动信号的输出质量以提高液晶显示管的充电率。

### 附图说明

[0048] 为了更清楚地说明本发明实施例技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0049] 图 1 是本发明实施例提供的一种 GOA 电路结构示意图;

[0050] 图 2 是本发明实施例提供的另一种 GOA 电路结构示意图;

[0051] 图 3 是本发明实施例提供的又一种 GOA 电路结构示意图;

[0052] 图 4 是本发明实施例提供的又一种 GOA 电路结构示意图;

[0053] 图 5 是本发明实施例提供的又一种 GOA 电路结构示意图;

[0054] 图 6 是本发明实施例提供的 GOA 电路各个关键节点的波形示意图。

### 具体实施方式

[0055] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0056] 下面将结合图 1 到图 6 对本发明实施例提供的一种 GOA 电路及液晶显示装置进行具体描述。

[0057] 参见图 1,是本发明实施例提供的一种 GOA 电路结构示意图,如图所示的 GOA 电路至少包括上拉控制电路 100、上拉电路 200、下传电路 300、第一下拉控制电路 400、第一下拉电路 500、第二下拉控制电路 600、第二下拉电路 700、主下拉电路 800。

[0058] 所述上拉控制电路 100,接收第  $n-2$  级 GOA (Gate Driver on Array,阵列基板行扫描驱动) 单元输出的  $n-2$  级级传信号  $ST(n-2)$ ,并根据所述  $n-2$  级级传信号  $ST(n-2)$  输出一上拉控制信号  $Q(n)$ 。

[0059] 所述上拉电路 200,与所述上拉控制电路 100 电性连接,并接收一直流高压信号 VDD 与所述上拉控制信号  $Q(n)$ ,并根据所述直流高压信号 VDD 与所述上拉控制信号  $Q(n)$  输出一扫描驱动信号  $G(n)$ 。

[0060] 所述下传电路 300,与所述上拉控制电路 100 及所述上拉电路 200 电性连接,并接收一时钟信号  $CK(n)$  与所述上拉控制信号  $Q(n)$ ,并根据所述时钟信号  $CK(n)$  与所述上拉控制信号  $Q(n)$  输出一  $n$  级级传信号  $ST(n)$ 。

[0061] 所述第一下拉控制电路 400,接收一第一低频时钟信号  $LC1$  和  $n+2$  级 GOA 单元产生的  $n+2$  级级传信号  $ST(n+2)$ ,并根据所述第一低频时钟信号  $LC1$  和所述  $n+2$  级级传信号  $ST(n+2)$  输出一第一下拉控制信号  $P(n)$ 。

[0062] 所述第一下拉电路 500,与所述第一下拉控制电路 400 电性连接,并接收所述第一下拉控制信号  $P(n)$  和一直流低压信号  $V_{ss}$ ,并根据所述第一下拉控制信号  $P(n)$  和所述直流低压信号  $V_{ss}$  下拉所述上拉控制信号  $Q(n)$ ,进而下拉所述扫描驱动信号  $G(n)$  和所述  $n$  级级传信号  $ST(n)$ 。

[0063] 所述第二下拉控制电路 600,接收一第二低频时钟信号 LC2 和所述  $n+2$  级级传信号 ST( $n+2$ ),并根据所述第二低频时钟信号 LC2 和所述  $n+2$  级级传信号 ST( $n+2$ ) 输出一第二下拉控制信号 K( $n$ )。

[0064] 所述第二下拉电路 700,与所述上拉控制电路 100、所述上拉电路 200、所述下传电路 300 及所述第二下拉控制电路 600 电性连接,并接收所述第二下拉控制信号 K( $n$ ) 和所述直流低压信号 Vss,并根据所述第二下拉控制信号 K( $n$ ) 和所述直流低压信号 Vss 下拉所述上拉控制信号 Q( $n$ ),进而所述扫描驱动信号 G( $n$ ) 和所述  $n$  级级传信号 ST( $n$ )。

[0065] 所述主下拉电路 800,与所述上拉控制电路 100、所述上拉电路 200 及所述下传电路 300 电性连接,并接收所述直流低压信号 Vss 和所述  $n+2$  级级传信号 ST( $n+2$ ),并根据所述直流低压信号 Vss 和所述  $n+2$  级级传信号 ST( $n+2$ ) 下拉所述上拉控制信号 Q( $n$ ) 和所述扫描驱动信号 G( $n$ )。

[0066] 在可选实施例中,所述 GOA 电路还包括:上拉维持电路 900,与所述上拉控制电路 100、所述第一下拉控制电路 400、所述第一下拉电路 500、所述第二下拉控制电路 600 及所述第二下拉电路 700 电性连接,并用以接收所述上拉控制信号 Q( $n$ ) 和所述直流低压信号 Vss,并根据所述上拉控制信号 Q( $n$ ) 和所述直流低压信号 Vss 下拉所述第一下拉控制信号 P( $n$ ) 和所述第二下拉控制信号 K( $n$ ),以维持所述上拉电路 200 和所述下传电路 300 分别输出所述扫描驱动信号 G( $n$ ) 和所述  $n$  级级传信号 ST( $n$ )。

[0067] 本发明实施例通过将直流高压信号作为 GOA 单元中上拉电路的输入源,并仅仅将时钟信号作为级传信号的输入源,可避免因时钟信号的延迟影响 GOA 的级传效率,从而提高 GOA 单元的级传效率,还能提高扫描驱动信号的输出质量以提高液晶显示管的充电率。

[0068] 参见图 2,是本发明实施例提供的另一种 GOA 电路结构示意图,结合图 1 所示的 GOA 电路结构示意图,图 2 所示的 GOA 电路包括:上拉控制电路 100、上拉电路 200、下传电路 300、第一下拉控制电路 400、第一下拉电路 500、第二下拉控制电路 600、第二下拉电路 700、主下拉电路 800 和上拉维持电路 900。在本实施例中,为了便于说明和描述,而且上述各电路以及各电路中包含的电子器件之间的连接关系均在相关图示中示出,在说明书不再赘述。

[0069] 其中,所述上拉控制电路 100 具体包括:第一薄膜晶体管 (T11),其控制端输入所述  $n-2$  级级传信号 ST( $n-2$ ),其第一端输入所述直流高压信号 VDD,其第二端与上拉控制信号点 Q 连接,用以根据所述  $n-2$  级级传信号 ST( $n-2$ ) 和所述直流高压信号 VDD 输出所述上拉控制信号 Q( $n$ )。

[0070] 所述上拉电路 200 具体包括:第二薄膜晶体管 (T21),其控制端与所述上拉控制信号点 Q 连接,用以接收所述上拉控制信号 Q( $n$ ),其第一端输入所述直流高压信号 VDD,其第二端与水平扫描线 G 连接,用以根据所述上拉控制信号 Q( $n$ ) 和所述直流高压信号 VDD 输出扫描驱动信号 G( $n$ )。

[0071] 所述下传电路 300 具体包括:第三薄膜晶体管 (T22),其控制端与所述上拉控制信号点 Q 连接,用以接收所述上拉控制信号 Q( $n$ ),其第一端输入所述时钟信号 CK( $n$ ),其第二端根据所述  $n-2$  级级传信号 ST( $n-2$ ) 和所述直流高压信号 VDD 输出所述级传信号 ST( $n$ )。

[0072] 所述第一下拉控制电路 400 具体包括:第四薄膜晶体管 (T51),其控制端与第一端输入所述第一低频信号 LC1;第五薄膜晶体管 (T53),其控制端与所述第四薄膜晶体管

(T51) 的第一端连接,其第一端输入所述第一低频信号 LC1;第六薄膜晶体管 (T54),其控制端输入所述  $n+2$  级级传信号 ST( $n+2$ ),其第一端输入所述第一低频信号 LC1;所述第四薄膜晶体管 (T51)、所述第五薄膜晶体管 (T53) 和所述第六薄膜晶体管 (T54) 的第二端与第一下拉控制信号点 P 连接,以输出所述第一下拉控制信号 P( $n$ )。

[0073] 所述第一下拉电路 500 具体包括:第七薄膜晶体管 (T42),其控制端与所述第一下拉控制信号点 P 连接,用以接收所述第一下拉控制信号 P( $n$ ),其第二端输入一直流低压信号  $V_{SS}$ ,其第一端与所述上拉控制信号点 Q 连接,用以根据所述第一下拉控制信号 P( $n$ ) 和所述直流低压信号  $V_{SS}$  下拉所述上拉控制信号 Q( $n$ );第八薄膜晶体管 (T32),其控制端与所述第一下拉控制信号点 P 连接,用以接收所述第一下拉控制信号 P( $n$ ),其第二端输入所述直流低压信号  $V_{SS}$ ,其第一端连接所述水平扫描线 G,用以根据所述第一下拉控制信号 P( $n$ ) 所述直流低压信号  $V_{SS}$  下拉所述扫描驱动信号 G( $n$ )。

[0074] 所述第二下拉控制电路 600 具体包括:第九薄膜晶体管 (T61),其控制端与第一端输入所述第二低频信号 LC2;第十薄膜晶体管 (T63),其控制端与所述第九薄膜晶体管 (T61) 的第一端连接,其第一端输入所述第二低频信号 LC2;第十一薄膜晶体管 (T64),其控制端输入所述  $n+2$  级级传信号 ST( $n+2$ ),其第一端输入所述第二低频信号 LC2;所述第九薄膜晶体管 (T61)、所述第十薄膜晶体管 (T63) 和所述第十一薄膜晶体管 (T64) 的第二端与第二下拉控制信号点 K 连接,以输出所述第二下拉控制信号 K( $n$ )。

[0075] 所述第二下拉电路 700 具体包括:第十二薄膜晶体管 (T43),其控制端与所述第二下拉控制信号点 K 连接,用以接收所述第二下拉控制信号 K( $n$ ),其第二端输入所述直流低压信号  $V_{SS}$ ,其第一端与所述上拉控制信号点 Q 连接,用以根据所述第二下拉控制信号 K( $n$ ) 和所述直流低压信号  $V_{SS}$  下拉所述上拉控制信号 Q( $n$ );第十三薄膜晶体管 (T33),其控制端与所述第二下拉控制信号点 K 连接,用以接收所述第二下拉控制信号 K( $n$ ),其第二端输入所述直流低压信号  $V_{SS}$ ,其第一端连接所述水平扫描线 G,用以根据所述第二下拉控制信号 K( $n$ ) 和所述直流低压信号  $V_{SS}$  下拉所述扫描驱动信号 G( $n$ )。

[0076] 所述住下拉电路 800 具体包括:第十四薄膜晶体管 (T41),其控制端输入所述  $n+2$  级级传信号 ST( $n+2$ ),其第一端输入所述直流低压信号  $V_{SS}$ ,其第二端与所述上拉控制信号点 Q 连接,用以根据所述  $n+2$  级级传信号 ST( $n+2$ ) 和所述直流低压信号  $V_{SS}$  下拉所述上拉控制信号 Q( $n$ );第十五薄膜晶体管 (T31),其控制端输入所述  $n+2$  级级传信号 ST( $n+2$ ),其第二端输入所述直流低压信号  $V_{SS}$ ,其第一端连接所述水平扫描线 G,用以根据所述  $n+2$  级级传信号 ST( $n+2$ ) 和所述直流低压信号  $V_{SS}$  下拉所述扫描驱动信号 G( $n$ )。

[0077] 所述上拉维持电路 900 具体包括:第十六薄膜晶体管 (T52),其控制端与所述上拉控制信号点 Q 连接,以接收所述上拉控制信号 Q( $n$ ),其第二端输入所述直流低压信号  $V_{SS}$ ,其第一端连接所述第一下拉信号控制点 P,用以根据所述上拉控制信号 Q( $n$ ) 和所述直流低压信号  $V_{SS}$  下拉所述下拉控制信号 P( $n$ );第十七薄膜晶体管 (T56),其控制端与所述上拉控制信号点 Q 连接,以接收所述上拉控制信号 Q( $n$ ),其第二端输入所述直流低压信号  $V_{SS}$ ,其第一端连接所述第一下拉信号控制点 P,用以根据所述上拉控制信号 Q( $n$ ) 和所述直流低压信号  $V_{SS}$  下拉所述下拉控制信号 P( $n$ );第十八薄膜晶体管 (T62),其控制端与所述上拉控制信号点 Q 连接,以接收所述上拉控制信号 Q( $n$ ),其第二端输入所述直流低压信号  $V_{SS}$ ,其第一端连接所述第二下拉信号控制点 K,用以根据所述上拉控制信号 Q( $n$ ) 和所述直流低压信

号  $V_{SS}$  下拉所述下拉控制信号  $K(n)$  ;第十九薄膜晶体管 (T66),其控制端与所述上拉控制信号点  $Q$  连接,以接收所述上拉控制信号  $Q(n)$ ,其第二端输入所述直流低压信号  $V_{SS}$ ,其第一端连接所述第二下拉信号控制点  $K$ ,用以根据所述上拉控制信号  $Q(n)$  和所述直流低压信号  $V_{SS}$  下拉所述下拉控制信号  $K(n)$  ;第二十薄膜晶体管 (T55),其控制端与所述上拉控制信号点  $Q$  连接,以接收所述上拉控制信号  $Q(n)$ ,其第二端与所述第二下拉控制信号点  $K$  连接,其第一端与所述第一下拉控制信号点  $P$  连接,用以根据所述上拉控制信号  $Q(n)$  控制所述第一下拉控制信号  $P(n)$  和所述第二下拉控制信号  $K(n)$  保持相同的电位。

[0078] 其中,所述第二十薄膜晶体管 (T55),在接收到所述上拉控制信号  $Q(n)$  时打开,使第一下拉控制信号  $P(n)$  和所述第二下拉控制信号  $K(n)$  保持相同的电位,并且,所述第二十薄膜晶体管 (T55) 还能增加所述第一下拉控制信号  $P(n)$  和所述第二下拉控制信号  $K(n)$  的放电途径,例如,所述第二十薄膜晶体管 (T55) 连接的上拉信号点  $P$  输入的上拉控制信号  $P(n)$  为高电平时,所述第二十薄膜晶体管 (T55) 打开,若此时所述第一低频信号  $LC1$  为高电平时,则所述下拉控制电路对所述第一下拉控制信号点  $P$  充电使得所述第一下拉控制信号  $P(n)$  为高电平,此时第十一薄膜晶体管 (T64) 的控制端接入的  $n+2$  级级传信号  $ST(n+2)$  为高电平,所述第二低频信号  $LC2$  为低电平,使得第十一薄膜晶体管 (T64) 打开,下拉控制信号点  $K$  输出的所述第二下拉控制信号  $K(n)$  为低电平,从而实现第一下拉控制信号点  $P$  输出的第一下拉控制信号  $P(n)$  向第二下拉控制信号点  $K$  放电。

[0079] 本发明实施例将直流高压信号作为 GOA 单元中上拉电路的输入源,并将时钟信号作为级传信号的输入源,可提高 GOA 单元的级传效率和扫描驱动信号的输出质量,还可通过增加上拉维持电路维持级传信号和扫描驱动信号的输出增加级传信号和扫描驱动信号的稳定性。

[0080] 参见图 3,是本发明实施例提供的又一种 GOA 电路结构示意图,图 3 的实施例与图 2 的实施例的主要差异点在于:上拉控制电路 100,为了简洁,与图 2 所示的本实施例中重复的部分不再赘述。

[0081] 如图 3 所示的 GOA 电路的上拉控制电路 100,其中,第一薄膜晶体管 (T11) 的控制端和第一端输入所述  $n-2$  级级传信号  $ST(n-2)$ ,其第二端与上拉控制信号点  $Q$  连接,用以根据所述  $n-2$  级级传信号  $ST(n-2)$  输出所述上拉控制信号  $Q(n)$ 。

[0082] 本发明实施例可提高 GOA 单元的级传效率和扫描驱动信号的输出质量,还可维持级传信号和扫描驱动信号输出的稳定性,通过将上拉控制电路中的第一薄膜晶体管 (T11) 的第一端输入的直流高压信号  $V_{DD}$  改变为将  $n-2$  级级传信号  $ST(n-2)$  可减小第一薄膜晶体管 (T11) 的电压压力,增加第一薄膜晶体管 (T11) 的使用寿命。

[0083] 参见图 4,是本发明实施例提供的又一种 GOA 电路结构示意图,图 4 所示的实施例与图 2 所示的实施例主要差异点在于:第一下拉控制电路 400 和第二下拉控制电路 600,为了简洁,重复的部分不再赘述。

[0084] 在图 4 所示的 GOA 电路的第一下拉控制电路 400 中包括:

[0085] 第四薄膜晶体管 (T51),其控制端与第一端输入所述第一低频信号  $LC1$  ;

[0086] 第五薄膜晶体管 (T53),其控制端与所述第四薄膜晶体管 (T51) 的第二端连接,该第五薄膜晶体管的第一端输入所述第一低频信号  $LC1$  ;

[0087] 第六薄膜晶体管 (T54),其控制端输入所述第二低频信号  $LC2$ ,其第一端输入所述

第一低频信号 LC1；

[0088] 第二十一薄膜晶体管 (T10)，其控制端输入所述  $n+2$  级级传信号 ST( $n+2$ )，其第一端输入所述直流高压信号 VDD；

[0089] 所述第四薄膜晶体管 (T51)、所述第五薄膜晶体管 (T53)、所述第二十一薄膜晶体管 (T10) 和所述第六薄膜晶体管 (T54) 的第二端与第一下拉控制信号点 P 连接，以输出所述第一下拉控制信号 P( $n$ )。

[0090] 在图 4 所示的 GOA 电路的第二下拉控制电路 600 中包括：

[0091] 第九薄膜晶体管 (T61)，其控制端与第一端输入所述第二低频信号 LC2；

[0092] 第十薄膜晶体管 (T63)，其控制端与所述第九薄膜晶体管 (T61) 的第二端连接，其第一端输入所述第二低频信号 LC2；

[0093] 第十一薄膜晶体管 (T64)，其控制端输入所述第一低频信号 LC1，其第一端输入所述第二低频信号 LC2；

[0094] 第二十二薄膜晶体管 (T12)，其控制端输入所述  $n+2$  级级传信号 ST( $n+2$ )，其第一端输入所述直流高压信号 VDD；

[0095] 所述第九薄膜晶体管 (T61)、所述第十薄膜晶体管 (T63)、所述第二十二薄膜晶体管 (T12) 和所述第十一薄膜晶体管 (T64) 的第二端与第二下拉控制信号点 K 连接，以输出所述第二下拉控制信号 K( $n$ )。

[0096] 本发明实施例可提高 GOA 单元的级传效率和扫描驱动信号的输出质量，还可维持级传信号和扫描驱动信号输出的稳定性，并在第一下拉控制电路和第二下拉控制电路中分别增加了第二十一薄膜晶体管 (T10) 和第二十二薄膜晶体管 (T12)，其第一端输入直流高压信号 VDD，而在其控制端输入  $n+2$  级级传信号，其第二端分别与第一下拉控制信号点 P 和第二下拉控制信号点 K 连接，可增加下拉第一下拉控制信号 P( $n$ ) 和第二下拉控制信号 K( $n$ ) 的下拉速度。

[0097] 参见图 5，本发明实施例提供的又一种 GOA 电路结构示意图，图 5 所示的实施例与图 4 所示的实施例主要差异点在于：第一下拉电路 500 和第二下拉电路 700 和主下拉电路 800，为了简洁，重复的部分不再赘述。

[0098] 图 5 所示的 GOA 电路中，第一下拉电路 500 包括：

[0099] 第七薄膜晶体管 (T42)，其控制端与所述第一下拉控制信号点 P 连接，用以接收所述第一下拉控制信号 P( $n$ )，其第二端输入一第一直流低压信号 Vss1，其第二端与所述上拉控制信号点 Q 连接，用以根据所述第一下拉控制信号 P( $n$ ) 和所述第一直流低压信号 Vss1 下拉所述上拉控制信号 Q( $n$ )；

[0100] 第八薄膜晶体管 (T32)，其控制端与所述第一下拉控制信号点 P 连接，用以接收所述第一下拉控制信号 P( $n$ )，其第二端输入一第二直流低压信号 Vss2，其第一端连接所述水平扫描线 G，用以根据所述第一下拉控制信号 P( $n$ ) 所述第二直流低压信号 Vss2 下拉所述扫描驱动信号 G( $n$ )。

[0101] 图 5 所示的 GOA 电路中，第二下拉电路 500 包括：

[0102] 第十二薄膜晶体管 (T43)，其控制端与所述第二下拉控制信号点 K 连接，用以接收所述第二下拉控制信号 K( $n$ )，其第二端输入所述第一直流低压信号 Vss1，其第一端与所述上拉控制信号点 Q 连接，用以根据所述第二下拉控制信号 K( $n$ ) 和所述第一直流低压信号

Vss1 下拉所述上拉控制信号 Q(n)；

[0103] 第十三薄膜晶体管 (T33), 其控制端与所述第二下拉控制信号点 K 连接, 用以接收所述第二下拉控制信号 K(n), 其第二端输入所述第二直流低压信号 Vss2, 其第一端连接所述水平扫描线 G, 用以根据所述第二下拉控制信号 K(n) 和所述第二直流低压信号 Vss2 下拉所述扫描驱动信号 G(n)。

[0104] 图 5 所示的 GOA 电路中, 主下拉电路 800 包括:

[0105] 第十四薄膜晶体管 (T41), 其控制端输入所述 n+2 级级传信号 ST(n+2), 其第二端输入所述第一直流低压信号 Vss1, 其第一端与所述上拉控制信号点 Q 连接, 用以根据所述 n+2 级级传信号 ST(n+2) 和所述第一直流低压信号 Vss1 下拉所述上拉控制信号 Q(n)；

[0106] 第十五薄膜晶体管 (T31), 其控制端输入所述 n+2 级级传信号 ST(n+2), 其第二端输入所述第二直流低压信号 Vss2, 其第二端连接所述水平扫描线 G, 用以根据所述 n+2 级级传信号 ST(n+2) 和所述第二直流低压信号 Vss2 下拉所述扫描驱动信号 G(n)。

[0107] 本发明实施例本发明实施例可提高 GOA 单元的级传效率和扫描驱动信号的输出质量, 还可维持级传信号和扫描驱动信号输出的稳定性, 并采用了两条低压直流信号作为第一下拉控制信号 P(n) 和第二下拉控制信号 K(n) 的下拉源, 其中 VSS1 大于 Vss2, 使得第二薄膜晶体管 (T21) 控制端与第二端之间的电压小于零, 可以减小漏电。

[0108] 参见图 6, 本发明实施例提供的 GOA 电路各个关键节点的波形示意图。其中包括有直流高压信号 VDD、时钟信号 CK(n)、n 级级传信号 ST(n)、n+2 级级传信号 ST(n+2)、扫描驱动信号 G(n)、第一下拉控制信号 P(n)、第一低频信号 LC1 和第二低频信号 LC2 及 n-2 级级传信号 ST(n-2)。其中, 第一低频信号 LC1 和第二低频信号 LC2 为反向。

[0109] 从波形图中可见, 当 ST(n-2) 电位为高电位时, VDD 对 Q 点充电, Q(n) 点变为高电位, P(n) 变为低电位, 此时, 时钟信号 CK(n) 为低电位, ST(n) 为低电位, G(n) 为高电位。当 ST(n-2) 电位为低电位时, Q(n) 点变为高电位, CK(n) 为高电位, ST(n) 为高电位, 在 C 耦合下, 将 Q(n) 抬升到更高电位, G(n) 为高电位。当 STn+2 为高电位时, CK(n) 为低电位, Q(n) 和 G(n) 变为低电位。

[0110] 相应地, 本发明实施例还提供了一种液晶显示装置, 其包括前述图 2 至图 5 中各个实施例示出的用于液晶显示的 GOA 电路。

[0111] 本发明实施例通过将直流高压信号作为 GOA 单元中上拉电路的输入源, 并仅仅将时钟信号作为级传信号的输入源, 可避免将时钟信号的延迟影响 GOA 的级传效率从而提高 GOA 单元的级传效率, 还能提高扫描驱动信号的输出质量以提高液晶显示管的充电率。

[0112] 以上对本发明实施例公开的一种 GOA 电路及液晶显示装置进行了详细介绍, 以上所揭露的仅为本发明较佳实施例而已, 当然不能以此来限定本发明之权利范围, 因此依本发明权利要求所作的等同变化, 仍属本发明所涵盖的范围。

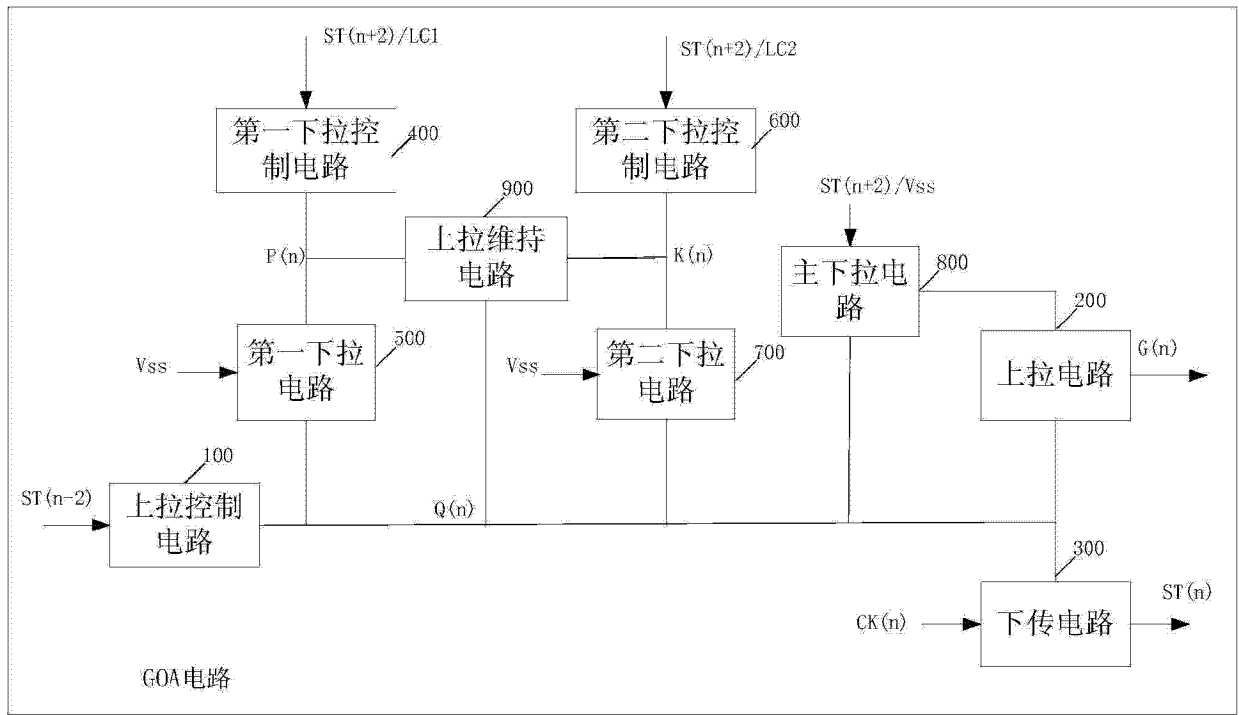


图 1

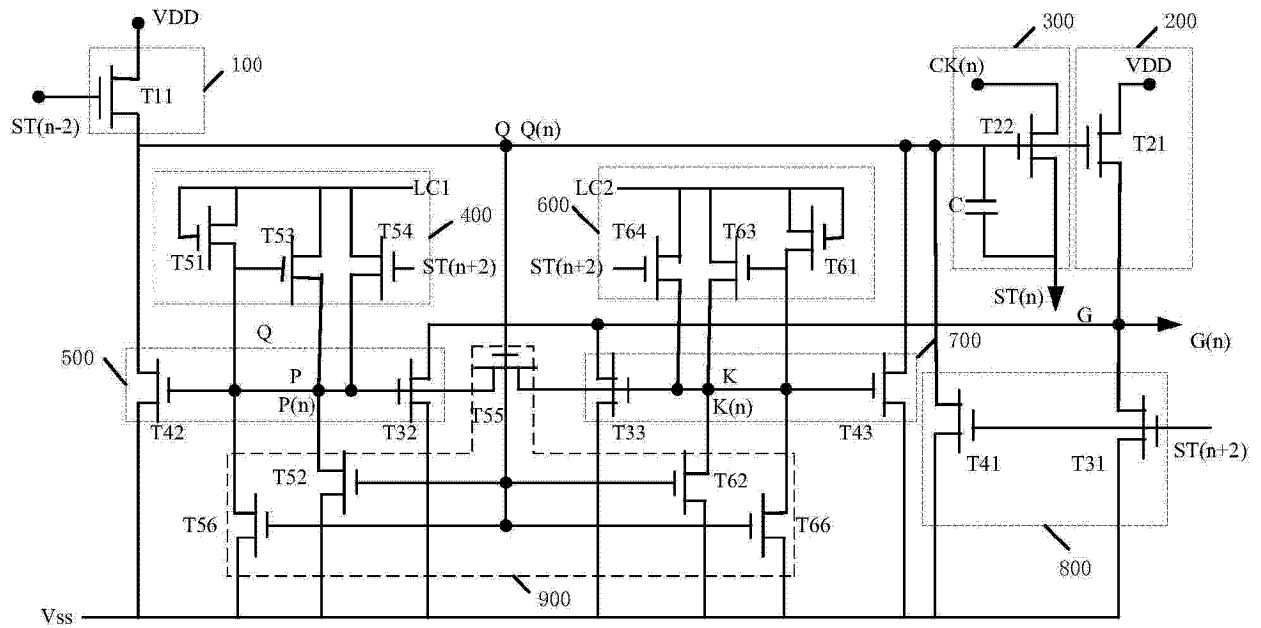


图 2

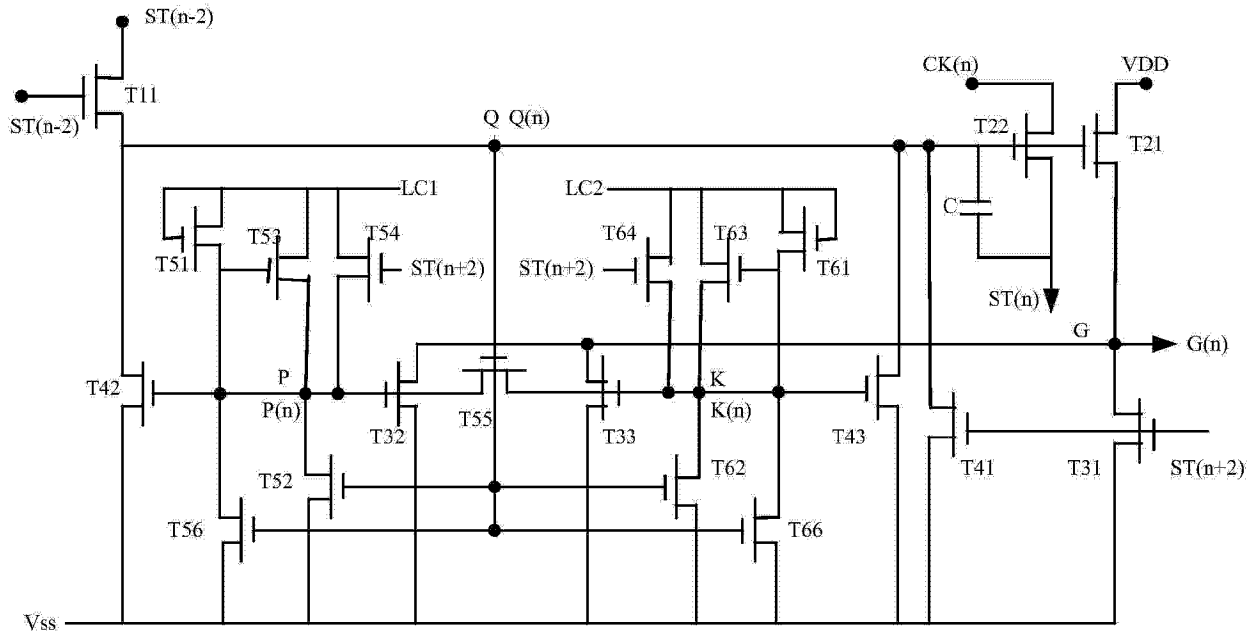


图 3

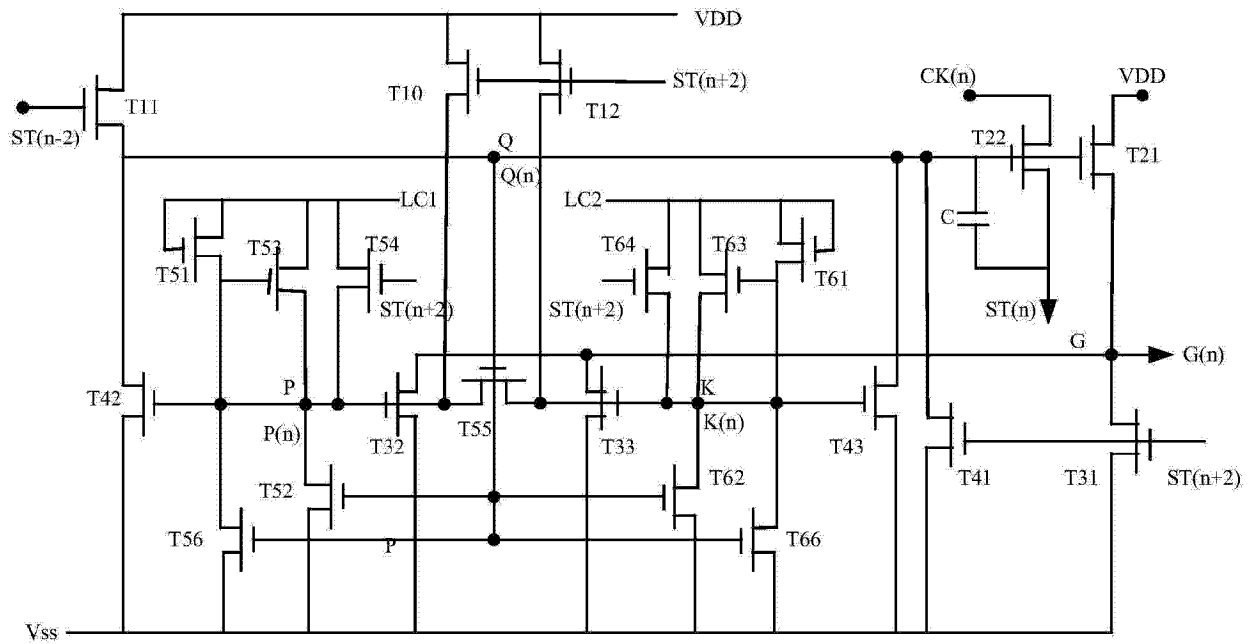


图 4

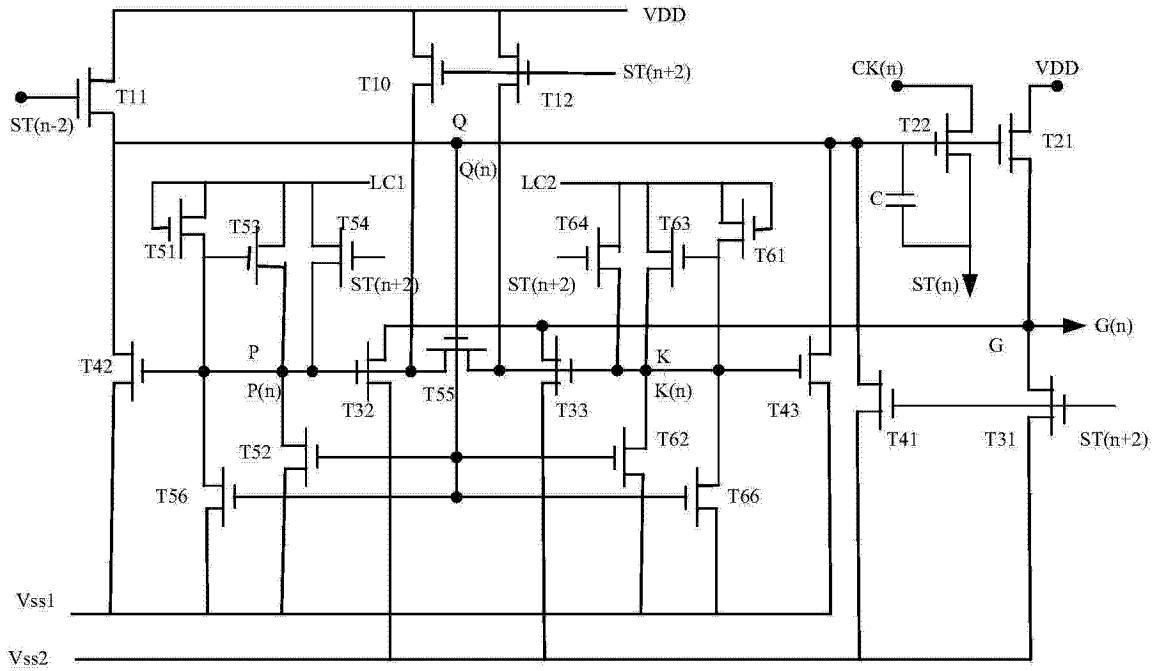


图 5

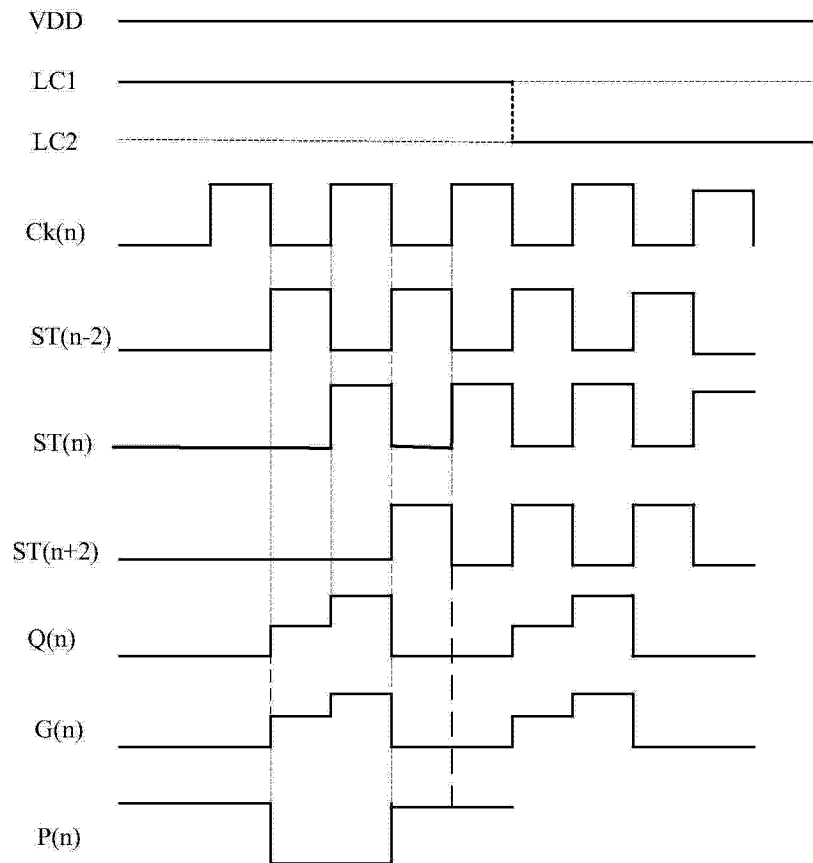


图 6

专利名称(译)	一种GOA电路及液晶显示装置		
公开(公告)号	<a href="#">CN104505048A</a>	公开(公告)日	2015-04-08
申请号	CN201410856556.0	申请日	2014-12-31
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	曹尚操		
发明人	曹尚操		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G3/36 G09G2310/0251 G09G2310/0267 G09G2310/0286 G09G2310/06 G09G2310/08 G11C19/28		
代理人(译)	熊永强		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明实施例公开了一种GOA电路及液晶显示装置，其包括多个级联的GOA单元，其中第n级GOA单元对显示区域第n级水平扫描线充电，该第n级GOA单元包括一上拉控制电路、一上拉电路、一下传电路、一第一下拉控制电路、一第一下拉电路、一第二下拉控制电路、一第二下拉电路及一主下拉电路，其中n为正整数。采用本发明可提高GOA电路的级传效率，提高扫描驱动信号的输出质量以提高液晶显示管的充电率，还能加快扫描驱动信号的下拉速度。

