



(12) 发明专利申请

(10) 申请公布号 CN 103439840 A

(43) 申请公布日 2013. 12. 11

(21) 申请号 201310389337. 1

(22) 申请日 2013. 08. 30

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 崔贤植 李会 徐智强 严允晟

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 黄灿 安利霞

(51) Int. Cl.

G02F 1/1343 (2006. 01)

G02F 1/1333 (2006. 01)

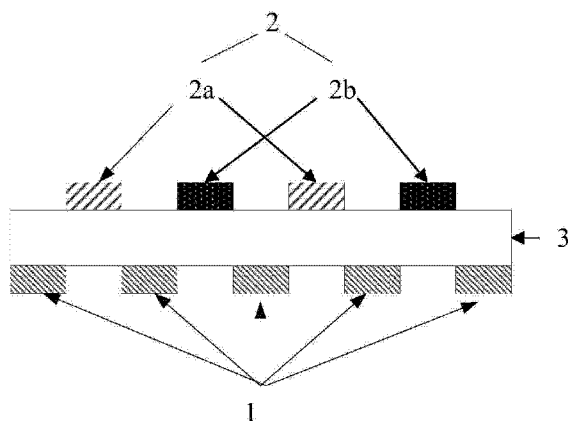
权利要求书2页 说明书7页 附图2页

(54) 发明名称

一种阵列基板、显示装置及阵列基板的制造方法

(57) 摘要

本发明提供一种阵列基板、显示装置及阵列基板的制造方法,涉及液晶显示技术领域,为减小像素充电的负担,有利于节省电能而发明。所述阵列基板,包括:位于像素区域内的像素电极,和对应于像素区域的公共电极;在公共电极和像素电极之间具有第一钝化层;其中所述像素电极为多个呈条形且间隔地交替分布的第一像素电极和第二像素电极;所述公共电极为多个相互间隔地分布的条形公共电极;其中,多个条形的第一像素电极的一端相连形成梳状,多个条形的第二像素电极的一端相连形成梳状;梳状的第一像素电极与梳状的第二像素电极相间隔。所述显示装置中采用前述的阵列基板。本发明适用于显示装置的制作。



1. 一种阵列基板,包括:位于像素区域内的像素电极,和对应于像素区域的公共电极;在公共电极和像素电极之间具有第一钝化层;其特征在于:所述像素电极为多个呈条形且间隔地交替分布的第一像素电极和第二像素电极;所述公共电极为多个相互间隔地分布的条形公共电极;其中,多个条形的第一像素电极的一端相连形成梳状,多个条形的第二像素电极的一端相连形成梳状;梳状的第一像素电极与梳状的第二像素电极相间隔。

2. 根据权利要求1所述的阵列基板,其特征在于,所述条形公共电极的布置方向与条形的第一像素电极和第二像素电极的布置方向相同;并且

每个条形公共电极与相邻的条形的第一像素电极和条形的第二像素电极之间的间隙相对应,每个条形的第一像素电极或条形的第二像素电极与相邻的两个条形公共电极之间的间隙相对应。

3. 根据权利要求1或2所述的阵列基板,其特征在于,所述阵列基板还包括数据线;所述公共电极位于数据线上,并且多个条形公共电极中的一条对应设置于数据线的上方;

在所述条形公共电极和所述数据线之间具有第二钝化层。

4. 根据权利要求3所述的阵列基板,其特征在于,所述第二钝化层为树脂材料。

5. 根据权利要求3所述的阵列基板,其特征在于,对应设置于数据线上方的条形公共电极的宽度大于所述数据线的宽度。

6. 根据权利要求3所述的阵列基板,其特征在于,所述数据线上方的条形公共电极的宽度大于其它条形公共电极的宽度。

7. 根据权利要求1所述的阵列基板,其特征在于,所述像素电极设置于所述公共电极的上方或者下方。

8. 一种阵列基板的制造方法,其特征在于,包括:

在形成有薄膜晶体管的基板上形成第一钝化层;

在形成有所述第一钝化层的基板上形成公共电极层;

将所述公共电极层制作成多个相互间隔地分布的条形公共电极。

9. 根据权利要求8所述的阵列基板的制造方法,其特征在于,所述在形成有所述第一钝化层的基板上形成公共电极层后还包括:

在形成有所述条形公共电极的基板上形成第二钝化层;

在形成有第二钝化层的基板上形成呈条形且间隔地交替排列的第一像素电极和第二像素电极的图形;其中

多个条形的第一像素电极的图形的一端相连形成梳状,多个条形的第二像素电极的图形的一端相连形成梳状;梳状的第一像素电极的图形与梳状的第二像素电极的图形相间隔。

10. 根据权利要求8所述的阵列基板的制造方法,其特征在于,所述在形成有所述第一钝化层的基板上形成公共电极层前还包括:

在形成有所述第一钝化层的基板上形成呈条形且间隔地交替排列的第一像素电极和第二像素电极的图形;其中,多个条形的第一像素电极的图形的一端相连形成梳状,多个条形的第二像素电极的图形的一端相连形成梳状,梳状的第一像素电极的图形与梳状的第二像素电极的图形相间隔;

在形成有所述呈条形且间隔地交替排列的第一像素电极和第二像素电极的图形的基板上,形成第三钝化层;

在形成有所述第三钝化层的基板上形成所述公共电极层。

11. 根据权利要求 9 或 10 所述的阵列基板的制造方法,其特征在于,

所述条形公共电极的布置方向与条形的第一像素电极和第二像素电极的布置方向相同;并且

每个条形公共电极与相邻的条形的第一像素电极和条形的第二像素电极之间的间隙相对应,每个条形的第一像素电极或条形的第二像素电极与相邻的两个条形公共电极之间的间隙相对应。

12. 根据权利要求 8 所述的阵列基板的制造方法,其特征在于,所述将所述公共电极层制作成多个相互间隔地分布的条形公共电极包括:

将所述公共电极层制作成多个相互间隔地分布的条形公共电极,其中一条公共电极对应设置于阵列基板的数据线的上方;

在所述条形公共电极和所述数据线之间具有第二钝化层。

13. 一种显示装置,其特征在于,包括前述权利要求 1-7 任一项所述的阵列基板。

一种阵列基板、显示装置及阵列基板的制造方法

技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及一种阵列基板、显示装置以及阵列基板的制造方法。

背景技术

[0002] 目前,随着液晶显示技术的发展,液晶显示装置对高透过率、宽视角等特性的要求越来越高。

[0003] 高级超维场转换技术(ADvanced Super Dimension S 阵列基板 itch, AD-SDS, 简称 ADS),其核心技术特性描述为:通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场,使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转,从而提高了液晶工作效率并增大了透光效率。高级超维场转换技术可以提高 TFT-LCD 产品的画面品质,具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹(push Mura)等优点。

[0004] 如图 1 所示,现有 ADS 模式的液晶显示装置中包括公共电极 1 和与公共电极 1 相对应的像素电极 2,公共电极 1 和像素电极 2 之间具有绝缘层 3。其中的公共电极 1 为板状电极,像素电极 2 为多个呈条形且间隔地交替分布的正电极和负电极。工作时,相邻的像素电极之间存在电压差,像素电极 2 与公共电极 1 之间也存在电压差。

[0005] 现有 ADS 模式的液晶显示装置中,由于公共电极 1 与像素电极 2 相对应,且公共电极 1 为板状电极,这样公共电极 1 与像素电极 2 之间的作为存储电容 Cst 值较大。在 Cst 值较大的情况下,会对像素的充电带来负担。

发明内容

[0006] 本发明所要解决的技术问题在于提供一种阵列基板、显示装置及阵列基板的制造方法,能够减小像素充电的负担,有利于节省电能。

[0007] 为解决上述技术问题,本发明的实施例一种阵列基板采用如下技术方案:

[0008] 一种阵列基板,包括:位于像素区域内的像素电极,和对应于像素区域的公共电极;在公共电极和像素电极之间具有第一钝化层;所述像素电极为多个呈条形且间隔地交替分布的第一像素电极和第二像素电极;所述公共电极为多个相互间隔地分布的条形公共电极;其中,多个条形的第一像素电极的一端相连形成梳状,多个条形的第二像素电极的一端相连形成梳状;梳状的第一像素电极与梳状的第二像素电极相间隔。

[0009] 其中,所述条形公共电极的布置方向与条形的第一像素电极和第二像素电极的布置方向相同;并且

[0010] 每个条形公共电极与相邻的条形的第一像素电极和条形的第二像素电极之间的间隙相对应,每个条形的第一像素电极或条形的第二像素电极与相邻的两个条形公共电极之间的间隙相对应。

[0011] 优选的,所述阵列基板还包括数据线;

[0012] 所述公共电极位于数据线上方,并且多个条形公共电极中的一条对应设置于数据线的上方;

[0013] 在所述条形公共电极和所述数据线之间具有第二钝化层。

[0014] 优选的,所述第二钝化层为树脂材料。

[0015] 优选的,对应设置于数据线上方的条形公共电极的宽度大于所述数据线的宽度。

[0016] 优选的,所述数据线上方的条形公共电极的宽度大于其它条形公共电极的宽度。

[0017] 优选的,所述像素电极设置于所述公共电极的上方或者下方。

[0018] 本发明的实施例还提供一种阵列基板的制造方法,包括:

[0019] 在形成有薄膜晶体管的基板上形成第一钝化层;

[0020] 在形成有所述第一钝化层的基板上形成公共电极层;

[0021] 将所述公共电极层制作成多个相互间隔地分布的条形公共电极。

[0022] 优选的,上述方法中,在形成有所述第一钝化层的基板上形成公共电极层后还包括:

[0023] 在形成有所述条形公共电极的基板上形成第二钝化层;

[0024] 在形成有第二钝化层的基板上形成呈条形且间隔地交替排列的第一像素电极和第二像素电极的图形;其中

[0025] 多个条形的第一像素电极的图形的一端相连形成梳状,多个条形的第二像素电极的图形的一端相连形成梳状;梳状的第一像素电极的图形与梳状的第二像素电极的图形相间隔。

[0026] 优选的,所述在形成有所述第一钝化层的基板上形成公共电极层前还包括:

[0027] 在形成有所述第一钝化层的基板上形成呈条形且间隔地交替排列的第一像素电极和第二像素电极的图形;其中,多个条形的第一像素电极的图形的一端相连形成梳状,多个条形的第二像素电极的图形的一端相连形成梳状,梳状的第一像素电极的图形与梳状的第二像素电极的图形相间隔;

[0028] 在形成有所述呈条形且间隔地交替排列的第一像素电极和第二像素电极的图形的基板上,形成第三钝化层;

[0029] 在形成有所述第三钝化层的基板上形成所述公共电极层。

[0030] 优选的,所述条形公共电极的布置方向与条形的第一像素电极和第二像素电极的布置方向相同;并且

[0031] 每个条形公共电极与相邻的条形的第一像素电极和条形的第二像素电极之间的间隙相对应,每个条形的第一像素电极或条形的第二像素电极与相邻的两个条形公共电极之间的间隙相对应。

[0032] 优选的,所述将所述公共电极层制作成多个相互间隔地分布的条形公共电极包括:

[0033] 将所述公共电极层制作成多个相互间隔地分布的条形公共电极,其中一条公共电极对应设置于阵列基板的数据线的上方;

[0034] 在所述条形公共电极和所述数据线之间具有第二钝化层。

[0035] 本发明的实施例一种显示装置,包括前述任一项所述的阵列基板。

[0036] 本发明的上述技术方案的有益效果如下:

[0037] 上述方案中,相对于与像素区域相对应的公共电极板状电极的现有技术中而言,本发明实施例一种阵列基板、显示装置及阵列基板的制造方法中,由于对应于像素区域的公共电极为多个相互间隔地分布的条形公共电极,这样能够减小所述公共电极与像素电极之间的存储电容 C_{st} ,从而能够减小像素充电的负担,有利于节省电能。

附图说明

[0038] 图 1 为现有技术中公共电极与像素电极的布置结构示意图;

[0039] 图 2 为本发明阵列基板一实施例中公共电极与像素电极的布置结构示意图;

[0040] 图 3 为本发明阵列基板另一实施例中公共电极与像素电极的布置结构示意图。

具体实施方式

[0041] 为使本发明要解决的技术问题、技术方案和优点更加清楚,下面将结合附图及具体实施例进行详细描述。

[0042] 如图 2 及图 3 所示,本发明实施例一种阵列基板,包括:位于像素区域内的像素电极 2,和对应于像素区域的公共电极 1;在公共电极 1 和像素电极 2 之间具有第一钝化层 3;其中所述像素电极 2 为多个呈条形且间隔地交替分布的第一像素电极 2a 和第二像素电极 2b;所述公共电极 1 为多个相互间隔地分布的条形公共电极;其中,多个条形的第一像素电极 2a 的一端相连形成梳状,多个条形的第二像素电极 2b 的一端相连形成梳状;梳状的第一像素电极与梳状的第二像素电极相间隔。

[0043] 相对于基板而言,公共电极可以制作在像素电极的下方,也可以制作在像素电极的上方。图 2 示例性地给出了公共电极制作在像素电极下方的情况。

[0044] 本发明实施例阵列基板中,由于对应于像素区域的公共电极为多个相互间隔地分布的条形公共电极,这样能够减小所述公共电极与像素电极之间的存储电容 C_{st} ,从而能够减小像素充电的负担,有利于节省电能。

[0045] 在前述阵列基板的实施例中,为了尽可能地减小所述公共电极与像素电极之间的存储电容 C_{st} ,优选地,所述条形公共电极的布置方向与条形的第一像素电极和第二像素电极的布置方向相同;并且每个条形公共电极与相邻的条形的第一像素电极和条形的第二像素电极之间的间隙(即条形的第一像素电极与条形的第二像素电极之间的狭缝区域对应的位置)相对应,每个条形的第一像素电极或条形的第二像素电极与相邻的两个条形公共电极之间的间隙相对应。这样在像素电极的下部或上部区域不形成重叠的公共电极。在这情况下,像素电极和公共电极之间不发生直接的重叠(cap),而只发生条纹状的交错重叠(fringe cap),因此条纹状的交错重叠相比直接的重叠来讲,使得公共电极与像素电极之间的存储电容 C_{st} 值变得很小。

[0046] 如图 3 所示,在前述阵列基板的实施例中,所述阵列基板还包括数据线 5;为了既能防止数据线部的电场的漏光,又能够增大开口率,优选地,所述公共电极位于数据线 5 上方,并且多个条形公共电极中的一条,即条形公共电极 6 对应设置于数据线的上方,在所述条形公共电极 6 和所述数据线 5 之间具有第二钝化层 4。优选地,所述第二钝化层 4 为树脂材料。在数据线 5 上部重叠公共电极 6 的结构,由于数据线部的电场被公共电极 6 遮挡从而减少漏光,由此能够使用较窄的黑矩阵,使开口率上升从而增加整体面板透过率。另外,

由于条形公共电极 6 的存在,数据线对像素电极的影响,被该条形公共电极 6 屏蔽,从而使数据线对像素电极的影响降到最低。而树脂层的存在有利于降低数据线与公共电极之间的耦合电容 C_{dc} ,为此所述的树脂层优选适用电容率低的树脂层,进一步的,还可以根据实际情况,将树脂层制作的更厚一些。

[0047] 在前述阵列基板的实施例中,优选地,所述对应设置于数据线 5 上方的条形公共电极 6 的宽度大于所述数据线 5 的宽度,能够使用更窄的黑矩阵,使开口率进一步上升从而进一步增加整体面板透过率。

[0048] 在前述阵列基板的实施例中,优选地,所述数据线上方的条形公共电极的宽度大于其它条形公共电极的宽度。

[0049] 本发明实施例还提供一种阵列基板的制造方法,包括步骤:

[0050] S10、在形成有薄膜晶体管的基板上形成第一钝化层;

[0051] S20、在形成有所述第一钝化层的基板上形成公共电极层;

[0052] S30、将所述公共电极层制作成多个相互间隔地分布的条形公共电极。

[0053] 本发明阵列基板的制造方法实施例中,由于公共电极层制作成多个相互间隔地分布的条形公共电极,这样能够减小所述公共电极与像素电极之间的 C_{st} ,从而能够减小像素充电的负担,有利于节省电能。

[0054] 在前述阵列基板的制造方法一实施例中,所述的阵列基板的制造方法,S30 后还包括步骤:

[0055] S40、在形成有所述条形公共电极的基板上形成第二钝化层;

[0056] S50、在形成有所述第二钝化层的基板上形成呈条形且间隔地交替排列的第一像素电极和第二像素电极的图形;其中

[0057] 多个条形的第一像素电极的图形的一端相连形成梳状,多个条形的第二像素电极的图形的一端相连形成梳状;梳状的第一像素电极的图形与梳状的第二像素电极的图形相间隔。

[0058] 在前述阵列基板的制造方法另一实施例中,所述步骤 S20:在形成有所述第一钝化层的基板上形成公共电极层前包括:

[0059] 在形成有所述第一钝化层的基板上形成呈条形且间隔地交替排列的第一像素电极和第二像素电极的图形;其中,多个条形的第一像素电极的图形的一端相连形成梳状,多个条形的第二像素电极的图形的一端相连形成梳状,梳状的第一像素电极的图形与梳状的第二像素电极的图形相间隔;

[0060] 在形成有所述呈条形且间隔地交替排列的第一像素电极和第二像素电极的图形的基板上,形成第三钝化层;

[0061] 在形成有所述第三钝化层的基板上形成公共电极层。

[0062] 在前述阵列基板的制造方法实施例中,优选地,所述条形公共电极的布置方向与条形的第一像素电极和第二像素电极的布置方向相同;并且,每个条形公共电极与相邻的条形的第一像素电极和条形的第二像素电极之间的间隙相对应,每个条形的第一像素电极或条形的第二像素电极与相邻的两个条形公共电极之间的间隙相对应。

[0063] 这样在像素电极的下部区域不形成重叠的公共电极。在这情况下,像素电极和公共电极之间不发生直接的重叠(cap),而只发生条纹状的交错重叠(fringe cap),因此条纹

状的交错重叠相比直接的重叠来讲,使得公共电极与像素电极之间的存储电容 C_{st} 值变得很小。

[0064] 在前述阵列基板的制造方法实施例中,所述步骤 S30:将所述公共电极层制作成多个相互间隔地分布的条形公共电极包括;

[0065] 将所述公共电极层制作成多个相互间隔地分布的条形公共电极,其中一条公共电极对应设置于阵列基板的数据线的上方;在所述条形公共电极和所述数据线之间具有第二钝化层。

[0066] 其中,所述第二钝化层为树脂材料。

[0067] 进一步地,所述对应设置于数据线上方的条形公共电极的宽度大于所述数据线的宽度。

[0068] 进一步地,所述数据线上方的条形公共电极的宽度大于其它条形公共电极的宽度。

[0069] 在前述阵列基板的制造方法实施例中,将其中一条公共电极对应设置于阵列基板的数据线的上方,以及该条公共电极的宽度大于所述数据线的宽度的优点,在前述阵列基板实施例的相关描述相同,为简便起见,在此不再赘述。

[0070] 需要说明的是:上述第一钝化层、第二钝化层以及第三钝化层并不用来对钝化层的顺序和个数做限定,只是在不同的实施例中,用于区分不同的钝化层。下面对本发明阵列基板的制造方法一实施例做更为详细的说明具体可以包括如下步骤:

[0071] 步骤 S1,在基板上形成栅电极和栅线;

[0072] 首先,可以采用溅射、热蒸发或其它成膜方法,在基板上形成栅金属层,栅金属层可以采用 Cr、Mo、Al、Cu、W、Nd 及其合金,并且,栅金属层可以为一层或多层;然后,在栅金属层上涂覆光刻胶;其次,采用刻画有图形的掩模板对光刻胶进行曝光和显影后,形成光刻胶完全保留区域和光刻胶完全去除区域,其中,所述光刻胶完全保留区域对应栅电极和栅线区域,所述光刻胶完全去除区域对应所述光刻胶完全保留区域之外的区域;再次,利用刻蚀工艺去除光刻胶完全去除区域的栅金属层;最后,剥离所述光刻胶完全保留区域的光刻胶,形成栅电极和栅线的图形。

[0073] 步骤 S2,在形成有栅电极和栅线的基板上形成栅绝缘层;

[0074] 可以采用 PECVD 等方法,在完成步骤 S1 的基板上沉积栅绝缘层,栅绝缘层可以选用氧化物(例如 SiO_x) 或者氮化物(例如 SiN_x) 等材料。

[0075] 步骤 S3,在栅绝缘层上形成半导体层、源电极、漏电极和数据线;

[0076] 其中,步骤 S3 可以采用一次构图工艺完成,也可以采用两次构图工艺完成。

[0077] 采用一次构图工艺则可包括如下步骤:

[0078] 在栅绝缘层上依次形成半导体薄膜和源漏金属薄膜;在源漏金属薄膜上涂覆光刻胶;采用灰色调或半色调掩模板对光刻胶进行曝光和显影后,形成光刻胶完全保留区域、光刻胶半保留区域和光刻胶完全去除区域,其中,所述光刻胶完全保留区域对应源电极和漏电极区域,所述光刻胶半保留区域对应 TFT 沟道区域,所述光刻胶完全去除区域对应所述光刻胶完全保留区域和所述光刻胶半保留区域之外的区域;利用刻蚀工艺去除所述光刻胶完全去除区域的源漏金属薄膜及下方的半导体薄膜,形成半导体层的图形;利用灰化工艺去除所述光刻胶半保留区域的光刻胶;利用刻蚀工艺去除所述光刻胶半保留区域的源漏

金属薄膜,形成源电极、漏电极、数据线和 TFT 沟道的图形。

[0079] 采用两次构图工艺则可包括如下步骤:

[0080] 第一次构图工艺:在栅绝缘层上形成半导体薄膜;在半导体薄膜上涂覆光刻胶;采用刻画有图形的掩模板对光刻胶进行曝光和显影后,形成光刻胶完全保留区域和光刻胶完全去除区域,其中,所述光刻胶完全保留区域对应半导体层图形区域,所述光刻胶完全去除区域对应所述光刻胶完全保留区域之外的区域;利用刻蚀工艺去除光刻胶完全去除区域的半导体薄膜;剥离所述光刻胶完全保留区域的光刻胶,形成半导体层的图形。

[0081] 第二次构图工艺:在形成有半导体层图形的基板上形成源漏金属薄膜;在金属薄膜上涂覆光刻胶;采用刻画有图形的掩模板对光刻胶进行曝光和显影后,形成光刻胶完全保留区域和光刻胶完全去除区域,其中,所述光刻胶完全保留区域对应源电极、漏电极和数据线区域,所述光刻胶完全去除区域对应所述光刻胶完全保留区域之外的区域;利用刻蚀工艺去除光刻胶完全去除区域的源漏金属薄膜;剥离所述光刻胶完全保留区域的光刻胶,形成源电极、漏电极和数据线的图形。

[0082] 其中,半导体薄膜可以为普通硅半导体(本征半导体+掺杂半导体),也可以为有机半导体,还可以为氧化物半导体。

[0083] 为了提高薄膜晶体管的特性,步骤 S3 中还可以包括:在源电极、漏电极和半导体层之间设置欧姆接触层,以改善源电极、漏电极和半导体层的接触电阻。

[0084] 步骤 S4,在形成有半导体层、源电极、漏电极和数据线的基板上形成树脂层和公共电极;其中,所述公共电极包括位于显示区域多个相互间隔地分布的条形公共电极,和位于所述数据线上方的条形公共电极;

[0085] 首先,在形成有半导体层、源电极、漏电极和数据线的基板上形成树脂层;

[0086] 其次,可以采用磁控溅射、热蒸发或其它成膜方法,在完成上述步骤的基板上形成透明导电层,透明导电层可以采用氧化铟锡(ITO)、氧化铟锌(IZO)或氧化铝锌等材料;

[0087] 再次,在透明导电层上涂覆光刻胶;其次,采用刻画有图形的掩模板对光刻胶进行曝光和显影后,形成光刻胶完全保留区域和光刻胶完全去除区域,其中,所述光刻胶完全保留区域对应公共电极区域,所述光刻胶完全去除区域对应所述光刻胶完全保留区域之外的区域;

[0088] 然后,利用刻蚀工艺去除光刻胶完全去除区域的透明导电层,形成公共电极的图形;最后,剥离所述光刻胶完全保留区域的光刻胶。

[0089] 步骤 S5,在形成有树脂层和公共电极的基板上形成钝化层;

[0090] 可以采用 PECVD 等方法,在完成步骤 S4 的基板上沉积钝化层,钝化层可以采用 SiN_x 或 SiO_x 等材料。

[0091] 步骤 S6,在钝化层上形成像素电极,像素电极通过钝化层过孔以及树脂层过孔与漏电极电连接;其中,所述像素电极包括多个呈条形且间隔地交替分布的正像素电极和负像素电极;

[0092] 首先,可以采用磁控溅射、热蒸发或其它成膜方法,在形成有钝化层的基板上形成透明导电层,透明导电层可以采用氧化铟锡(ITO)、氧化铟锌(IZO)或氧化铝锌等材料;

[0093] 然后,在透明导电层上涂覆光刻胶;其次,采用刻画有图形的掩模板对光刻胶进行曝光和显影后,形成光刻胶完全保留区域和光刻胶完全去除区域,其中,所述光刻胶完全保

留区域对应像素电极区域,所述光刻胶完全去除区域对应所述光刻胶完全保留区域之外的区域;再次,利用刻蚀工艺去除光刻胶完全去除区域的透明导电层,并剥离所述光刻胶完全保留区域的光刻胶后,形成像素电极的图形。

[0094] 本发明实施例还提供一种显示装置,在该显示装置中包括前述任一阵列基板实施例所述的阵列基板。其中,该显示装置使用了如上述实施例所述的任意一种阵列基板。所述显示装置可以为:液晶面板、电子纸、OLED 面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0095] 以上所述是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明所述原理的前提下,还可以作出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

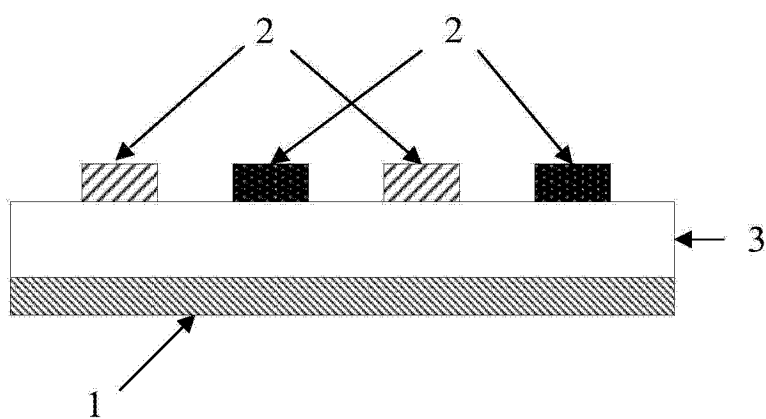


图 1

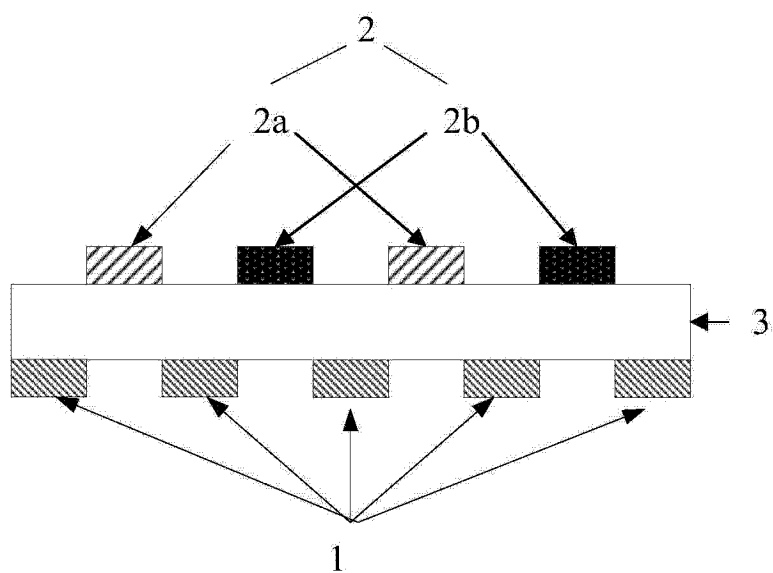


图 2

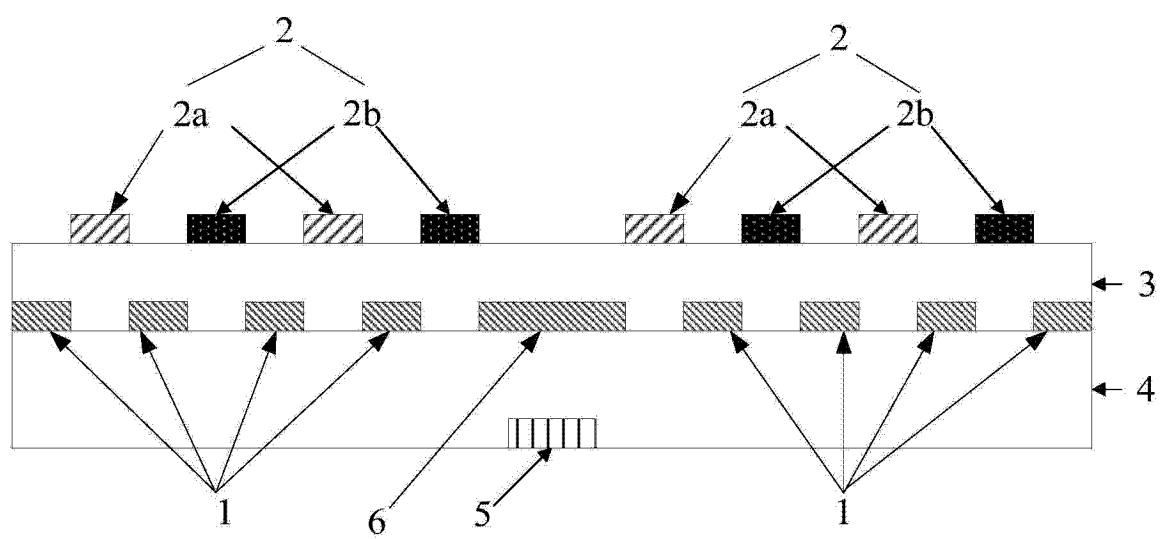


图 3

专利名称(译)	一种阵列基板、显示装置及阵列基板的制造方法		
公开(公告)号	CN103439840A	公开(公告)日	2013-12-11
申请号	CN201310389337.1	申请日	2013-08-30
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	崔贤植 李会 徐智强 严允晟		
发明人	崔贤植 李会 徐智强 严允晟		
IPC分类号	G02F1/1343 G02F1/1333		
CPC分类号	G02F1/134309 G02F1/133512 G02F1/134363 G02F1/13439 G02F1/136286 G02F1/1368 G02F2001/134318 G02F2001/134381 G02F2001/136218 G02F2201/121 G02F2201/123 G02F2201/124 G02F2201/40 H01L27/124 H01L27/1259		
代理人(译)	黄灿		
其他公开文献	CN103439840B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种阵列基板、显示装置及阵列基板的制造方法，涉及液晶显示技术领域，为减小像素充电的负担，有利于节省电能而发明。所述阵列基板，包括：位于像素区域内的像素电极，和对应于像素区域的公共电极；在公共电极和像素电极之间具有第一钝化层；其中所述像素电极为多个呈条形且间隔地交替分布的第一像素电极和第二像素电极；所述公共电极为多个相互间隔地分布的条形公共电极；其中，多个条形的第一像素电极的一端相连形成梳状，多个条形的第二像素电极的一端相连形成梳状；梳状的第一像素电极与梳状的第二像素电极相间隔。所述显示装置中采用前述的阵列基板。本发明适用于显示装置的制作。

