



(12) 发明专利申请

(10) 申请公布号 CN 106918957 A

(43) 申请公布日 2017. 07. 04

(21) 申请号 201511000687. X

(22) 申请日 2015. 12. 28

(71) 申请人 群创光电股份有限公司

地址 中国台湾新竹科学工业园区

(72) 发明人 蔡宗翰 朱夏青 史梅君

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陈小雯

(51) Int. Cl.

G02F 1/1343(2006. 01)

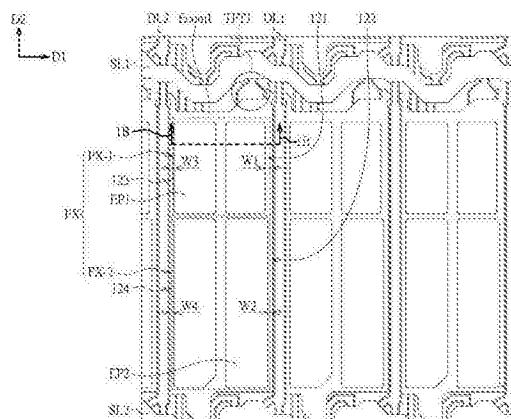
权利要求书2页 说明书10页 附图10页

(54) 发明名称

显示装置

(57) 摘要

本发明公开一种显示装置,包括第一、第二基板、以及两基板间的液晶层;设置于第一基板上相邻的第一、第二扫描线沿着第一方向延伸;相邻的第一、第二数据线以及第一共同电极都设置于第一基板上。第一、第二扫描线和第一、第二数据线定义出第一区域。第一区域的第一子像素区包含第一薄膜晶体管(与第一扫描线及第一数据线电连接)以及第一电极电连接第一薄膜晶体管;第一区域的第二子像素区包含第二电极。第一共同电极包含相连的第一、第二部分,分别位于第一电极与第一数据线之间以及位于第二电极与第一数据线之间,第一部分于第一方向上的宽度大于第二部分于第一方向上的宽度。



1. 一种显示装置,包含:

第一基板及第二基板,一液晶层设置于该第一基板与该第二基板之间;

相邻的一第一扫描线与一第二扫描线都设置于该第一基板上,且沿着一第一方向延伸;

相邻的一第一数据线与一第二数据线都设置于该第一基板上,且该第一扫描线、该第二扫描线、该第一数据线与该第二数据线定义出一第一区域,该第一区域包含一第一子像素区及一第二子像素区;

该第一子像素区包含:

第一薄膜晶体管,设置于该第一基板上,且与该第一扫描线及该第一数据线电连接;以及

第一电极,与该第一薄膜晶体管电连接;

该第二子像素区包含第二电极;

第一共同电极,设置于该第一基板上,该第一共同电极包含相连的第一部分及第二部分,该第一部分位于该第一电极与该第一数据线之间,该第二部分位于该第二电极与该第一数据线之间,其中,该第一部分于该第一方向上的宽度大于该第二部分于该第一方向上的宽度。

2. 如权利要求1所述的显示装置,其中该第二部分于该第一方向上的宽度介于 $1\mu\text{m}\sim 3\mu\text{m}$ 。

3. 如权利要求1所述的显示装置,其中该第一部分于该第一方向上的宽度与该第二部分于该第一方向上的宽度的比例小于等于6,且第一部分于该第一方向上的宽度不大于 $10\mu\text{m}$ 。

4. 如权利要求1所述的显示装置,其中该第一共同电极还包含相连的第三部分及第四部分,该第三部分位于该第一电极与该第二数据线之间,该第四部分位于该第二电极与该第二数据线之间,且该第三部分于该第一方向上的宽度(W3)与该第四部分于该第一方向上的宽度(W4)的差值小于该第一部分于该第一方向上的宽度(W1)与该第二部分于该第一方向上的宽度(W2)的差值。

5. 如权利要求4所述的显示装置,其中该第三部分于该第一方向上的宽度实质上等于该第四部分于该第一方向上的宽度。

6. 如权利要求4所述的显示装置,其中该第一部分于该第一方向上的宽度大于该第三部分于该第一方向上的宽度。

7. 如权利要求1所述的显示装置,还包含:

第二共同电极,设置于该第二扫描线与相邻的一第三扫描线之间;

该第二扫描线、该第三扫描线、该第一数据线与该第二数据线定义出一第二区域,该第二区域包含一第三子像素区与一第四子像素区,其中

该第三子像素区包含一第二薄膜晶体管,该第二薄膜晶体管与该第二扫描线及该第二数据线电连接,其中,该第二共同电极设置于该第一基板上,且包含靠近该第二数据线的一第五部分及一第六部分,该第五部分位于该第三子像素区与该第二数据线之间,该第六部分位于该第四子像素区与该第二数据线之间,且该第五部分于该第一方向上的宽度大于该第六部分于该第一方向上的宽度。

8. 如权利要求 7 所述的显示装置, 其中该第一共同电极还包含相连的一第三部分及一第四部分, 该第三部分位于该第一电极与该第二数据线之间, 该第四部分位于该第二电极与该第二数据线之间, 其中该第六部分于该第一方向上的宽度实质上等于该第四部分于该第一方向上的宽度。

9. 如权利要求 7 所述的显示装置, 其中该第五部分于该第一方向上的宽度实质上等于该第一部分于该第一方向上的宽度。

10. 如权利要求 1 所述的显示装置, 其中该第一电极和该第二电极相互隔绝。

11. 如权利要求 1 所述的显示装置, 其中该第一数据线与该第二数据线沿着一第二方向延伸, 且该第一部分于该第二方向上的长度至少等于该第一电极于该第二方向上的长度。

12. 如权利要求 11 所述的显示装置, 其中该第二部分于该第二方向上的长度至少等于该第二电极于该第二方向上的长度。

13. 如权利要求 12 所述的显示装置, 其中该第一部分于该第一方向上的最小宽度大于该第二部分于该第一方向上的最小宽度。

14. 如权利要求 1 所述的显示装置, 其中施加电压于该第一区域时, 该第一子像素区还包含:

十字暗纹及位于该十字暗纹周围的多个锯齿状暗纹, 该些锯齿状暗纹的其中之一与该十字暗纹的一横轴暗纹形成一夹角 A, 该横轴暗纹沿着该第一方向延伸, 该夹角 A 满足以下方程式:

$$X-4 \leq A \leq X+4,$$

其中, $X = -11.22 - 0.8826W + 1.944R + 4.855H + 0.005155W^2 - 0.04687H^2 - 0.020573WR - 0.026539WH + 100.32Q/W$,

W 为该第一电极于该第一方向上的最大宽度, R 为该第一电极相距最远的两侧边于平行该第一数据线方向上的最大长度 L 与前述 W 的比值 ($R = L/W$), H 为该第一电极于该第一方向上单边被遮蔽的宽度, Q 为该第一电极于该第一方向上的一可视短边宽度, 其中, $30 \mu m \leq W \leq 120 \mu m$, $1 \leq R \leq 4$, $0 \leq H \leq 15 \mu m$ 。

15. 如权利要求 14 所述的显示装置, 该十字暗纹包含至少一纵轴暗纹段, 该纵轴暗纹段沿着平行该第一数据线方向上延伸且不与该横轴暗纹重叠, 其中 $H = (W-Q-D)/2$, D 为该纵轴暗纹段于该第一方向上的一半高宽值。

显示装置

技术领域

[0001] 本发明涉及一种显示装置,且特别是涉及一种显示装置中共同电极的宽度变化设计。

背景技术

[0002] 具有显示面板的电子产品已是现代人不论在工作处理学习上、或是个人休闲娱乐上,不可或缺的必需品,包括智能型手机 (SmartPhone)、平板电脑 (Pad)、笔记型电脑 (Notebook)、显示器 (Monitor) 到电视 (TV) 等许多相关产品。其中又以具液晶显示面板的显示装置最为普遍。由于液晶显示装置在绝大多数应用上具有更简洁、更轻盈、可携带、更低价、更高可靠度、以及让眼睛更舒适的功能,已经广泛地取代了阴极射线管显示器 (CRT),成为最广泛使用的显示装置,同时提供多样性包括尺寸、形状、解析度等多种选择。

[0003] 显示装置在制作时需注意制作工艺上的细节,例如进行金属层和半导体层等各层图案化时(如光刻和蚀刻)需精确以避免断线,而各层的相对位置与图案设计也需考虑到是否可使制得的显示装置具有稳定良好的电子特性,以符合产品要求的各项规格。显示装置的设计不良,将造成电性表现降低,例如串音干扰严重和穿透率下降等问题,进而影响显示品质。

发明内容

[0004] 本发明有关于一种显示装置,通过一区域中(如一像素区域)其共同电极的宽度变化设计,可增进显示装置的电性表现并使其维持良好穿透率,进而达到稳定优异的显示品质。

[0005] 根据本发明,提出一种显示装置,包括:一第一基板、一第二基板、以及位于第一基板与第二基板之间的一液晶层;相邻的一第一扫描线与一第二扫描线都设置于第一基板上,且沿着一第一方向延伸;相邻的一第一数据线与一第二数据线都设置于该第一基板上;以及一第一共同电极设置于第一基板上。其中第一扫描线、第二扫描线、第一数据线与第二数据线定义出一第一区域,第一区域包含一第一子像素区及一第二子像素区。第一子像素区包含一第一薄膜晶体管以及与第一薄膜晶体管电连接的一第一电极,第一薄膜晶体管设置于第一基板上,且与第一扫描线及第一数据线电连接;第二子像素区包含一第二电极。第一共同电极包含相连的一第一部分及一第二部分,第一部分位于第一电极与第一数据线之间,第二部分位于第二电极与第一数据线之间,其中,第一部分于第一方向上的宽度大于第二部分于第一方向上的宽度。

[0006] 为了对本发明的上述及其他方面有更佳的了解,下文特举实施例,并配合所附的附图,作详细说明如下:

附图说明

[0007] 图 1A 为本发明一实施例的一显示装置中三个相邻像素区域的顶部俯视图;

- [0008] 图 1B 为沿图 1A 中剖面线 1B-1B 所绘制的显示装置的一像素区域的剖面简示图；
- [0009] 图 2A、图 2B 为两种应用本发明一实施例的一显示装置的示意图，其中同一行方向上的多个像素区域的薄膜晶体管设置在同一侧；
- [0010] 图 3 为一种应用本发明一实施例的一显示装置的示意图，其中同一行相邻列的像素区域的薄膜晶体管设置在不同侧；
- [0011] 图 4 为本发明其中一示例中四个相邻像素区域，各像素区域中的第一和第二子像素区、共同电极及数据线的示意图；
- [0012] 图 5A 为一种传统显示装置的像素区域的局部剖示图；
- [0013] 图 5B 为一实施例的显示装置的像素区域的局部剖示图；
- [0014] 图 6 为模拟试验中各个参数对应于单一像素区域结构的简示图；
- [0015] 图 7 为模拟试验二中没有电容耦合效应下，多组宽度组合与对应的穿透率的曲线图；
- [0016] 图 8 为模拟试验二中有电容耦合效应存在的情况下，多组宽度组合与对应的穿透率损失的曲线图；
- [0017] 图 9A 为一实施例中一单一像素区域的暗纹示意图；
- [0018] 图 9B 为图 9A 的剖面线 I-I' 所绘制的水平距离上的标准化光强度的曲线图。
- [0019] 符号说明
- [0020] 10：第一基板
- [0021] S1：第一基材
- [0022] SL1：第一扫描线
- [0023] SL2：第二扫描线
- [0024] SL3：第三扫描线
- [0025] DL1：第一数据线
- [0026] DL2：第二数据线
- [0027] PX：第一区域
- [0028] PX-1、A1：第一子像素区
- [0029] PX-2、B1：第二子像素区
- [0030] PX-3：第三子像素区
- [0031] PX-4：第四子像素区
- [0032] TFT1：第一薄膜晶体管
- [0033] EP1：第一电极
- [0034] EP2：第二电极
- [0035] E_{com1}：第一共同电极
- [0036] 121、621：第一部分
- [0037] 122、622：第二部分
- [0038] 123、623：第三部分
- [0039] 124、624：第四部分
- [0040] 125：第五部分
- [0041] 126：第六部分

- [0042] $PX_{[1,1]}$ 、 $PX_{[1,2]}$ 、 $PX_{[1,3]}$ 、 $PX_{[2,1]}$ 、 $PX_{[2,2]}$ 、 $PX_{[2,3]}$ 、P1、P2、P3 和 P4 :像素区域
- [0043] E_{com} :共同电极
- [0044] TFT、 $TFT_{1,1}$ 、 $TFT_{2,1}$ 、 $TFT_{1,2}$ 、 $TFT_{2,2}$ 、 $TFT_{1,3}$ 、 $TFT_{3,1}$:薄膜晶体管
- [0045] ILD :层间介电层
- [0046] 20 :第二基板
- [0047] S2 :第二基材
- [0048] E_{upper} :上板电极
- [0049] LC :液晶层
- [0050] 81 :十字暗纹
- [0051] 81a :横轴暗纹
- [0052] 81b :纵轴暗纹
- [0053] 82 :锯齿状暗纹
- [0054] D1 :第一方向
- [0055] D2 :第二方向
- [0056] A :夹角
- [0057] W_0 、 W_1 、 W_2 、 W_3 、 W_4 、 W_5 、 W_6 :宽度

具体实施方式

[0058] 本发明的实施例提出一显示装置,通过一区域中(如一像素区域)其共同电极的宽度变化设计,可增进制得的显示装置的电性表现,例如降低电容耦合效应(Coupling effect),使显示装置进行操作时不会因数据线传送相对应的视讯信号而干扰影响到像素显示品质。再者,实施例提出的显示装置于增进电性表现之余,又仍可维持良好的穿透率。因此,根据实施例所提出的设计,可使制得的显示装置具有稳定优异的显示品质。

[0059] 本发明的实施例应用于一显示装置的阵列基板,且可应用于例如是(但不限制是)一垂直配向(Vertical Alignment,VA)显示模式的液晶显示装置的阵列基板(薄膜晶体管基板)。实施例中以一低色偏模式显示的液晶显示面板的像素结构为例做说明,即于单一像素区域内具有亮区和暗区,侧看显示面板时通过此亮暗两区可以产生相互补偿的效果,而达到降低色偏的目的。

[0060] 以下参照所附的附图详细叙述本发明的实施态样。需注意的是,实施例所提出的实施态样的结构和内容仅为举例说明之用,本发明欲保护的范围并非仅限于所述的态样。需注意的是,本发明并非显示出所有可能的实施例,相关领域者可在不脱离本发明的精神和范围内对实施例的结构加以变化与修饰,以符合实际应用所需。因此,未于本发明提出的其他实施态样也可能可以应用。再者,附图已简化以利清楚说明实施例的内容,附图上的尺寸比例并非按照实际产品等比例绘制。因此,说明书和图示内容仅作叙述实施例之用,而非作为限缩本发明保护范围之用。再者,实施例中相同或类似的标号用以标示相同或类似的部分。

[0061] 再者,说明书与请求项中所使用的序数例如“第一”、“第二”、“第三”等的用词,以修饰请求项的元件,其本身并不意含及代表该请求元件有任何之前的序数,也不代表某一请求元件与另一请求元件的顺序、或是制造方法上的顺序,该些序数的使用仅用来使具有

某命名的一请求元件得以和另一具有相同命名的请求元件能作出清楚区分。

[0062] 图 1A 为本发明一实施例的一显示装置中三个相邻像素区域的顶部俯视图。图 1B 为沿图 1A 中剖面线 1B-1B 所绘制的显示装置的一像素区域的剖面简示图。一实施例中，一显示装置包括第一基板 10、第二基板 20 和位于两基板之间的一显示介质层如液晶层 LC(图 1B)。第一基板 10 和第二基板 20 例如分别是一阵列基板(例如薄膜晶体管(TFT)基板)和一彩色滤光片基板(CF substrate)。一实施例中，第一基板 10 包括第一基材 S1 和形成于第一基材 S1 上的相互交叉设置的多条扫描线 SL 和多条数据线 DL，且相邻两数据线(如第一数据线 DL1 及第二数据线 DL2)与相邻两扫描线(如第一扫描线 SL1 及第二扫描线 SL2)交错而定义出一区域，例如像素区域(Pixel region)。像素区域中包括有一像素电极层以及共同电极，且像素电极层与第一数据线 DL1 及第二数据线 DL2 其中一者电连接。在此实施例中，以像素区域(ex:PX)的像素电极层包括第一电极 EP1 和第二电极 EP2，且像素电极层与第一数据线 DL1 电连接为例做说明。

[0063] 如图 1A 所示，相邻的第一扫描线 SL1 与第二扫描线 SL2 的设置沿着一第一方向 D1 延伸；且相邻的第一数据线 DL1 和第二数据线 DL2 与第一扫描线 SL1 和第二扫描线 SL2 定义出一第一区域(例如像素区域)PX，第一区域 PX 包含一第一子像素区 PX-1 及一第二子像素区 PX-2。第一子像素区 PX-1 包含一第一薄膜晶体管 TFT1 和第一电极 EP1。第一薄膜晶体管 TFT1 设置于该第一基板上，且对应第一扫描线 SL1 及第一数据线 DL1 交错处，而与第一扫描线 SL1 及第一数据线 DL1 电连接。第一电极 EP1 则与第一薄膜晶体管 TFT1 电连接。第二子像素区 PX-2 包含一第二电极 EP2。而一第一共同电极 E_{com1} 设置于第一基板 S1 上，包含相连的一第一部分 121 及一第二部分 122，第一部分 121 位于第一电极 EP1 与第一数据线 DL1 之间，第二部分 122 位于第二电极 EP2 与第一数据线 DL1 之间。根据实施例的设计，第一部分 121 于第一方向 D1 上的宽度 W1 大于第二部分 122 于第一方向 D1 上的宽度 W2。

[0064] 在一实施例中，第二部分 122 于第一方向 D1 上的宽度 W2 例如是介于 $1\mu m \sim 3\mu m$ 。另一实施例中，第一部分 121 于第一方向 D1 上的宽度 W1 与第二部分 122 于第一方向 D1 上的宽度 W2 的比例例如是小于等于 6，且第一部分 121 于第一方向 D1 上的宽度 W1 不大于 $10\mu m$ 。

[0065] 另外，第一数据线 DL1 与第二数据线 DL2 沿着一第二方向 D2 延伸，在一实施例中，第一部分 121 于第二方向 D2 上的长度至少等于第一电极 EP1 于第二方向 D2 上的长度。而第二部分 122 于第二方向 D2 上的长度至少等于第二电极 EP2 于第二方向 D2 上的长度。再者，在一实施例中，第一部分 121 于第一方向 D1 上的最小宽度 W1 大于第二部分 122 于第一方向 D1 上的最小宽度 W2。再者，在另一实施例中，第一部分 121 于第一方向 D1 上的宽度实质上相等，以及第二部分 122 于第一方向 D1 上的宽度实质上相等。

[0066] 在图 1B 中仅简示单一像素区域中第一子像素区 PX-1 的数据线、像素电极层、共同电极之间的相对位置，以利清楚说明实施例。再者，共同电极 E_{com1} 与像素电极层(第一电极 EP1 和第二电极 EP2)之间还设置有一层间介电层(interlayer dielectric)ILD 于第一基材 S1 上。一实施例中，第一电极 EP1 和第二电极 EP2 例如是以透明导电膜 ITO(氧化铟锡)制作，以分别做为第一子像素区 PX-1 和第二子像素区 PX-2 的像素电极。且第一电极 EP1 和第二电极 EP2 在 ITO 层的结构上相互隔绝的，可通过其他结构分别电连接至薄膜晶体管，

而使第一子像素区 PX-1 和第二子像素区 PX-2 可以获得其所需的灰阶电压。而第一共同电极 E_{com1} 例如是由第一金属层制得,可与扫描线和薄膜晶体管一起制作形成。实际应用时,同一列方向上的多个像素区域(即相邻的第一区域 PX),其第一共同电极例如是相连的。

[0067] 另外,如图 1B 所示,第二基板 20 包括一第二基材 S2 和一上板电极 E_{upper} 设置于第二基材 S2 上,第二基板 20 中未绘示的其余元件例如色阻和遮光图案(如黑色矩阵)等,为技术领域者所熟知,在此不赘述。在一实施例中,上板电极 E_{upper} 为一整面的电极例如整片的透明导电膜 ITO,而第一基板 10 的像素电极(例如第一电极 EP1 和第二电极 EP2)则为被图案化的 ITO,例如是具有多个延伸间隙(slits,未绘示于图 1A、图 1B)的 ITO 且该些间隙在单一像素区域中令像素电极构成一米字形图案。上板电极 E_{upper} 与下方的像素电极之间所产生的电场可用来驱动液晶层 LC 的液晶分子转动。

[0068] 再者,如图 1A 所示,第一共同电极 E_{com1} 还包含相连的一第三部分 123 及一第四部分 124,第三部分 123 位于第一电极 EP1 与第二数据线 DL2 之间,第四部分 124 位于第二电极 EP2 与第二数据线 DL2 之间。在一实施例中,第三部分 123 于第一方向 D1 上的宽度实质上等于第四部分 124 于第一方向 D1 上的宽度。亦即,第一共同电极 E_{com1} 在邻近第二数据线 DL2 侧(远离第一数据线 DL1 侧),其靠近第一电极 EP1 的侧边和靠近第二电极 EP2 的侧边是实质上切齐的。而如上述,第一共同电极 E_{com1} 在邻近第一数据线 DL1 侧,其靠近第一电极 EP1 的侧边相较于其靠近第二电极 EP2 的侧边是非切齐的,且更远离第一数据线 DL1 的边缘。根据实施例,第一部分 121 于第一方向 D1 上的宽度 W1 大于第三部分 123 于第一方向 D1 上的宽度 W3。

[0069] 再者,在一实施例中,宽度 W3 也可能是接近但不等于宽度 W4,且可能略小于也可能略大于宽度 W4;因此,第三部分 123 于第一方向 D1 上的宽度 W3 与第四部分 124 于第一方向 D1 上的宽度 W4 的差值的绝对值可小于第一部分 121 于第一方向 D1 上的宽度 W1 与第二部分 122 于第一方向上的宽度 W2 的差值。如下式表示:

$$[0070] \quad |(W3-W4)| < (W1-W2)。$$

[0071] 实际应用时,本发明可适用于许多不同结构形态的显示面板,例如适当安排相邻列方向上和/或相邻行方向上多个像素区域的薄膜晶体管的位置。请参照图 2A、图 2B,其绘示两种应用本发明一实施例的一显示装置的示意图,其中同一行方向上的多个像素区域的薄膜晶体管设置在同一侧。亦即重复形成如图 1A 所示的像素区域的结构于像素阵列的各列中。请同时参照图 1A 及其相关说明,相同元件的细节也请参照前述,在此不再重复赘述。图 2A、图 2B 都绘示一 m 列 n 行 ($m \times n$) 像素阵列,且 $m = 2$, $n = 3$,像素阵列包括像素区域 $PX_{[1,1]}$ 、 $PX_{[1,2]}$ 、 $PX_{[1,3]}$ 、 $PX_{[2,1]}$ 、 $PX_{[2,2]}$ 、 $PX_{[2,3]}$,其中像素区域 $PX_{[1,1]}$ 和 $PX_{[2,1]}$ 的薄膜晶体管 TFT_{1,1} 和 TFT_{2,1} 与第一数据线 DL1 电连接,像素区域 $PX_{[1,2]}$ 和 $PX_{[2,2]}$ 的薄膜晶体管 TFT_{1,2} 和 TFT_{2,2} 与第二数据线 DL2 电连接,像素区域 $PX_{[1,3]}$ 和 $PX_{[2,3]}$ 的薄膜晶体管 TFT_{1,3} 和 TFT_{2,3} 与第三数据线 DL3 电连接。如图 2A、图 2B 中所圈选处,各像素区域的第一共同电极 E_{com1} 的第一部分 121 于第一方向 D1 上的宽度大于第二部分 122 于第一方向 D1 上的宽度,其中第一共同电极 E_{com1} 的第一部分 121 和第二部分 122 是指:靠近负责传送信号至所属像素区域的数据线的第一共同电极 E_{com1} 的两个上下相连的部分。

[0072] 当然,本发明并不仅限制于图 2A、图 2B 的态样,也可应用于其他态样,例如图 3,其绘示一种应用本发明一实施例的一显示装置的示意图,其中同一列像素区域的薄膜晶体管

设置在同一侧,但同一行相邻列的像素区域的薄膜晶体管则设置在不同侧。如图3所示,像素区域 $PX_{[1,1]}$ 和 $PX_{[2,1]}$ 的薄膜晶体管 $TFT_{1,1}$ 和 $TFT_{2,1}$ 分别与第一数据线 DL1 和第二数据线 DL2 电连接,像素区域 $PX_{[1,2]}$ 和 $PX_{[2,2]}$ 的薄膜晶体管 $TFT_{1,2}$ 和 $TFT_{2,2}$ 分别与第二数据线 DL2 和第三数据线 DL3 电连接,像素区域 $PX_{[1,3]}$ 和 $PX_{[2,3]}$ 的薄膜晶体管 $TFT_{1,3}$ 和 $TFT_{2,3}$ 分别与第三数据线 DL3 和第四数据线 DL4 电连接。因此就相同列的像素区域而言,第一共同电极 E_{com1} 的第一部分都设置在相同某一侧(即各像素区域中像素电极的左侧);到了邻接的下一列,第一共同电极 E_{com1} 的第一部分则设置于至另一侧(即各像素区域中像素电极的右侧)。

[0073] 以图3中上下两个像素区域 $PX_{[1,1]}$ 和 $PX_{[2,1]}$ 为例做本发明其中的一个实施例设计的说明。由第一扫描线 SL1、第二扫描线 SL2、第一数据线 DL1 与第二数据线 DL2 所定义出的像素区域 $PX_{[1,1]}$ (亦即,第一区域),其细部结构请参照图1A,不再赘述,而显示装置还包含一第二共同电极 E_{com2} 设置于第一基板 10 上,并位于第二扫描线 SL2 与相邻的一第三扫描线 SL3 之间,且第二扫描线 SL2、第三扫描线 SL3、第一数据线 DL1 与第二数据线 DL2 定义出一第二区域(亦即,像素区域 $PX_{[2,1]}$,第二区域与第一区域相邻)。类似地,第二区域包含一第三子像素区 PX-3 与一第四子像素区 PX-4,其中第二区域包含一薄膜晶体管 $TFT_{2,1}$ (第二薄膜晶体管),薄膜晶体管 $TFT_{2,1}$ 与第二扫描线 SL2 及第二数据线 DL2 电连接,其中,第二共同电极 E_{com2} 包含靠近第二数据线 DL2 的一第五部分 125 及一第六部分 126,第五部分 125 位于该第三子像素区 PX-3 与该第二扫描线 SL2 之间,该第六部分 126 位于该第四子像素区 PX-4 与该第二数据线 DL2 之间,且第五部分 125 于第一方向 D1 上的宽度 W5 大于第六部分 126 于第一方向 D1 上的宽度 W6。

[0074] 再者,在一个实施例中,第六部分 126 于第一方向 D1 上的宽度 W6 可实质上等于第四部分 124 于第一方向 D1 上的宽度 W4。一个实施例中,第五部分 125 于第一方向 D1 上的宽度 W5 可实质上等于第一部分 121 于第一方向 D1 上的宽度 W1。

[0075] 为避免液晶材料受到施加太久的直流电压而失去原有液晶光学特性(例如失去电压与穿透度的特性关系),在驱动液晶分子时是以交流方式施加电压。依照对像素区域施加电压的极性方式不同,常见的极性反转 (polarity inversion) 又可区分为图框反转 (frame inversion)、列反转 (row inversion)、行反转 (column inversion) 和点反转 (dot inversion)。如图2A、图2B所示的结构,可应用于行反转的液晶分子驱动方式,相较于图框反转 (i.e. 整个画面所有相邻的都拥有相同极性) 驱动,行反转驱动的相邻行拥有相反极性(如奇数行是正极性,偶数行为负极性),可以较好的解决画面闪烁的问题。而如图3所示的结构,虽然同样是使用行反转的液晶分子驱动方式,却可以产生像点反转驱动的显示效果,相较于图框反转驱动,以行反转的驱动方式显示出点反转驱动的显示效果,可使相邻像素都具有相反极性 (i.e. 各像素与自己相邻的上下左右四个像素的极性都不同),不但较为省电,还具有非常良好的解决画面闪烁效果。当然,如图2A、图2B、图3所提出的结构仅为举例说明之用,本发明可以应用的实施态样众多,可根据实施应用所需而做相应的调整 and 变化。

[0076] 根据实施例所提出的电极设计,可以有效降低电容耦合效应 (Coupling effect),使显示装置进行操作时不会因数据线传送相对应的视讯信号而干扰影响到像素显示品质。请参照图4,其绘示本发明其中一示例中四个相邻像素区域,各像素区域中的第一和第二子像素区、共同电极及数据线的示意图。图4中四个相邻像素区域分别为像素区域 P1、P2、

P3 和 P4, 且其薄膜晶体管分别连接至第一数据线 DL1 (像素区域 P1 和 P2) 和第二数据线 DL2 (像素区域 P3 和 P4)。图 5A 绘示一种传统显示装置的像素区域的局部剖示图。而图 5B 绘示一实施例的显示装置的像素区域的局部剖示图。

[0077] 图 4 中各像素区域中的第一子像素区和第二子像素区 (例如是低色偏显示模式的显示装置中的亮区和暗区) 则分别标记为 A (包括 A1、A2、A3、A4) 和 B (包括 B1、B2、B3、B4)。一般在低色偏显示模式中, 第一子像素区 A1、A2、A3、A4 是主要贡献亮度的区域。请参照上述图 1A 及叙述像素区域各相关结构的内容。根据一实施例中, 共同电极的位于第一子像素区 A1、A2 与第一数据线 DL1 之间的宽度 (即, 共同电极的第一部分, 例如 W1) 大于共同电极的位于第二子像素区 B1、B2 与第一数据线 DL1 之间的宽度 (即, 共同电极的第二部分, 例如 W2)。如操作时, 若第一扫描线 SL1 送出一高电压打开像素区域 P1 和 P3 的晶体管, 此时第一数据线 DL1 和第二数据线 DL2 分别将信号送至打开的晶体管进行充电, 假设此时像素区域 P1 和 P3 的第一子像素区 A1 和 A3 的 IT0 分别充电至 +6V 和 -6V; 在下一个时序, 第二扫描线 SL2 送出一高电压打开像素区域 P2 和 P4 的晶体管, 第一数据线 DL1 和第二数据线 DL2 分别将信号送至打开的晶体管并将像素区域 P2 和 P4 的第一子像素区 A2 和 A4 的 IT0 分别充电至 -6V 和 -6V。此时第一数据线 DL1 (-6V) 会影响像素区域 P1 的第一子像素区 A1 (6V), 而对其造成电容耦合效应。如图 5A 所示, 传统显示装置没有对像素区域的共同电极的宽度做设计变化, 即共同电极到连接晶体管的该条数据线 (ex: 第一数据线 DL1) 的宽度都维持相同, 例如是宽度 W_0 , 则该条数据线上的电压变动会拉扯电场的电力线, 产生较强的电容耦合效应, 造成串音干扰 (crosstalk)。如图 5B 所示, 一实施例的显示装置通过对像素区域的共同电极的宽度设计, 在对应第一子像素区处加宽共同电极到第一数据线 DL1 (连接该像素区域的晶体管) 的宽度, 例如增加至宽度 W1, 可达到降低电容耦合效应的效果。再者, 可给定共同电极一个定电压 (V_{com}), 维持上下基板间的压差, 只要增加共同电极对应亮区的宽度, 即可稳固电力线, 有效改善电容耦合效应, 进而提升显示品质。至于共同电极远离第一数据线 DL1 的那一侧由于不受数据线传送信号时电压变化的影响, 因此共同电极的线宽可以维持相同。

[0078] 再者, 本发明也研究电容耦合效应及共同电极线宽变化对于穿透率的影响。以下提出其中几组相关模拟试验做示例说明。

[0079] 请参照图 6, 其为模拟试验中各个参数对应于单一像素区域结构的简示图。其中, 薄膜晶体管 TFT 连接至第一数据线 DL1 及第一子像素区 A1。而共同电极 E_{com} 包含相连的第一部分 621 及一第二部分 622, 第一部分 621 介于第一子像素区 A1 的 IT0 电极 (同前述的第一电极) 与第一数据线 DL1 之间, 第二部分 622 介于第二子像素区 B1 的 IT0 电极 (同前述的第二电极) 与第一数据线 DL1 之间, 且第一部分 621 于第一方向 D1 上的宽度 W1 大于第二部分 622 于第一方向 D1 上的宽度 W2。另外, 共同电极 E_{com} 还包含相连的一第三部分 623 及一第四部分 624, 其与第二数据线 DL2 之间的宽度分别为 W3 和 W4。

[0080] < 模拟试验一 >

[0081] 模拟试验一中提出三组 W1/W2/W3/W4 的宽度组合: 等宽的 $5\mu m/5\mu m/5\mu m/5\mu m$ 和 $2\mu m/2\mu m/2\mu m/2\mu m$, 以及 $5\mu m/2\mu m/2\mu m/2\mu m$ (实施例的其中一组宽度)。表一列出模拟试验一的该些宽度组合在没有电容耦合效应下 (i. e. 第一数据线电压 = 6V, IT0 电极电压 = 6V) 和有电容耦合效应下 (i. e. 第一数据线电压 = 0V, IT0 电极电压 = 6V) 的穿

透率结果。

[0082] 表一

[0083]

试验组	5 μ m/5 μ m/5 μ m/5 μ m	5 μ m/2 μ m/2 μ m/2 μ m	2 μ m/2 μ m/2 μ m/2 μ m
没有电容耦合效应的穿透率 (第一数据线电压 = 6V, ITO 电极 = 6V)	18.90%	19.89%	19.96%
有电容耦合效应的穿透率 (第一数据线电压 = 0V, ITO 电极 = 6V)	18.49%	19.33%	19.36%
穿透率损失(%)	2.17%	2.82%	3%

[0084] 表一的结果显示,从没有电容耦合效应到有电容耦合效应的各组穿透率分别下降了 2.17%、2.82% (实施例) 和 3%。如传统结构的相等宽度 5 μ m/5 μ m/5 μ m/5 μ m, 定会牺牲开口率使穿透率下降,如传统结构的相等宽度 2 μ m/2 μ m/2 μ m/2 μ m, 虽然穿透率较高 (ex:18.90% vs. 19.96%), 但是在有电容耦合效应存在的情况下穿透率则下降最多 (3%)。而实施例的其中一组宽度 5 μ m/2 μ m/2 μ m/2 μ m 则在有电容耦合效应存在的情况下穿透率则只下降 2.82% (<3%)。因此,实施例提出的共同电极宽度设计不但可以降低电容耦合效应,又可维持一定的穿透率。

[0085] < 模拟试验二 >

[0086] 模拟试验二中针对高灰阶驱动下,多组 W1/W2/W3/W4 宽度组合进行研究。表二仅列出多组实验中的其中五组宽度组合做示例说明,包括 5 μ m/2 μ m/2 μ m/2 μ m、4 μ m/2 μ m/2 μ m/2 μ m、3 μ m/2 μ m/2 μ m/2 μ m、2 μ m/2 μ m/2 μ m/2 μ m 以及 1 μ m/2 μ m/2 μ m/2 μ m。

[0087] 表二列出模拟试验二的该些宽度组合在有电容耦合效应下 (i. e. 第一数据线电压 = 0V, ITO 电极 = 6V, 有串音干扰) 的穿透率结果,和相对于没有电容耦合效应下 (i. e. 第一数据线电压 = 6V, ITO 电极 = 6V) 的穿透率结果,及两者间的穿透率损失 (TR% loss)。其中穿透率损失的算式为:

[0088] 穿透率损失 (TR% loss) = 1 - (有电容耦合效应的穿透率%) / (没有电容耦合效应的穿透率%)。

[0089] 表二

[0090]

	第一数据线电压	6V	6V	穿透率损失
	ITO 电极电压	6V	0 V	(TR% loss)
试验组 ($\mu\text{m}/\mu\text{m}/\mu\text{m}/\mu\text{m}$)	5/2/2/2	17.97%	17.36%	3.39%
	4/2/2/2	17.99%	17.37%	3.43%
	3/2/2/2	18.01%	17.38%	3.46%
	2/2/2/2	18.03%	17.39%	3.58%
	1/2/2/2	18.05%	17.39%	3.61%

[0091] 图 7 为模拟试验二中没有电容耦合效应下,多组宽度组合与对应的穿透率的曲线图。图 8 为模拟试验二中有电容耦合效应存在的情况下,多组宽度组合与对应的穿透率损失的曲线图。图 7、图 8 的各点数值如表二所列。根据该些结果显示,宽度 W1 大于宽度 W2 可以得到良好的显示品质(图 8,串音干扰造成的穿透率损失呈一下降趋势),但是宽度 W1 增加至一定值之后,可能会有穿透率过低的问题(图 7)。若线宽 W1 减少至一定值(例如 $2\mu\text{m}$)之后,可能会有穿透率损失过高(图 8),无法解决串音干扰且可能会有断线疑虑等问题。

[0092] 根据上述,在实际应用时,可利用如图 7~图 8 的曲线,并参照应用产品的穿透率标准来决定宽度 W1 的较佳数值。领域技术者当知,上述表中所列的宽度组合、穿透率与图 7~图 8 所绘制的曲线仅为参考之用,并非用以限制本发明的宽度范围。例如,在一实施例中,第二部分 122 于第一方向 D1 上的宽度 W2 可以介于 $1\mu\text{m} \sim 3\mu\text{m}$ 。另一实施例中,第一部分 121 于第一方向 D1 上的宽度 W1 与第二部分 122 于第一方向 D1 上的宽度 W2 的比例可以小于等于 6,且第一部分 121 于第一方向 D1 上的宽度 W1 不大于 $10\mu\text{m}$ 。

[0093] 另外,除了上述设计,实施例还提出一种暗纹角度设计,以进一步提高像素穿透率。请参照图 9A,其绘示一实施例中一单一像素区域的暗纹示意图。图 9B 为根据图 9A 的剖面线 I-I' 所绘制的水平距离上的标准化(normalized)光强度的曲线图。在此示例中,以一像素区域进行操作时,相应于像素电极图案(i. e. 狭缝图案和倾斜方向)所产生的暗纹图形做说明;亦即单一像素区域具有不同配向方向的配向区域,其中施加电压于像素区域时,在配向区域的交界处是形成如十字形状的中央暗纹,配向区域内的斜向暗纹则对应像素电极的狭缝,而各配向区域边缘受到电场与配向方向的影响会产生边际暗纹。

[0094] 图 9A 中,对应如前述第一子像素区的暗纹图形包含一十字暗纹 81(包括横轴暗纹 81a 和纵轴暗纹 81b)及位于十字暗纹 81 周围的多个锯齿状暗纹 82,该些锯齿状暗纹 82 的其中之一与横轴暗纹 81a 形成一夹角 A,其中横轴暗纹 81a 沿着第一方向 D1 延伸。根据一实施例,夹角 A 满足以下方程式:

$$[0095] \quad X-4 \leq A \leq X+4,$$

$$[0096] \quad \text{其中, } X = -11.22 - 0.8826W + 1.944R + 4.855H + 0.005155W^2 - 0.04687H^2 - 0.020573WR - 0.026539WH + 100.32Q/W,$$

[0097] 其中, W 为第一电极(如图 1A 的 EP1)平行第一扫描线(如图 1A 的 SL1)方向上的最大宽度;

[0098] R 为第一电极 EP1 平行第一数据线（如图 1A 的 DL1）方向上相距最远的两侧边的最大长度 L 与前述 W 的比值，即 $R = L/W$ ；

[0099] H 为第一电极 EP1 单边被遮蔽的宽度，即 $H = (W-Q-D)/2$ ，Q 为第一电极平行第一扫描线（如图 1A 的 SL1）方向上的一可视短边宽度，更详细的说，Q 为纵轴暗纹 81b 的一边界，与第一电极点亮后靠近第一数据线 DL1 的一边界之间于第一方向 D1 上的距离，而纵轴暗纹 81b 包含一纵轴暗纹段，该纵轴暗纹段沿着第二方向 D2 延伸（ex：沿平行第一数据线 DL1 方向上延伸）且不与横轴暗纹 81a 重叠，其中 D 为纵轴暗纹段于第一方向 D1 上的一半高宽值。

[0100] 一实施例中， $30\ \mu\text{m} \leq W \leq 120\ \mu\text{m}$ ， $1 \leq R \leq 4$ ， $0 \leq H \leq 15\ \mu\text{m}$ 。得到暗纹夹角后，则像素电极的狭缝图案则可依此设计，当暗纹的夹角 A 满足上述方程式，则穿透率相较于常见的 45 度狭缝夹角有明显提升。

[0101] 如上所述，本发明实施例所提出的显示装置，利用一区域（如一像素区域）中共同电极与控制该区域信号的数据线之间产生宽度变化，以降低电容耦合效应，改善显示装置的电性表现，而且仍可维持良好的穿透率。因此，实施例所提出的设计可使应用的显示装置具有稳定优异的显示品质，也可提高产品良率。

[0102] 如上述图 1A、图 1B、图 2A、图 2B、图 3、图 4 所示的结构，是用以叙述本发明的部分实施例，而非用以限制本发明的范围。其他不同结构态样的实施例，例如第一子像素区和第二子像素区的像素电极大小不同或态样不同、其他走线的串接以符合操作所需，像素区域中是否形成多视域或是形成视域的数目、数据线与扫描线的延伸方向所夹的角度（是锐角或直角）…等等，都是属本发明可应用的范围。通常知识者当知，应用本发明的相关结构视实际应用的需求而可能有相应的调整 and 变化。

[0103] 综上所述，虽然结合以上实施例公开了本发明，然而其并非用以限定本发明。本发明所属技术领域中具有通常知识者，在不脱离本发明的精神和范围内，可作各种的更动与润饰。因此，本发明的保护范围应当以附上的权利要求所界定的为准。

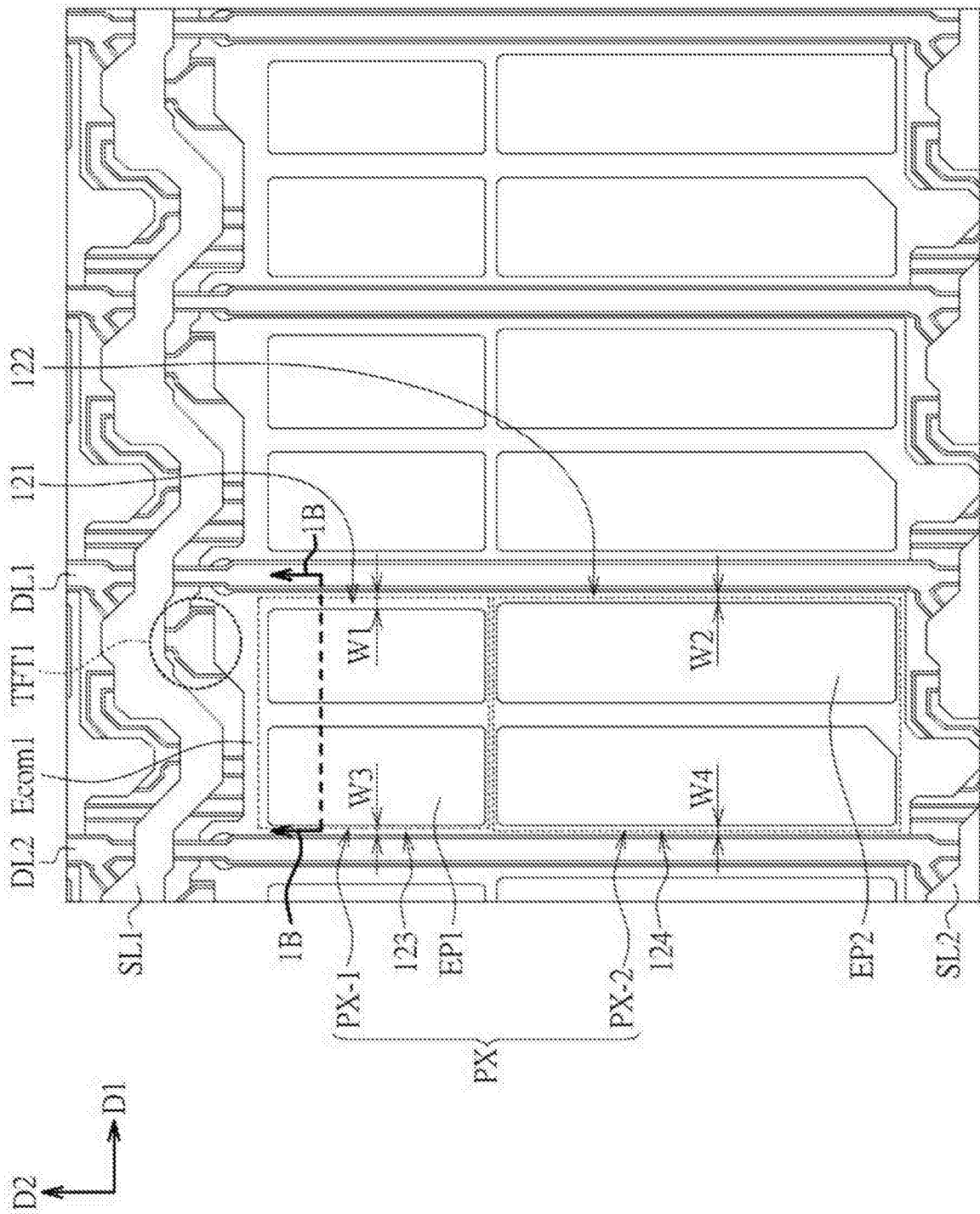


图 1A

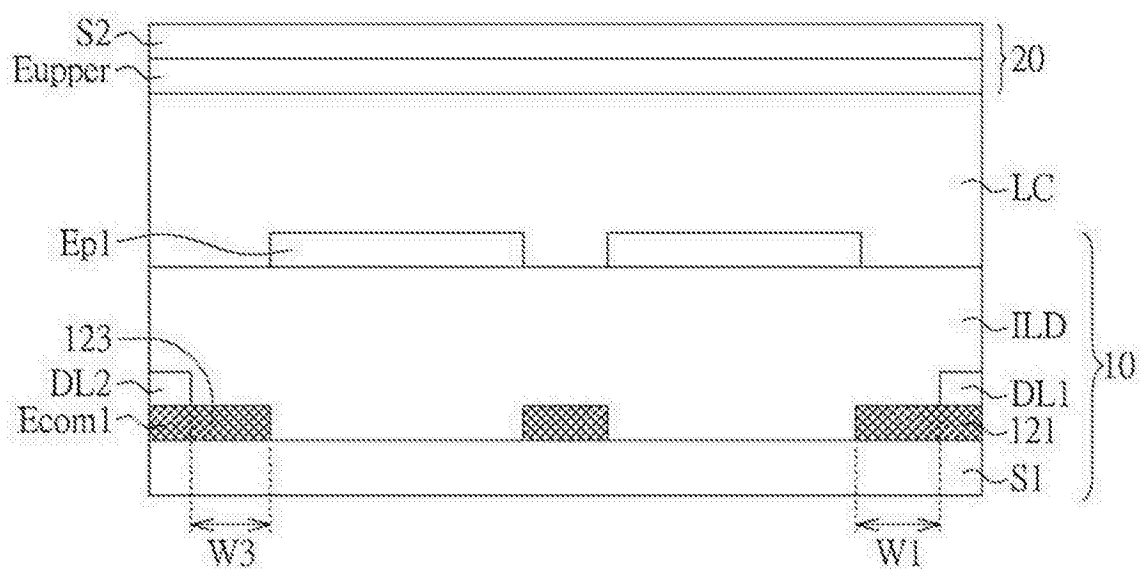


图 1B

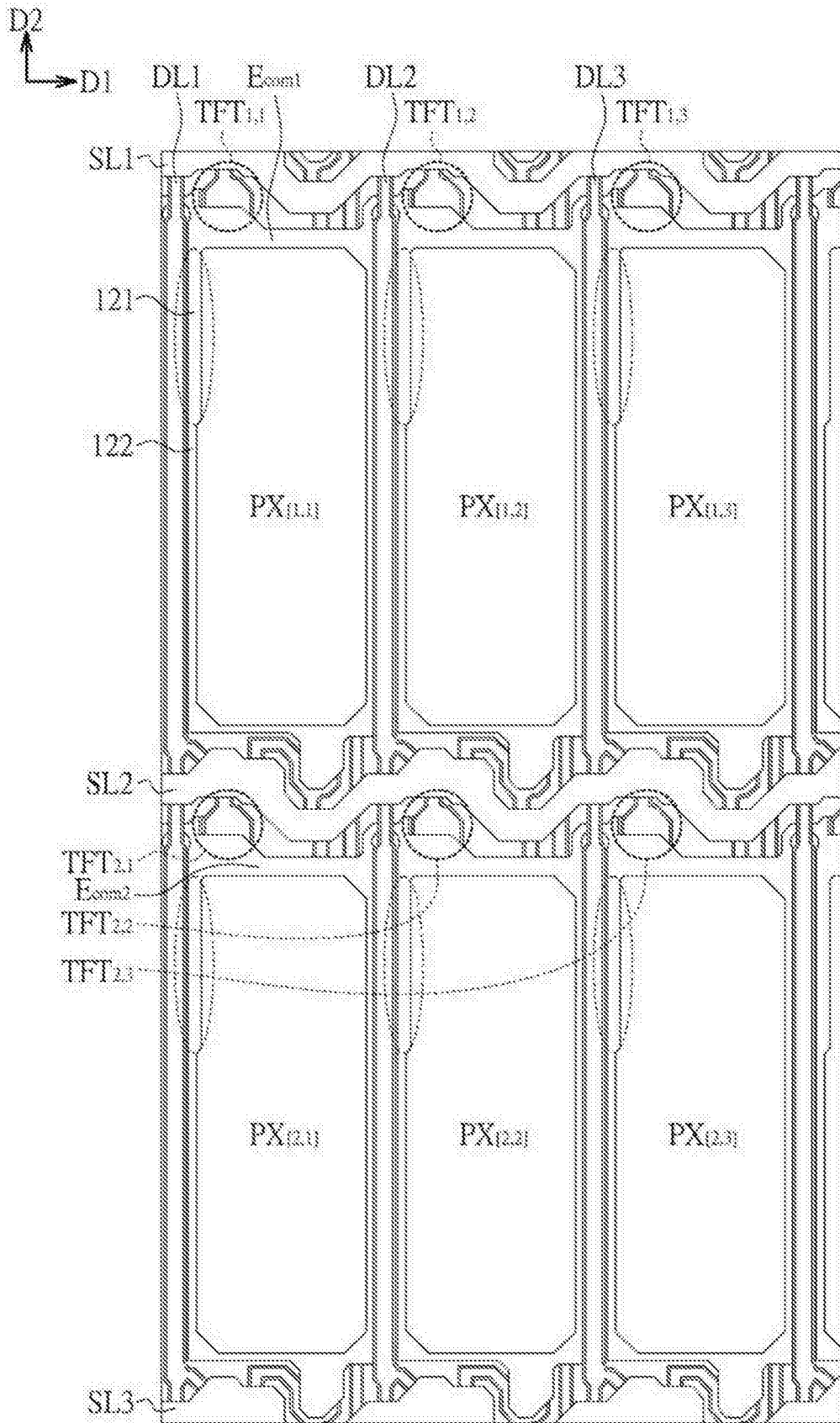


图 2A

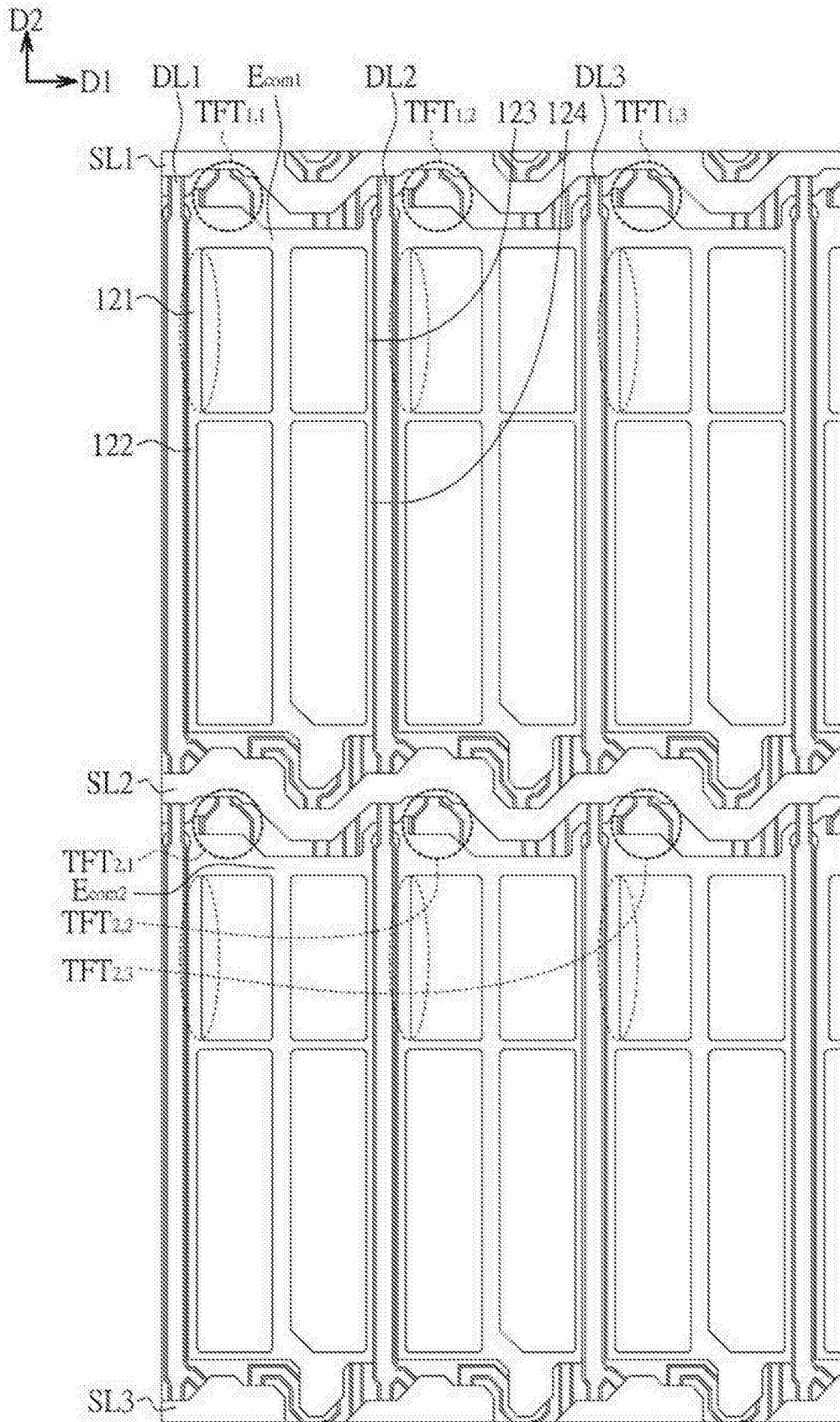


图 2B

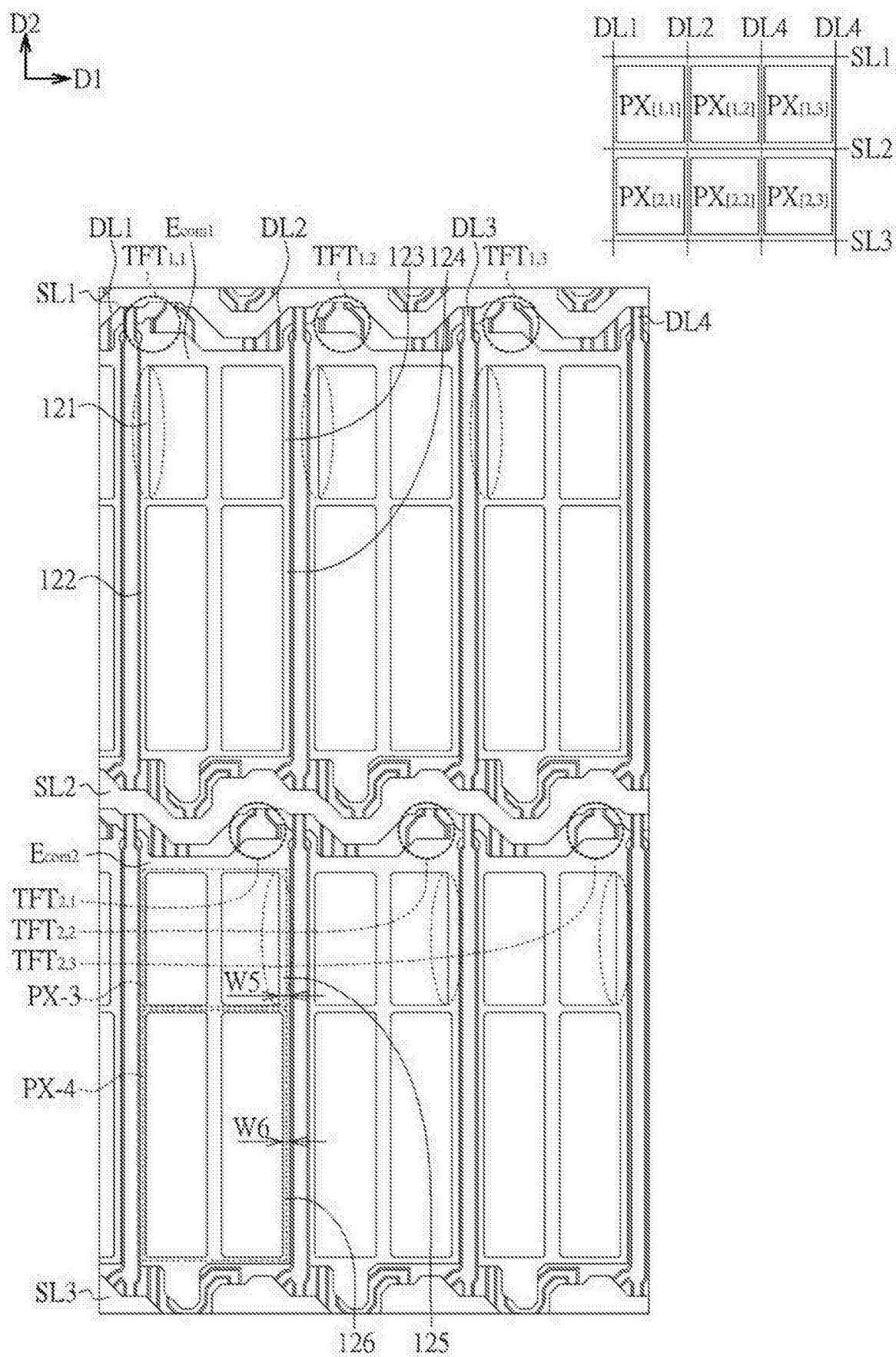


图 3

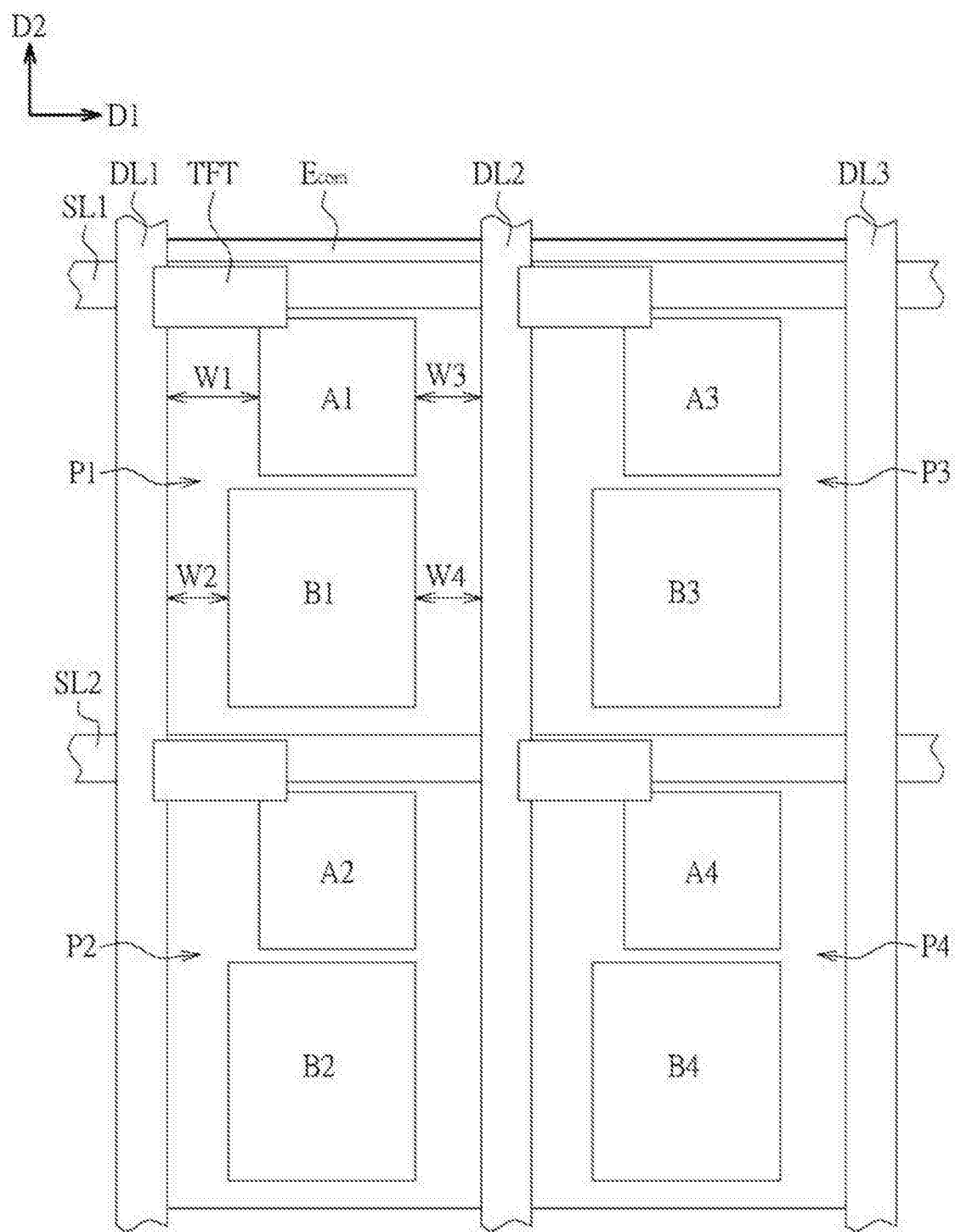


图 4

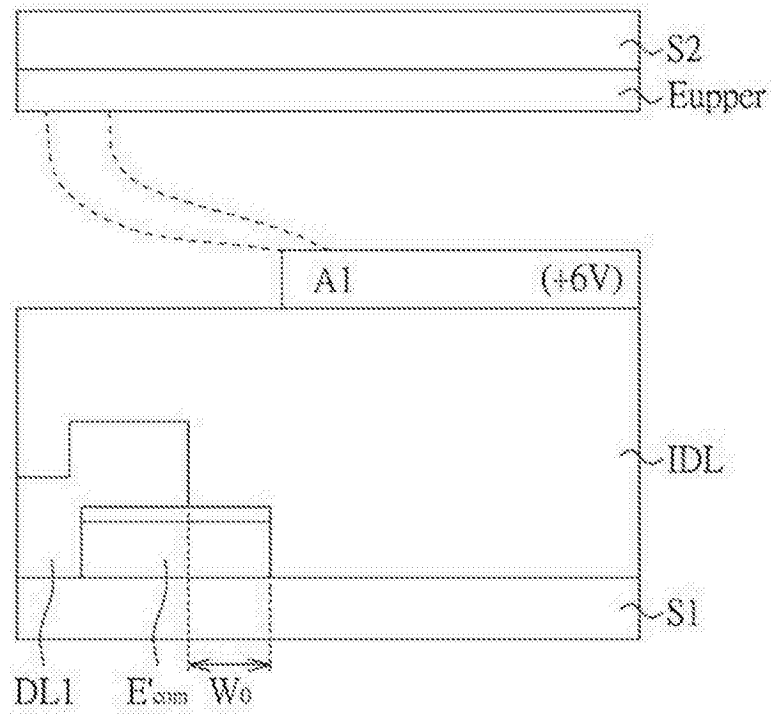


图 5A

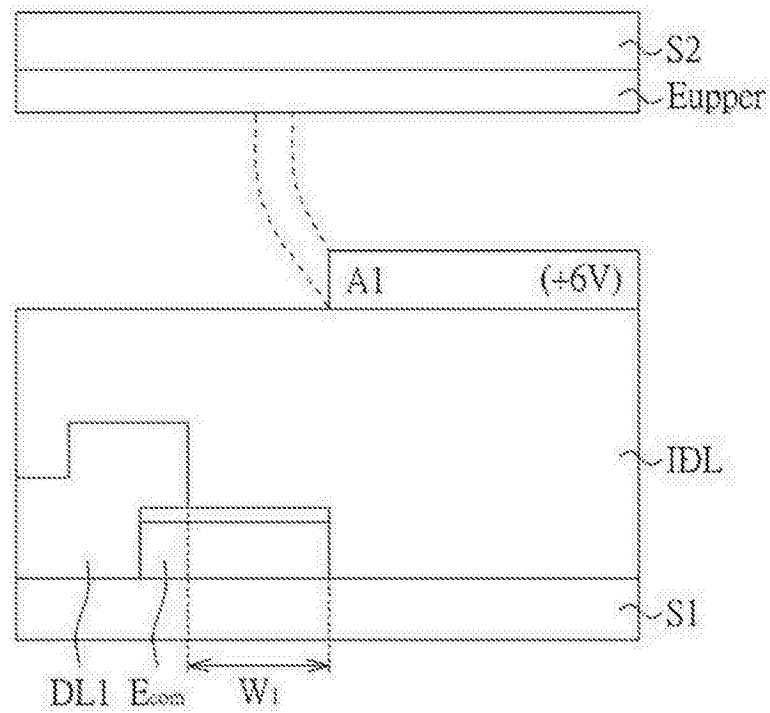


图 5B

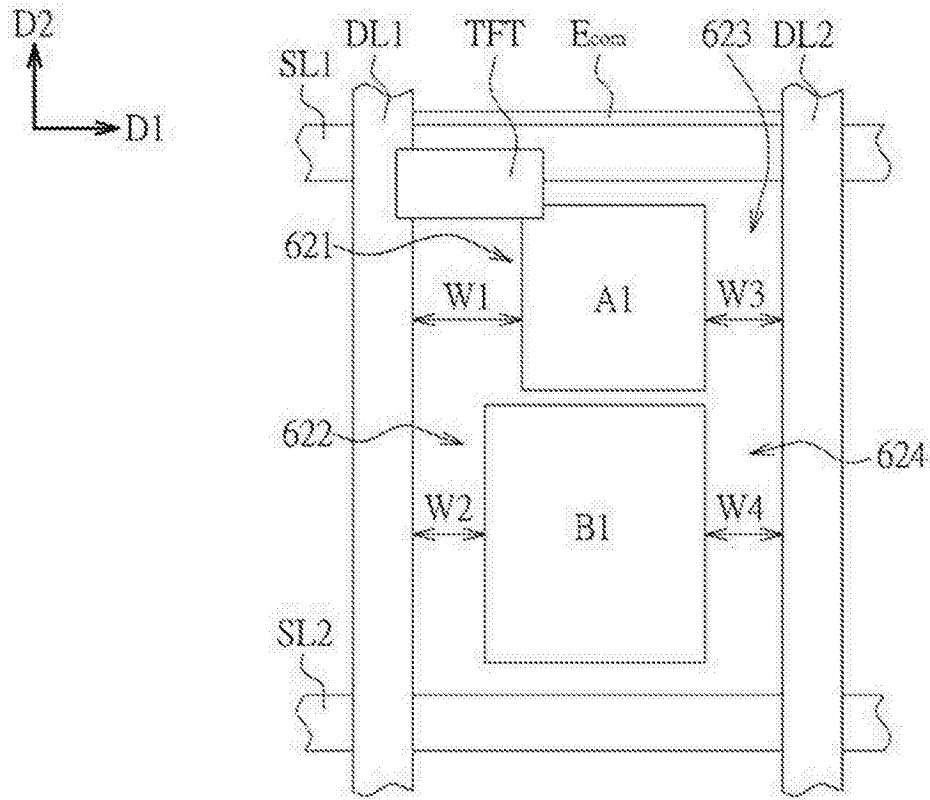


图 6

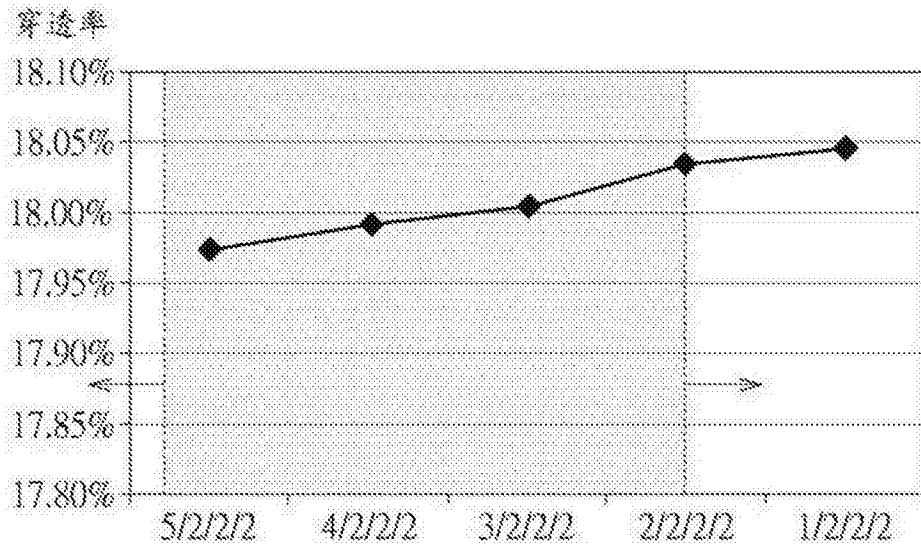


图 7

穿透率损失

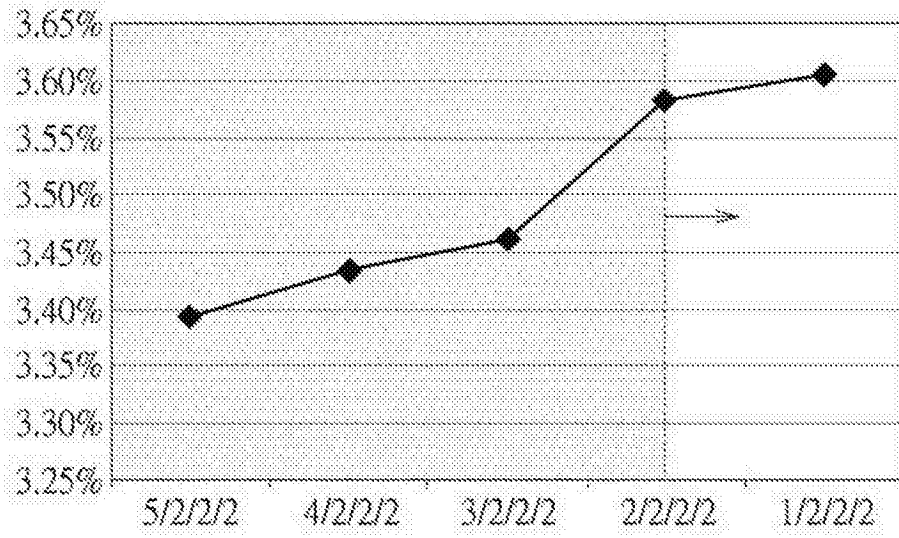


图 8

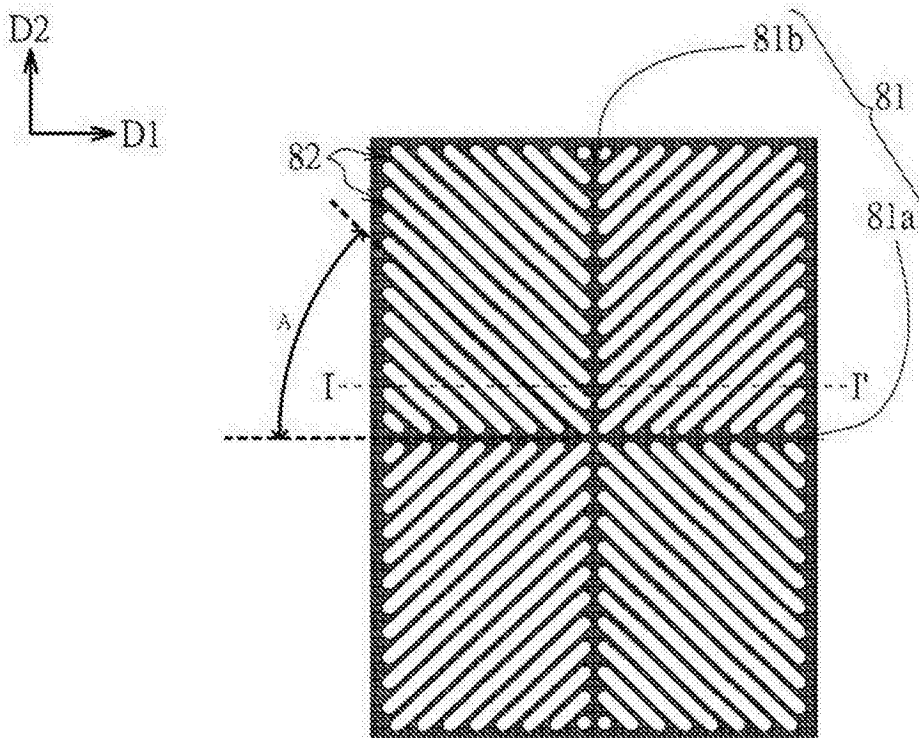


图 9A

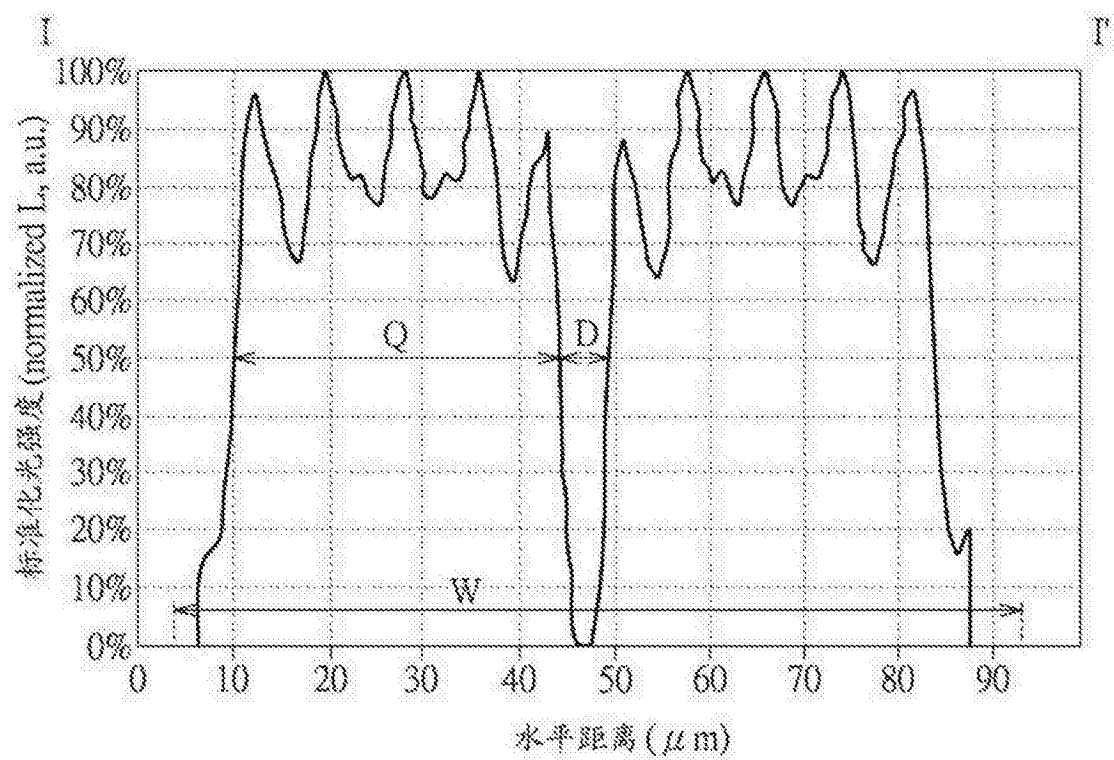


图 9B

专利名称(译)	显示装置		
公开(公告)号	CN106918957A	公开(公告)日	2017-07-04
申请号	CN201511000687.X	申请日	2015-12-28
[标]申请(专利权)人(译)	群创光电股份有限公司		
申请(专利权)人(译)	群创光电股份有限公司		
当前申请(专利权)人(译)	群创光电股份有限公司		
[标]发明人	蔡宗翰 朱夏青 史梅君		
发明人	蔡宗翰 朱夏青 史梅君		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/134309		
其他公开文献	CN106918957B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开一种显示装置，包括第一、第二基板、以及两基板间的液晶层；设置于第一基板上相邻的第一、第二扫描线沿着第一方向延伸；相邻的第一、第二数据线以及第一共同电极都设置于第一基板上。第一、第二扫描线和第一、第二数据线定义出第一区域。第一区域的第一子像素区包含第一薄膜晶体管(与第一扫描线及第一数据线电连接)以及第一电极电连接第一薄膜晶体管；第一区域的第二子像素区包含第二电极。第一共同电极包含相连的第一、第二部分，分别位于第一电极与第一数据线之间以及位于第二电极与第一数据线之间，第一部分于第一方向上的宽度大于第二部分于第一方向上的宽度。

