



(12)发明专利

(10)授权公告号 CN 105810165 B

(45)授权公告日 2018.09.28

(21)申请号 201610339066.2

审查员 谢建军

(22)申请日 2016.05.20

(65)同一申请的已公布的文献号

申请公布号 CN 105810165 A

(43)申请公布日 2016.07.27

(73)专利权人 武汉华星光电技术有限公司

地址 430079 湖北省武汉市东湖开发区高新大道666号生物城C5栋

(72)发明人 龚强

(74)专利代理机构 深圳翼盛智成知识产权事务所(普通合伙) 44300

代理人 黄威

(51)Int.Cl.

G09G 3/36(2006.01)

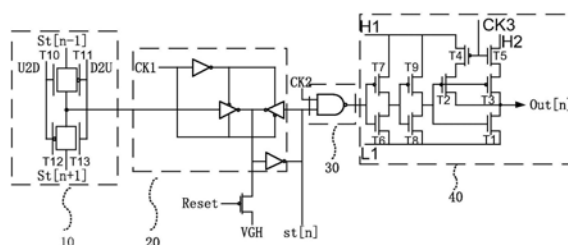
权利要求书4页 说明书10页 附图2页

(54)发明名称

一种CMOS GOA电路结构及液晶显示面板

(57)摘要

本发明提供一种CMOS GOA电路,其包括多个级联的GOA单元,每个所述GOA单元包括正反向控制模块、信号锁存模块、信号处理模块及信号缓冲模块,所述信号缓冲模块包括第一反相器、第二反相器及薄膜晶体管组,所述薄膜晶体管组包括NPN型的第一薄膜晶体管、PNP型的第二薄膜晶体管、PNP型的第三薄膜晶体管、PNP型的第四薄膜晶体管及NPN型的第五薄膜晶体管,其用于输入所述第一高电平信号、所述第一低电平信号、所述第二高电平信号及所述第三时钟信号,并向本级扫描线输出所述扫描线驱动信号。本发明输出的扫描线驱动信号的输出波形具有两次下降沿,降低了像素电极在充电时,由于电压耦合导致的电压高的问题,避免了出现液晶面板显示不均一的现象。



1. 一种CMOS GOA电路,所述CMOS GOA电路包括多个级联的GOA单元,每个所述GOA单元包括:

正反向控制模块,其输入端输入的信号包括第一扫描控制信号、第二扫描控制信号、第一级传信号及第二级传信号,用于根据所述第一扫描控制信号与所述第二扫描控制信号控制所述第一级传信号或所述第二级传信号的输出;

信号锁存模块,其输入端输入的信号包括第一时钟信号、所述第一级传信号或所述第二级传信号,用于通过所述第一时钟信号对所述第一级传信号或所述第二级传信号进行锁存,以生成第三级传信号;

信号处理模块,其输入端输入的信号包括第二时钟信号及所述第三级传信号,用于根据所述第二时钟信号及所述第三级传信号输出本级的栅极驱动信号;

其特征在于,每个所述GOA单元还包括:

信号缓冲模块,其输入端输入的信号包括所述栅极驱动信号、第一高电平信号、第一低电平信号、第二高电平信号及第三时钟信号,所述第二高电平信号的幅度低于所述第一高电平信号的幅度,用于通过所述第一高电平信号、所述第一低电平信号、所述第二高电平信号、所述第三时钟信号及所述栅极驱动信号,输出扫描线驱动信号,且所述扫描线驱动信号的输出波形具有与所述第一高电平信号对应的第一高电位、所述第二高电平信号对应的第二高电位及所述第一低电平信号对应的第一低电位,所述第一高电位、所述第二高电位及所述第一低电位形成的波形具有两次下降沿。

2. 根据权利要求1所述的CMOS GOA电路,其特征在于,所述信号缓冲模块包括:

第一反相器,包括NPN型的第六薄膜晶体管与PNP型的第七薄膜晶体管,用于输入所述栅极驱动信号、所述第一高电平信号及所述第一低电平信号;

第二反相器,包括NPN型的第八薄膜晶体管与PNP型的第九薄膜晶体管,用于输入所述第一高电平信号及所述第一低电平信号;

薄膜晶体管组,包括NPN型的第一薄膜晶体管、PNP型的第二薄膜晶体管、PNP型的第三薄膜晶体管、PNP型的第四薄膜晶体管及NPN型的第五薄膜晶体管,用于输入所述第一高电平信号、所述第一低电平信号、所述第二高电平信号及所述第三时钟信号,并向本级扫描线输出所述扫描线驱动信号;

其中,所述第六薄膜晶体管的栅极与所述第七薄膜晶体管的栅极连接,形成第一连接线,所述第六薄膜晶体管的漏极与所述第七薄膜晶体管的源极连接,形成第二连接线,所述第八薄膜晶体管的栅极与所述第九薄膜晶体管的栅极连接,形成第三连接线,所述第八薄膜晶体管的漏极与所述第九薄膜晶体管的源极连接,形成第四连接线,所述第一薄膜晶体管的栅极与所述第二薄膜晶体管的栅极连接,形成第五连接线,所述第一薄膜晶体管的漏极与所述第三薄膜晶体管的源极连接,形成第六连接线,所述第二薄膜晶体管的漏极与所述第四薄膜晶体管的漏极连接,形成第七连接线,所述第三薄膜晶体管的漏极与所述第五薄膜晶体管的源极连接,形成第八连接线,所述第四薄膜晶体管的栅极与所述第五薄膜晶体管的栅极连接,形成第九连接线,所述第二薄膜晶体管与所述第三薄膜晶体管相互连通且电位相等;

其中,所述第一连接线输入所述栅极驱动信号,所述第二连接线与所述第三连接线相连,所述第四连接线与所述第五连接线相连,所述第一高电平信号的输入端分别与所述第

七薄膜晶体管的漏极、所述第九薄膜晶体管的漏极及所述第四薄膜晶体管的源极连接,所述第一低电平信号的输入端分别于所述第六薄膜晶体管的源极、所述第八薄膜晶体管的源极及所述第一薄膜晶体管的源极连接,所述第三时钟信号的输入端与所述第九连接线相连,所述扫描线驱动信号的输出端为所述第一薄膜晶体管的漏极、所述第二薄膜晶体管的源极及所述第三薄膜晶体管的源极。

3. 根据权利要求1所述的CMOS GOA电路,其特征在于,所述正反向控制模块包括:

第十薄膜晶体管,其栅极为所述第一扫描控制信号的输入端,其漏极与源极分别为所述第一级传信号的输入端与输出端,用于根据所述第一扫描控制信号控制所述第一级传信号的输出;

第十一薄膜晶体管,其栅极为所述第二扫描控制信号的输入端,其源极与漏极分别为所述第一级传信号的输入端与输出端,用于根据所述第二扫描控制信号控制所述第一级传信号的输出;

第十二薄膜晶体管,其栅极为所述第一扫描控制信号的输入端,其源极与漏极分别为所述第二级传信号的输入端与输出端,用于根据所述第一扫描控制信号控制所述第二级传信号的输出;

第十三薄膜晶体管,其栅极为所述第二扫描控制信号的输入端,其漏极与源极分别为所述第二级传信号的输入端与输出端,用于根据所述第二扫描控制信号控制所述第二级传信号的输出。

4. 根据权利要求1所述的CMOS GOA电路,其特征在于,所述信号锁存模块还连接有复位开关,所述复位开关为第十四薄膜晶体管,所述第十四薄膜晶体管的栅极输入复位信号,所述第十四薄膜晶体管的源极连接高电平电源,所述第十四薄膜晶体管的漏极连接所述信号锁存模块。

5. 根据权利要求2所述的CMOS GOA电路,其特征在于,当所述信号缓冲模块输入的所述栅极驱动信号为高电平信号时,所述第一薄膜晶体管打开,所述第二薄膜晶体管及第三薄膜晶体管关闭,此时所述信号缓冲模块输出的所述第一低电位对应的所述第一低电平信号,作为所述扫描线驱动信号。

6. 根据权利要求2所述的CMOS GOA电路,其特征在于,当信号缓冲模块输入的所述栅极驱动信号为低电平信号时,所述第一薄膜晶体管关闭,所述第二薄膜晶体管及第三薄膜晶体管打开,此时若输入的所述第三时钟信号为低电平信号,则所述第四薄膜晶体管打开,所述第五薄膜晶体管关闭,此时所述信号缓冲模块输出的所述第一高电位对应的所述第一高电平信号,作为所述扫描线驱动信号。

7. 根据权利要求2所述的CMOS GOA电路,其特征在于,当信号缓冲模块输入的所述栅极驱动信号为低电平信号时,所述第一薄膜晶体管关闭,所述第二薄膜晶体管及第三薄膜晶体管打开,此时若输入的所述第三时钟信号为高电平信号,则所述第四薄膜晶体管关闭,所述第五薄膜晶体管打开,此时所述信号缓冲模块输出的所述第二高电位对应的所述第二高电平信号,作为所述扫描线驱动信号。

8. 一种液晶显示面板,包括一CMOS GOA电路,所述CMOS GOA电路包括多个级联的GOA单元,每个所述GOA单元包括:

正反向控制模块,其输入端输入的信号包括第一扫描控制信号、第二扫描控制信号、第

一级传信号及第二级传信号,用于根据所述第一扫描控制信号与所述第二扫描控制信号控制所述第一级传信号或所述第二级传信号的输出;

信号锁存模块,其输入端输入的信号包括第一时钟信号、所述第一级传信号或所述第二级传信号,用于通过所述第一时钟信号对所述第一级传信号或所述第二级传信号进行锁存,以生成第三级传信号;

信号处理模块,其输入端输入的信号包括第二时钟信号及所述第三级传信号,用于根据所述第二时钟信号及所述第三级传信号输出本级的栅极驱动信号;

其特征在于,每个所述GOA单元还包括:

信号缓冲模块,其输入端输入的信号包括所述栅极驱动信号、第一高电平信号、第一低电平信号、第二高电平信号及第三时钟信号,所述第二高电平信号的幅度低于所述第一高电平信号的幅度,用于通过所述第一高电平信号、所述第一低电平信号、所述第二高电平信号、所述第三时钟信号及所述栅极驱动信号,输出扫描线驱动信号,且所述扫描线驱动信号的输出波形具有与所述第一高电平信号对应的第一高电位、所述第二高电平信号对应的第二高电位及所述第一低电平信号对应的第一低电位,所述第一高电位、所述第二高电位及所述第一低电位形成的波形具有两次下降沿。

9.根据权利要求8所述的液晶显示面板,其特征在于,所述信号缓冲模块包括:

第一反相器,包括NPN型的第六薄膜晶体管与PNP型的第七薄膜晶体管,用于输入所述栅极驱动信号、所述第一高电平信号及所述第一低电平信号;

第二反相器,包括NPN型的第八薄膜晶体管与PNP型的第九薄膜晶体管,用于输入所述第一高电平信号及所述第一低电平信号;

薄膜晶体管组,包括NPN型的第一薄膜晶体管、PNP型的第二薄膜晶体管、PNP型的第三薄膜晶体管、PNP型的第四薄膜晶体管及NPN型的第五薄膜晶体管,用于输入所述第一高电平信号、所述第一低电平信号、所述第二高电平信号及所述第三时钟信号,并向本级扫描线输出所述扫描线驱动信号;

其中,所述第六薄膜晶体管的栅极与所述第七薄膜晶体管的栅极连接,形成第一连接线,所述第六薄膜晶体管的漏极与所述第七薄膜晶体管的源极连接,形成第二连接线,所述第八薄膜晶体管的栅极与所述第九薄膜晶体管的栅极连接,形成第三连接线,所述第八薄膜晶体管的漏极与所述第九薄膜晶体管的源极连接,形成第四连接线,所述第一薄膜晶体管的栅极与所述第二薄膜晶体管的栅极连接,形成第五连接线,所述第一薄膜晶体管的漏极与所述第三薄膜晶体管的源极连接,形成第六连接线,所述第二薄膜晶体管的漏极与所述第四薄膜晶体管的漏极连接,形成第七连接线,所述第三薄膜晶体管的漏极与所述第五薄膜晶体管的源极连接,形成第八连接线,所述第四薄膜晶体管的栅极与所述第五薄膜晶体管的栅极连接,形成第九连接线,所述第二薄膜晶体管与所述第三薄膜晶体管相互连通且电位相等;

其中,所述第一连接线输入所述栅极驱动信号,所述第二连接线与所述第三连接线相连,所述第四连接线与所述第五连接线相连,所述第一高电平信号的输入端分别与所述第七薄膜晶体管的漏极、所述第九薄膜晶体管的漏极及所述第四薄膜晶体管的源极连接,所述第一低电平信号的输入端分别于所述第六薄膜晶体管的源极、所述第八薄膜晶体管的源极及所述第一薄膜晶体管的源极连接,所述第三时钟信号的输入端与所述第九连接线相

连,所述扫描线驱动信号的输出端为所述第一薄膜晶体管的漏极、所述第二薄膜晶体管的源极及所述第三薄膜晶体管的源极。

10.根据权利要求8所述的液晶显示面板,其特征在于,所述正反向控制模块包括:

第十薄膜晶体管,其栅极为所述第一扫描控制信号的输入端,其漏极与源极分别为所述第一级传信号的输入端与输出端,用于根据所述第一扫描控制信号控制所述第一级传信号的输出;

第十一薄膜晶体管,其栅极为所述第二扫描控制信号的输入端,其源极与漏极分别为所述第一级传信号的输入端与输出端,用于根据所述第二扫描控制信号控制所述第一级传信号的输出;

第十二薄膜晶体管,其栅极为所述第一扫描控制信号的输入端,其源极与漏极分别为所述第二级传信号的输入端与输出端,用于根据所述第一扫描控制信号控制所述第二级传信号的输出;

第十三薄膜晶体管,其栅极为所述第二扫描控制信号的输入端,其漏极与源极分别为所述第二级传信号的输入端与输出端,用于根据所述第二扫描控制信号控制所述第二级传信号的输出。

一种CMOS GOA电路结构及液晶显示面板

【技术领域】

[0001] 本发明涉及驱动电路技术领域,特别涉及一种CMOS GOA电路结构及液晶显示面板。

【背景技术】

[0002] GOA(Gate Driver on Array)技术即阵列基板行驱动技术,是利用薄膜晶体管(Thin Film Transistor,TFT)液晶显示器阵列制程将栅极扫描驱动电路制作在薄膜晶体管阵列基板上,以实现逐行扫描的驱动方式,具有降低生成成本和实现面板窄边框设计的优点,为多种显示器所使用。GOA电路具有两项基本功能:第一是输出扫描驱动信号,驱动面板内的栅极线,打开显示区内的TFT,以对像素进行充电;第二是移位寄存功能,当第N个扫描驱动信号输出完成后,通过时钟控制进行第N+1个扫描驱动信号的输出,并依次传递下去。随着低温多晶硅(Low Temperature Poly-Silicon,LTPS)半导体薄膜晶体管的发展,LTPS TFT液晶显示器也越来越受关注。由于LTPS的硅结晶排列较非晶硅有次序,LTPS半导体具有超高的载流子迁移率,采用LTPS TFT的液晶显示器具有高分辨率、反应速度快、高亮度、高开口率等优点,相应的,LTPS TFT液晶显示器的面板周边集成电路也成为显示技术关注的焦点。

[0003] 在现有技术中,给像素电极充电后,栅极线关闭瞬间会发生电压耦合现象,导致像素电极中充入的电压与数据线线上的电压有差异,虽然可以调整共电极电压来补偿这个差异,但是在制程出现偏差时,电压耦合电压越大,制程偏差导致的共电极电压不均就会越明显。所以降低像素电极充电时的电压耦合电压对提升面板显示均一性有很大意义。目前,在部分栅极驱动电路能输出具有两次下降沿的扫描线驱动信号波形,以降低像素电极充电时的电压耦合电压,但是对于GOA面板是不适用的。

【发明内容】

[0004] 本发明的目的在于提供一种CMOS GOA电路结构及液晶显示面板,以解决现有技术中,在给液晶面板的像素电极充电后,扫描线的开启与关闭造成电压耦合,导致像素电极输入的电压与数据线的电压不一致,进而导致液晶面板显示不均一的问题。

[0005] 本发明的技术方案如下:

[0006] 一种CMOS GOA电路,所述CMOS GOA电路包括多个级联的GOA单元,每个所述GOA单元包括:

[0007] 正反向控制模块,其输入端输入的信号包括第一扫描控制信号、第二扫描控制信号、第一级传信号及第二级传信号,用于根据所述第一扫描控制信号与所述第二扫描控制信号控制所述第一级传信号或所述第二级传信号的输出;

[0008] 信号锁存模块,其输入端输入的信号包括第一时钟信号、所述第一级传信号或所述第二级传信号,用于通过所述第一时钟信号对所述第一级传信号或所述第二级传信号进行锁存,以生成第三级传信号;

[0009] 信号处理模块,其输入端输入的信号包括第二时钟信号及所述第三级传信号,用于根据所述第二时钟信号及所述第三级传信号输出本级的栅极驱动信号;

[0010] 信号缓冲模块,其输入端输入的信号包括所述栅极驱动信号、第一高电平信号、第一低电平信号、第二高电平信号及第三时钟信号,所述第二高电平信号的幅度低于所述第一高电平信号的幅度,用于通过所述第一高电平信号、所述第一低电平信号、所述第二高电平信号、所述第三时钟信号及所述栅极驱动信号,输出扫描线驱动信号,且所述扫描线驱动信号的输出波形具有与所述第一高电平信号对应的第一高电位、与所述第二高电平信号对应的第二高电位及所述第一低电平信号对应的第一低电位,所述第一高电位、所述第二高电位及所述第一低电位形成的波形具有两次下降沿。

[0011] 优选地,所述信号缓冲模块包括:

[0012] 第一反相器,包括NPN型的第六薄膜晶体管与PNP型的第七薄膜晶体管,用于输入所述栅极驱动信号、所述第一高电平信号及所述第一低电平信号;

[0013] 第二反相器,包括NPN型的第八薄膜晶体管与PNP型的第九薄膜晶体管,用于输入所述第一高电平信号及所述第一低电平信号;

[0014] 薄膜晶体管组,包括NPN型的第一薄膜晶体管、PNP型的第二薄膜晶体管、PNP型的第三薄膜晶体管、PNP型的第四薄膜晶体管及NPN型的第五薄膜晶体管,用于输入所述第一高电平信号、所述第一低电平信号、所述第二高电平信号及所述第三时钟信号,并向本级扫描线输出所述扫描线驱动信号;

[0015] 其中,所述第六薄膜晶体管的栅极与所述第七薄膜晶体管的栅极连接,形成第一连接线,所述第六薄膜晶体管的漏极与所述第七薄膜晶体管的源极连接,形成第二连接线,所述第八薄膜晶体管的栅极与所述第九薄膜晶体管的栅极连接,形成第三连接线,所述第八薄膜晶体管的漏极与所述第九薄膜晶体管的源极连接,形成第四连接线,所述第一薄膜晶体管的栅极与所述第二薄膜晶体管的栅极连接,形成第五连接线,所述第一薄膜晶体管的漏极与所述第三薄膜晶体管的源极连接,形成第六连接线,所述第二薄膜晶体管的漏极与所述第四薄膜晶体管的漏极连接,形成第七连接线,所述第三薄膜晶体管的漏极与所述第五薄膜晶体管的源极连接,形成第八连接线,所述第四薄膜晶体管的栅极与所述第五薄膜晶体管的栅极连接,形成第九连接线,所述第二薄膜晶体管与所述第三薄膜晶体管相互连通且电位相等;

[0016] 其中,所述第一连接线输入所述栅极驱动信号,所述第二连接线与所述第三连接线相连,所述第四连接线与所述第五连接线相连,所述第一高电平信号的输入端分别与所述第七薄膜晶体管的漏极、所述第九薄膜晶体管的漏极及所述第四薄膜晶体管的源极连接,所述第一低电平信号的输入端分别于所述第六薄膜晶体管的源极、所述第八薄膜晶体管的源极及所述第一薄膜晶体管的源极连接,所述第三时钟信号的输入端与所述第九连接线相连,所述扫描线驱动信号的输出端为所述第一薄膜晶体管的漏极、所述第二薄膜晶体管的源极及所述第三薄膜晶体管的源极。

[0017] 优选地,所述正反向控制模块包括:

[0018] 第十薄膜晶体管,其栅极为所述第一扫描控制信号的输入端,其漏极与源极分别为所述第一级传信号的输入端与输出端,用于根据所述第一扫描控制信号控制所述第一级传信号的输出;

[0019] 第十一薄膜晶体管,其栅极为所述第二扫描控制信号的输入端,其源极与漏极分别为所述第一级传信号的输入端与输出端,用于根据所述第二扫描控制信号控制所述第一级传信号的输出;

[0020] 第十二薄膜晶体管,其栅极为所述第一扫描控制信号的输入端,其源极与漏极分别为所述第二级传信号的输入端与输出端,用于根据所述第一扫描控制信号控制所述第二级传信号的输出;

[0021] 第十三薄膜晶体管,其栅极为所述第二扫描控制信号的输入端,其漏极与源极分别为所述第二级传信号的输入端与输出端,用于根据所述第二扫描控制信号控制所述第二级传信号的输出。

[0022] 优选地,所述信号锁存模块还连接有复位开关,所述复位开关为第十四薄膜晶体管,所述第十四薄膜晶体管的栅极输入复位信号,所述第十四薄膜晶体管的源极连接高电平电源,所述第十四薄膜晶体管的漏极连接所述信号锁存模块。

[0023] 优选地,当所述信号缓冲模块输入的所述栅极驱动信号为高电平信号时,所述第一薄膜晶体管打开,所述第二薄膜晶体管及第三薄膜晶体管关闭,此时所述信号缓冲模块输出的所述第一低电位对应的所述第一低电平信号,作为所述扫描线驱动信号。

[0024] 优选地,当信号缓冲模块输入的所述栅极驱动信号为低电平信号时,所述第一薄膜晶体管关闭,所述第二薄膜晶体管及第三薄膜晶体管打开,此时若输入的所述第三时钟信号为低电平信号,则所述第四薄膜晶体管打开,所述第五薄膜晶体管关闭,此时所述信号缓冲模块输出的所述第一高电位对应的所述第一高电平信号,作为所述扫描线驱动信号。

[0025] 优选地,当信号缓冲模块输入的所述栅极驱动信号为低电平信号时,所述第一薄膜晶体管关闭,所述第二薄膜晶体管及第三薄膜晶体管打开,此时若输入的所述第三时钟信号为高电平信号,则所述第四薄膜晶体管关闭,所述第五薄膜晶体管打开,此时所述信号缓冲模块输出的所述第二高电位对应的所述第二高电平信号,作为所述扫描线驱动信号。

[0026] 一种液晶显示面板,包括一CMOS GOA电路,所述CMOS GOA电路包括多个级联的GOA单元,每个所述GOA单元包括:

[0027] 正反向控制模块,其输入端输入的信号包括第一扫描控制信号、第二扫描控制信号、第一级传信号及第二级传信号,用于根据所述第一扫描控制信号与所述第二扫描控制信号控制所述第一级传信号或所述第二级传信号的输出;

[0028] 信号锁存模块,其输入端输入的信号包括第一时钟信号、所述第一级传信号或所述第二级传信号,用于通过所述第一时钟信号对所述第一级传信号或所述第二级传信号进行锁存,以生成第三级传信号;

[0029] 信号处理模块,其输入端输入的信号包括第二时钟信号及所述第三级传信号,用于根据所述第二时钟信号及所述第三级传信号输出本级的栅极驱动信号;

[0030] 信号缓冲模块,其输入端输入的信号包括所述栅极驱动信号、第一高电平信号、第一低电平信号、第二高电平信号及第三时钟信号,所述第二高电平信号的幅度低于所述第一高电平信号的幅度,用于通过所述第一高电平信号、所述第一低电平信号、所述第二高电平信号、所述第三时钟信号及所述栅极驱动信号,输出扫描线驱动信号,且所述扫描线驱动信号的输出波形具有与所述第一高电平信号对应的第一高电位、所述第二高电平信号对应的第二高电位及所述第一低电平信号对应的第一低电位,所述第一高电位、所述第二高电

位及所述第一低电位形成的波形具有两次下降沿。

[0031] 优选地,所述信号缓冲模块包括:

[0032] 第一反相器,包括NPN型的第六薄膜晶体管与PNP型的第七薄膜晶体管,用于输入所述栅极驱动信号、所述第一高电平信号及所述第一低电平信号;

[0033] 第二反相器,包括NPN型的第八薄膜晶体管与PNP型的第九薄膜晶体管,用于输入所述第一高电平信号及所述第一低电平信号;

[0034] 薄膜晶体管组,包括NPN型的第一薄膜晶体管、PNP型的第二薄膜晶体管、PNP型的第三薄膜晶体管、PNP型的第四薄膜晶体管及NPN型的第五薄膜晶体管,用于输入所述第一高电平信号、所述第一低电平信号、所述第二高电平信号及所述第三时钟信号,并向本级扫描线输出所述扫描线驱动信号;

[0035] 其中,所述第六薄膜晶体管的栅极与所述第七薄膜晶体管的栅极连接,形成第一连接线,所述第六薄膜晶体管的漏极与所述第七薄膜晶体管的源极连接,形成第二连接线,所述第八薄膜晶体管的栅极与所述第九薄膜晶体管的栅极连接,形成第三连接线,所述第八薄膜晶体管的漏极与所述第九薄膜晶体管的源极连接,形成第四连接线,所述第一薄膜晶体管的栅极与所述第二薄膜晶体管的栅极连接,形成第五连接线,所述第一薄膜晶体管的漏极与所述第三薄膜晶体管的源极连接,形成第六连接线,所述第二薄膜晶体管的漏极与所述第四薄膜晶体管的漏极连接,形成第七连接线,所述第三薄膜晶体管的漏极与所述第五薄膜晶体管的源极连接,形成第八连接线,所述第四薄膜晶体管的栅极与所述第五薄膜晶体管的栅极连接,形成第九连接线,所述第二薄膜晶体管与所述第三薄膜晶体管相互连通且电位相等;

[0036] 其中,所述第一连接线输入所述栅极驱动信号,所述第二连接线与所述第三连接线相连,所述第四连接线与所述第五连接线相连,所述第一高电平信号的输入端分别与所述第七薄膜晶体管的漏极、所述第九薄膜晶体管的漏极及所述第四薄膜晶体管的源极连接,所述第一低电平信号的输入端分别于所述第六薄膜晶体管的源极、所述第八薄膜晶体管的源极及所述第一薄膜晶体管的源极连接,所述第三时钟信号的输入端与所述第九连接线相连,所述扫描线驱动信号的输出端为所述第一薄膜晶体管的漏极、所述第二薄膜晶体管的源极及所述第三薄膜晶体管的源极。

[0037] 优选地,所述正反向控制模块包括:

[0038] 第十薄膜晶体管,其栅极为所述第一扫描控制信号的输入端,其漏极与源极分别为所述第一级传信号的输入端与输出端,用于根据所述第一扫描控制信号控制所述第一级传信号的输出;

[0039] 第十一薄膜晶体管,其栅极为所述第二扫描控制信号的输入端,其源极与漏极分别为所述第一级传信号的输入端与输出端,用于根据所述第二扫描控制信号控制所述第一级传信号的输出;

[0040] 第十二薄膜晶体管,其栅极为所述第一扫描控制信号的输入端,其源极与漏极分别为所述第二级传信号的输入端与输出端,用于根据所述第一扫描控制信号控制所述第二级传信号的输出;

[0041] 第十三薄膜晶体管,其栅极为所述第二扫描控制信号的输入端,其漏极与源极分别为所述第二级传信号的输入端与输出端,用于根据所述第二扫描控制信号控制所述第二

级传信号的输出。

[0042] 本发明的有益效果：

[0043] 本发明的一种CMOS GOA电路结构及液晶显示面板，通过在现有技术电路的基础上，设计一个薄膜晶体管组，并按照设定的规则输入第一高电平信号、第一低电平信号以、第二高电平信号以及第三时钟信号，使得扫描线驱动信号的输出波形具有与所述第一高电平信号对应的第一高电位、所述第二高电平信号对应的第二高电位及所述第一低电平信号对应的第一低电位，所述第一高电位、所述第二高电位及所述第一低电位形成的波形具有两次下降沿。本发明降低了像素电极在充电时，由于电压耦合导致的像素电极电压偏高的问题，避免了液晶面板出现显示不均一的现象。

【附图说明】

[0044] 图1为本发明实施例中的一种CMOS GOA电路的整体结构示意图；

[0045] 图2为本发明实施例中的一种CMOS GOA电路的驱动时序图；

[0046] 图3为现有技术的一种CMOS GOA电路的整体结构示意图；

[0047] 图4为现有技术的一种CMOS GOA电路的驱动时序图。

【具体实施方式】

[0048] 以下各实施例的说明是参考附加的图式，用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语，例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本发明，而非用以限制本发明。在图中，结构相似的单元是以相同标号表示。

[0049] 实施例一

[0050] 电压耦合产生的电压，是由于液晶面板的扫描线在关闭的瞬间，和薄膜晶体管的源极与漏极间的耦合造成的，电压耦合对像素电极上电位的影响为： $\Delta V = (V_{\text{off}} - V_{\text{on}}) \cdot C_{\text{gs}} / (C_{\text{gs}} + C_{\text{st}} + C_{\text{lc}})$ ，其中 V_{off} 及 V_{on} 是扫描线的关闭电压和开启电压、 C_{gs} 为薄膜晶体管器件的寄生电容、 C_{st} 为存储电容、 C_{lc} 为液晶电容。

[0051] 如图1所示，图1为本实施例的一种CMOS GOA电路的整体结构示意图，从图1可以看到，本发明的一种CMOS GOA电路，包括多个级联的GOA单元，每个所述GOA单元包括：

[0052] 正反向控制模块10，其输入端输入的信号包括第一扫描控制信号U2D、第二扫描控制信号D2U、第一级传信号St[n-1]及第二级传信号St[n+1]，用于根据所述第一扫描控制信号U2D与所述第二扫描控制信号D2U控制所述第一级传信号St[n-1]或所述第二级传信号St[n+1]的输出。

[0053] 信号锁存模块20，其输入端输入的信号包括第一时钟信号CK1、所述第一级传信号St[n-1]或所述第二级传信号St[n+1]，用于通过所述第一时钟信号CK1对所述第一级传信号St[n-1]或所述第二级传信号St[n+1]进行锁存，以生成第三级传信号St[n]。

[0054] 信号处理模块30，其输入端输入的信号包括第二时钟信号CK2及所述第三级传信号St[n]，用于根据所述第二时钟信号CK2及所述第三级传信号St[n]输出本级的栅极驱动信号。

[0055] 在本实施例中，信号处理模块30为与非门，所述第二时钟信号CK2及所述第三级传

信号 $St[n]$ 同时输入所述与非门,根据各自的电平信号情况输出本级的栅极驱动信号。

[0056] 信号缓冲模块40,其输入端输入的信号包括所述栅极驱动信号、第一高电平信号H1、第一低电平信号L1、第二高电平信号H2及第三时钟信号CK3,所述第二高电平信号H2的幅度低于所述第一高电平信号L1的幅度,用于通过所述第一高电平信号H1、所述第一低电平信号L1、所述第二高电平信号H2、所述第三时钟信号CK3及所述栅极驱动信号,输出扫描线驱动信号 $Out[n]$,且所述扫描线驱动信号 $Out[n]$ 的输出波形具有与所述第一高电平信号H1对应的第一高电位、与所述第二高电平信号H2对应的第二高电位及所述第一低电平信号L1对应的第一低电位,所述第一高电位、所述第二高电位及所述第一低电位形成的波形具有两次下降沿。

[0057] 在本实施例中,所述信号缓冲模块40包括:

[0058] 第一反相器,包括NPN型的第六薄膜晶体管T6与PNP型的第七薄膜晶体管T7,用于输入所述栅极驱动信号、所述第一高电平信号H1及所述第一低电平信号L1。

[0059] 第二反相器,包括NPN型的第八薄膜晶体管T8与PNP型的第九薄膜晶体管T9,用于输入所述第一高电平信号H1及所述第一低电平信号L1。

[0060] 薄膜晶体管组,包括NPN型的第一薄膜晶体管T1、PNP型的第二薄膜晶体管T2、PNP型的第三薄膜晶体管T3、PNP型的第四薄膜晶体管T4及NPN型的第五薄膜晶体管T5,用于输入所述第一高电平信号H1、所述第一低电平信号L1、所述第二高电平信号H2及所述第三时钟信号CK3,并向本级扫描线输出所述扫描线驱动信号 $Out[n]$ 。

[0061] 其中,所述第六薄膜晶体管T6的栅极与所述第七薄膜晶体管T7的栅极连接,形成第一连接线,所述第六薄膜晶体管T6的漏极与所述第七薄膜晶体管T7的源极连接,形成第二连接线,所述第八薄膜晶体管T8的栅极与所述第九薄膜晶体管T9的栅极连接,形成第三连接线,所述第八薄膜晶体管T8的漏极与所述第九薄膜晶体管T9的源极连接,形成第四连接线,所述第一薄膜晶体管T1的栅极与所述第二薄膜晶体管T2的栅极连接,形成第五连接线,所述第一薄膜晶体管T1的漏极与所述第三薄膜晶体管T3的源极连接,形成第六连接线,所述第二薄膜晶体管T2的漏极与所述第四薄膜晶体管T4的漏极连接,形成第七连接线,所述第三薄膜晶体管T3的漏极与所述第五薄膜晶体管T5的源极连接,形成第八连接线,所述第四薄膜晶体管T4的栅极与所述第五薄膜晶体管T5的栅极连接,形成第九连接线,所述第二薄膜晶体管T2与所述第三薄膜晶体管T3相互连通且电位相等。

[0062] 其中,所述第一连接线输入所述栅极驱动信号,所述第二连接线与所述第三连接线相连,所述第四连接线与所述第五连接线相连,所述第一高电平信号H1的输入端分别与第七薄膜晶体管T7的漏极、第九薄膜晶体管T9的漏极及所述第四薄膜晶体管T4的源极连接,所述第一低电平信号L1的输入端分别于第六薄膜晶体管T6的源极、所述第八薄膜晶体管T8的源极及所述第一薄膜晶体管T1的源极连接,所述第三时钟信号CK3的输入端与所述第九连接线相连,所述扫描线驱动信号 $Out[n]$ 的输出端为所述第一薄膜晶体管T1的漏极、所述第二薄膜晶体管T2的源极及所述第三薄膜晶体管T3的源极。

[0063] 在本实施例中,所述正反向控制模块10包括:

[0064] 第十薄膜晶体管T10,其栅极为所述第一扫描控制信号U2D的输入端,其漏极与源极分别为所述第一级传信号 $St[n-1]$ 的输入端与输出端,用于根据所述第一扫描控制信号U2D控制所述第一级传信号 $St[n-1]$ 的输出。

[0065] 第十一薄膜晶体管T11,其栅极为所述第二扫描控制信号D2U的输入端,其源极与漏极分别为所述第一级传信号St[n-1]的输入端与输出端,用于根据所述第二扫描控制信号D2U控制所述第一级传信号St[n-1]的输出。

[0066] 第十二薄膜晶体管T12,其栅极为所述第一扫描控制信号U2D的输入端,其源极与漏极分别为所述第二级传信号St[n+1]的输入端与输出端,用于根据所述第一扫描控制信号U2D控制所述第二级传信号St[n+1]的输出。

[0067] 第十三薄膜晶体管T13,其栅极为所述第二扫描控制信号D2U的输入端,其漏极与源极分别为所述第二级传信号St[n+1]的输入端与输出端,用于根据所述第二扫描控制信号D2U控制所述第二级传信号St[n+1]的输出。

[0068] 在本实施例中,当正向扫描时,所述第一扫描控制信号U2D为高电平信号,所述第二扫描控制信号D2U为低电平信号。当反向扫描时,所述第一扫描控制信号U2D为低电平信号,所述第二扫描控制信号D2U为高电平信号。

[0069] 在本实施例中,所述信号锁存模块20还连接有复位开关Reset,所述复位开关Reset为第十四薄膜晶体管,所述第十四薄膜晶体管的栅极输入复位信号,所述第十四薄膜晶体管的源极连接高电平电源VGH,所述第十四薄膜晶体管的漏极连接所述信号锁存模块20。

[0070] 本发明的所述信号缓冲模块40的工作原理如下:

[0071] 在本实施例中,当所述信号缓冲模块40输入的所述栅极驱动信号为高电平信号时,所述第一薄膜晶体管T1打开,所述第二薄膜晶体管T2及第三薄膜晶体管T3关闭,此时所述信号缓冲模块40输出的所述第一低电位对应的所述第一低电平信号L1,作为所述扫描线驱动信号Out[n]。

[0072] 在本实施例中,当信号缓冲模块40输入的所述栅极驱动信号为低电平信号时,所述第一薄膜晶体管T1关闭,所述第二薄膜晶体管T2及第三薄膜晶体管T3打开,此时若输入的所述第三时钟信号CK3为低电平信号,则所述第四薄膜晶体管T4打开,所述第五薄膜晶体管T5关闭,此时所述信号缓冲模块40输出的所述第一高电位对应的所述第一高电平信号H1,作为所述扫描线驱动信号Out[n]。

[0073] 在本实施例中,当信号缓冲模块40输入的所述栅极驱动信号为低电平信号时,所述第一薄膜晶体管T1关闭,所述第二薄膜晶体管T2及第三薄膜晶体管T3打开,此时若输入的所述第三时钟信号CK3为高电平信号,则所述第四薄膜晶体管T4关闭,所述第五薄膜晶体管T5打开,此时所述信号缓冲模块40输出的所述第二高电位对应的所述第二高电平信号H2,作为所述扫描线驱动信号Out[n]。

[0074] 如图2所示,图2为本发明实施例中的一种CMOS GOA电路的驱动时序图,本实施例假设所述正反向控制模块10输出的信号为所述第一级传信号St[n-1],扫描方向为正向扫描。从图2可以看到,第一扫描控制信号U2D和第二扫描控制信号D2U分别为一定幅度的高电平信号和低电平信号,我们只要调整所述第三时钟信号CK3,就可以使得所述扫描线驱动信号Out[n]的波形具有两次下降沿,即将所述扫描线驱动信号Out[n]的电压降低到所述第二高电平信号H2对应的电压值,降低像素电极由于电压耦合造成的电压值。

[0075] 如图3所示,图3是现有技术的一种CMOS GOA电路的整体结构示意图,从图3可以看到,现有技术的这种CMOS GOA电路和本发明的CMOS GOA电路唯一不同的是,它的信号缓冲

模块40由三个串联在一起的反相器构成,而它的第三个反相器没有更改为本发明的薄膜晶体管组,没有本发明的第三时钟信号CK3输入,不能降低像素电极由于电压耦合造成的偏高的电压值。

[0076] 如图4所示,图4是现有技术的一种CMOS GOA电路的驱动时序图,假设所述正反向控制模块10输出的信号为所述第一级传信号 $St[n-1]$,扫描方向为正向扫描。从图4可以看到图4没有本发明的第三时钟信号CK3的时序图,其输出的扫描线驱动信号 $Out[n]$ 的波形不具有两次下降沿,不能降低像素电极由于电压耦合造成的偏高的电压值。

[0077] 本发明的一种CMOS GOA电路结构,通过在现有技术电路的基础上,设计一个薄膜晶体管组,并按照设定的规则输入第一高电平信号H1、第一低电平信号L1以、第二高电平信号H2以及第三时钟信号CK3,使得扫描线驱动信号 $Out[n]$ 的输出波形具有与所述第一高电平信号H1对应的第一高电位、所述第二高电平信号H2对应的第二高电位及所述第一低电平信号L1对应的第一低电位,所述第一高电位、所述第二高电位及所述第一低电位形成有两次下降沿。本发明降低了像素电极在充电时,由于电压耦合导致的像素电极电压偏高的问题,避免了液晶面板出现显示不均一的现象。

[0078] 实施例二

[0079] 本实施例的一种液晶显示面板,包括一种CMOS GOA电路。如图1所示,图1为本实施例的一种CMOS GOA电路的整体结构示意图,从图1可以看到,上述的CMOS GOA电路,包括多个级联的GOA单元,每个所述GOA单元包括:

[0080] 正反向控制模块10,其输入端输入的信号包括第一扫描控制信号U2D、第二扫描控制信号D2U、第一级传信号 $St[n-1]$ 及第二级传信号 $St[n+1]$,用于根据所述第一扫描控制信号U2D与所述第二扫描控制信号D2U控制所述第一级传信号 $St[n-1]$ 或所述第二级传信号 $St[n+1]$ 的输出。

[0081] 信号锁存模块20,其输入端输入的信号包括第一时钟信号CK1、所述第一级传信号 $St[n-1]$ 或所述第二级传信号 $St[n+1]$,用于通过所述第一时钟信号CK1对所述第一级传信号 $St[n-1]$ 或所述第二级传信号 $St[n+1]$ 进行锁存,以生成第三级传信号 $St[n]$ 。

[0082] 信号处理模块30,其输入端输入的信号包括第二时钟信号CK2及所述第三级传信号 $St[n]$,用于根据所述第二时钟信号CK2及所述第三级传信号 $St[n]$ 输出本级的栅极驱动信号。

[0083] 在本实施例中,信号处理模块30为与非门,所述第二时钟信号CK2及所述第三级传信号 $St[n]$ 同时输入所述与非门,根据各自的电平信号情况输出本级的栅极驱动信号。

[0084] 信号缓冲模块40,其输入端输入的信号包括所述栅极驱动信号、第一高电平信号H1、第一低电平信号L1、第二高电平信号H2及第三时钟信号CK3,所述第二高电平信号H2的幅度低于所述第一高电平信号L1的幅度,用于通过所述第一高电平信号H1、所述第一低电平信号L1、所述第二高电平信号H2、所述第三时钟信号CK3及所述栅极驱动信号,输出扫描线驱动信号 $Out[n]$,且所述扫描线驱动信号 $Out[n]$ 的输出波形具有与所述第一高电平信号H1对应的第一高电位、与所述第二高电平信号H2对应的第二高电位及所述第一低电平信号L1对应的第一低电位,所述第一高电位、所述第二高电位及所述第一低电位形成的波形具有两次下降沿。

[0085] 在本实施例中,所述信号缓冲模块40包括:

[0086] 第一反相器,包括NPN型的第六薄膜晶体管T6与PNP型的第七薄膜晶体管T7,用于输入所述栅极驱动信号、所述第一高电平信号H1及所述第一低电平信号L1。

[0087] 第二反相器,包括NPN型的第八薄膜晶体管T8与PNP型的第九薄膜晶体管T9,用于输入所述第一高电平信号H1及所述第一低电平信号L1。

[0088] 薄膜晶体管组,包括NPN型的第一薄膜晶体管T1、PNP型的第二薄膜晶体管T2、PNP型的第三薄膜晶体管T3、PNP型的第四薄膜晶体管T4及NPN型的第五薄膜晶体管T5,用于输入所述第一高电平信号H1、所述第一低电平信号L1、所述第二高电平信号H2及所述第三时钟信号CK3,并向本级扫描线输出所述扫描线驱动信号Out[n]。

[0089] 其中,所述第六薄膜晶体管T6的栅极与所述第七薄膜晶体管T7的栅极连接,形成第一连接线,所述第六薄膜晶体管T6的漏极与所述第七薄膜晶体管T7的源极连接,形成第二连接线,所述第八薄膜晶体管T8的栅极与所述第九薄膜晶体管T9的栅极连接,形成第三连接线,所述第八薄膜晶体管T8的漏极与所述第九薄膜晶体管T9的源极连接,形成第四连接线,所述第一薄膜晶体管T1的栅极与所述第二薄膜晶体管T2的栅极连接,形成第五连接线,所述第一薄膜晶体管T1的漏极与所述第三薄膜晶体管T3的源极连接,形成第六连接线,所述第二薄膜晶体管T2的漏极与所述第四薄膜晶体管T4的漏极连接,形成第七连接线,所述第三薄膜晶体管T3的漏极与所述第五薄膜晶体管T5的源极连接,形成第八连接线,所述第四薄膜晶体管T4的栅极与所述第五薄膜晶体管T5的栅极连接,形成第九连接线,所述第二薄膜晶体管T2与所述第三薄膜晶体管T3相互连通且电位相等。

[0090] 其中,所述第一连接线输入所述栅极驱动信号,所述第二连接线与所述第三连接线相连,所述第四连接线与所述第五连接线相连,所述第一高电平信号H1的输入端分别与所述第七薄膜晶体管T7的漏极、所述第九薄膜晶体管T9的漏极及所述第四薄膜晶体管T4的源极连接,所述第一低电平信号L1的输入端分别于所述第六薄膜晶体管T6的源极、所述第八薄膜晶体管T8的源极及所述第一薄膜晶体管T1的源极连接,所述第三时钟信号CK3的输入端与所述第九连接线相连,所述扫描线驱动信号Out[n]的输出端为所述第一薄膜晶体管T1的漏极、所述第二薄膜晶体管T2的源极及所述第三薄膜晶体管T3的源极。

[0091] 在本实施例中,所述信号缓冲模块40包括:

[0092] 第一反相器,包括NPN型的第六薄膜晶体管T6与PNP型的第七薄膜晶体管T7,用于输入所述栅极驱动信号、所述第一高电平信号H1及所述第一低电平信号L1。

[0093] 第二反相器,包括NPN型的第八薄膜晶体管T8与PNP型的第九薄膜晶体管T9,用于输入所述第一高电平信号H1及所述第一低电平信号L1。

[0094] 薄膜晶体管组,包括NPN型的第一薄膜晶体管T1、PNP型的第二薄膜晶体管T2、PNP型的第三薄膜晶体管T3、PNP型的第四薄膜晶体管T4及NPN型的第五薄膜晶体管T5,用于输入所述第一高电平信号H1、所述第一低电平信号L1、所述第二高电平信号H2及所述第三时钟信号CK3,并向本级扫描线输出所述扫描线驱动信号Out[n]。

[0095] 其中,所述第六薄膜晶体管T6的栅极与所述第七薄膜晶体管T7的栅极连接,形成第一连接线,所述第六薄膜晶体管T6的漏极与所述第七薄膜晶体管T7的源极连接,形成第二连接线,所述第八薄膜晶体管T8的栅极与所述第九薄膜晶体管T9的栅极连接,形成第三连接线,所述第八薄膜晶体管T8的漏极与所述第九薄膜晶体管T9的源极连接,形成第四连接线,所述第一薄膜晶体管T1的栅极与所述第二薄膜晶体管T2的栅极连接,形成第五连接

线,所述第一薄膜晶体管T1的漏极与所述第三薄膜晶体管T3的源极连接,形成第六连接线,所述第二薄膜晶体管T2的漏极与所述第四薄膜晶体管T4的漏极连接,形成第七连接线,所述第三薄膜晶体管T3的漏极与所述第五薄膜晶体管T5的源极连接,形成第八连接线,所述第四薄膜晶体管T4的栅极与所述第五薄膜晶体管T5的栅极连接,形成第九连接线,所述第二薄膜晶体管T2与所述第三薄膜晶体管T3相互连通且电位相等。

[0096] 其中,所述第一连接线输入所述栅极驱动信号,所述第二连接线与所述第三连接线相连,所述第四连接线与所述第五连接线相连,所述第一高电平信号H1的输入端分别与所述第七薄膜晶体管T7的漏极、所述第九薄膜晶体管T9的漏极及所述第四薄膜晶体管T4的源极连接,所述第一低电平信号L1的输入端分别于所述第六薄膜晶体管T6的源极、所述第八薄膜晶体管T8的源极及所述第一薄膜晶体管T1的源极连接,所述第三时钟信号CK3的输入端与所述第九连接线相连,所述扫描线驱动信号Out[n]的输出端为所述第一薄膜晶体管T1的漏极、所述第二薄膜晶体管T2的源极及所述第三薄膜晶体管T3的源极。

[0097] 在本实施例中,所述正反向控制模块10包括:

[0098] 第十薄膜晶体管T10,其栅极为所述第一扫描控制信号U2D的输入端,其漏极与源极分别为所述第一级传信号St[n-1]的输入端与输出端,用于根据所述第一扫描控制信号U2D控制所述第一级传信号St[n-1]的输出。

[0099] 第十一薄膜晶体管T11,其栅极为所述第二扫描控制信号D2U的输入端,其源极与漏极分别为所述第一级传信号St[n-1]的输入端与输出端,用于根据所述第二扫描控制信号D2U控制所述第一级传信号St[n-1]的输出。

[0100] 第十二薄膜晶体管T12,其栅极为所述第一扫描控制信号U2D的输入端,其源极与漏极分别为所述第二级传信号St[n+1]的输入端与输出端,用于根据所述第一扫描控制信号U2D控制所述第二级传信号St[n+1]的输出。

[0101] 第十三薄膜晶体管T13,其栅极为所述第二扫描控制信号D2U的输入端,其漏极与源极分别为所述第二级传信号St[n+1]的输入端与输出端,用于根据所述第二扫描控制信号D2U控制所述第二级传信号St[n+1]的输出。

[0102] 本发明的一种液晶显示面板,通过在现有技术电路的基础上,设计一个薄膜晶体管组,并按照设定的规则输入第一高电平信号H1、第一低电平信号L1以、第二高电平信号H2以及第三时钟信号CK3,使得扫描线驱动信号Out[n]的输出波形具有与所述第一高电平信号H1对应的第一高电位、所述第二高电平信号H2对应的第二高电位及所述第一低电平信号L1对应的第一低电位,所述第一高电位、所述第二高电位及所述第一低电位形成有两次下降沿。本发明降低了像素电极在充电时,由于电压耦合导致的像素电极电压偏高的问题,避免了液晶面板出现显示不均一的现象。

[0103] 综上所述,虽然本发明已以优选实施例揭露如上,但上述优选实施例并非用以限制本发明,本领域的普通技术人员,在不脱离本发明的精神和范围内,均可作各种更动与润饰,因此本发明的保护范围以权利要求界定的范围为准。

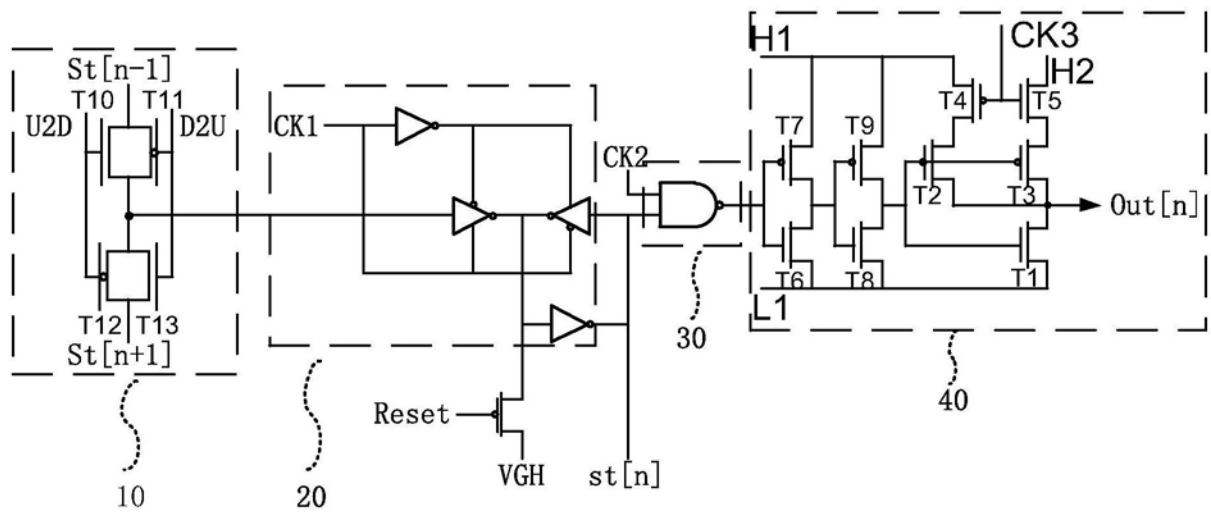


图1

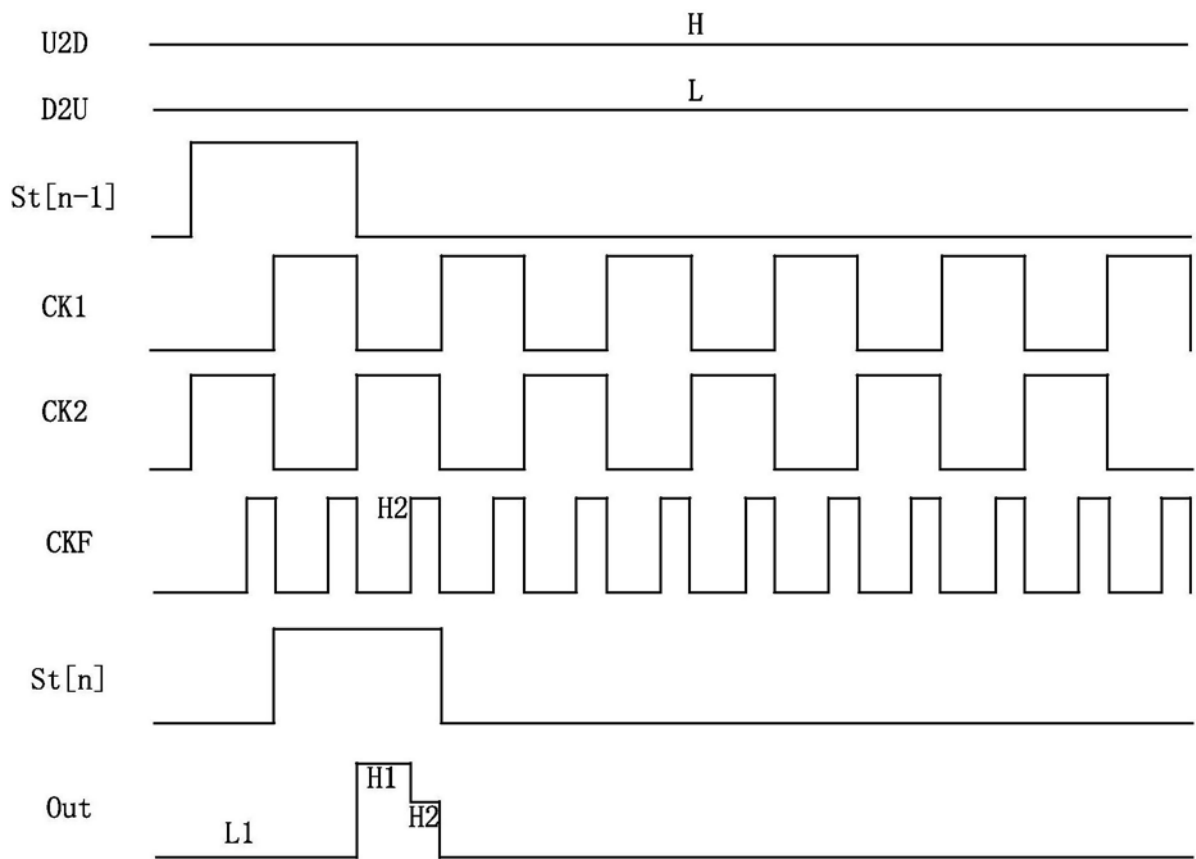


图2

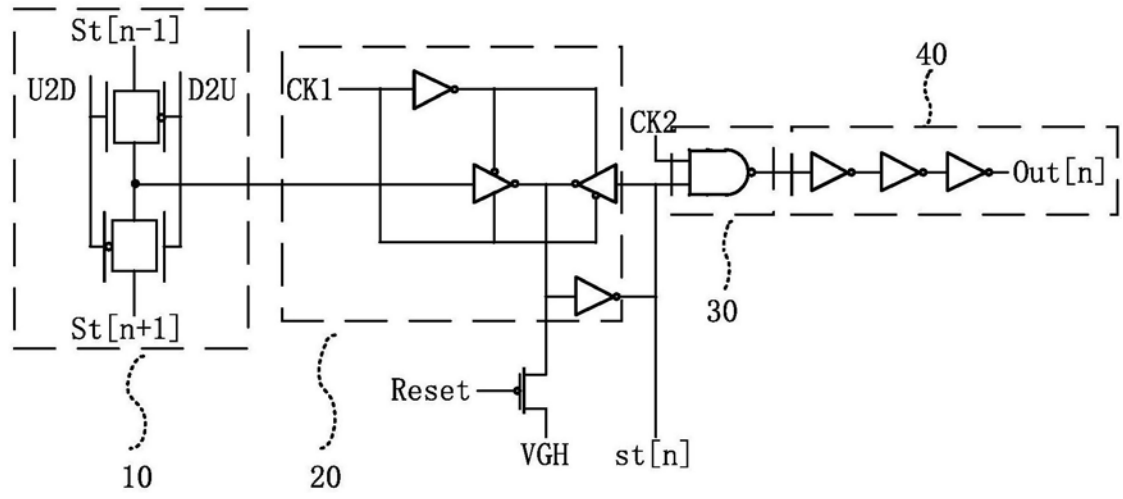


图3

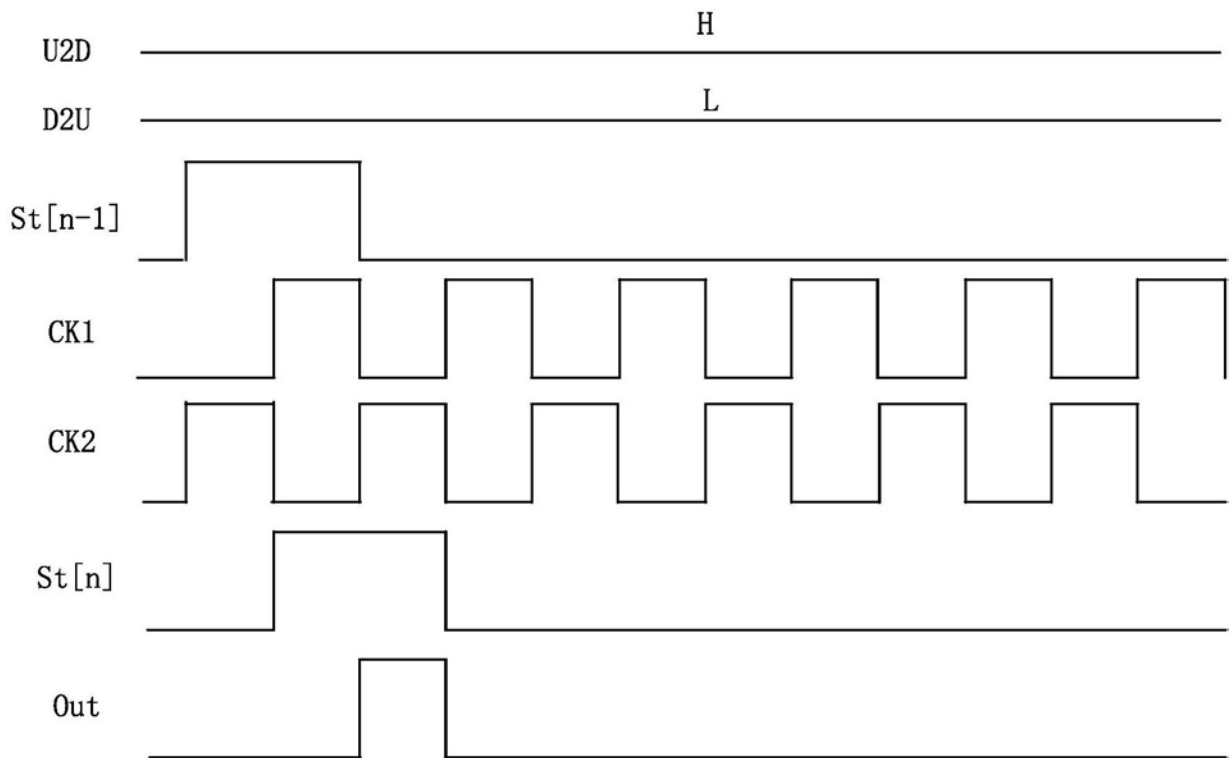


图4

专利名称(译)	一种CMOS GOA电路结构及液晶显示面板		
公开(公告)号	CN105810165B	公开(公告)日	2018-09-28
申请号	CN201610339066.2	申请日	2016-05-20
[标]申请(专利权)人(译)	武汉华星光电技术有限公司		
申请(专利权)人(译)	武汉华星光电技术有限公司		
当前申请(专利权)人(译)	武汉华星光电技术有限公司		
[标]发明人	龚强		
发明人	龚强		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3696 G09G3/3677 G09G2300/0426 G09G2300/0823 G09G2310/0286 G09G2310/0291 G09G2310/06 G11C19/28		
代理人(译)	黄威		
审查员(译)	谢建军		
其他公开文献	CN105810165A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种CMOS GOA电路，其包括多个级联的GOA单元，每个所述GOA单元包括正反向控制模块、信号锁存模块、信号处理模块及信号缓冲模块，所述信号缓冲模块包括第一反相器、第二反相器及薄膜晶体管组，所述薄膜晶体管组包括NPN型的第一薄膜晶体管、PNP型的第二薄膜晶体管、PNP型的第三薄膜晶体管、PNP型的第四薄膜晶体管及NPN型的第五薄膜晶体管，其用于输入所述第一高电平信号、所述第一低电平信号、所述第二高电平信号及所述第三时钟信号，并向本级扫描线输出所述扫描线驱动信号。本发明输出的扫描线驱动信号的输出波形具有两次下降沿，降低了像素电极在充电时，由于电压耦合导致的电压高的问题，避免了出现液晶面板显示不均一的现象。

