



(12) 发明专利申请

(10) 申请公布号 CN 105572993 A

(43) 申请公布日 2016. 05. 11

(21) 申请号 201610047658. 7

(22) 申请日 2016. 01. 25

(71) 申请人 武汉华星光电技术有限公司

地址 430070 湖北省武汉市武汉东湖开发区
高新大道 666 号生物城 C5 栋

(72) 发明人 范广宝

(74) 专利代理机构 广州三环专利代理有限公司

44202

代理人 郝传鑫 熊永强

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

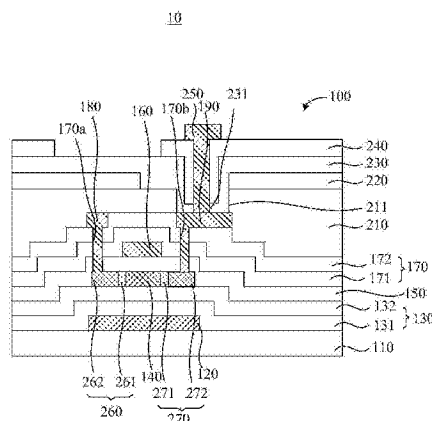
权利要求书2页 说明书5页 附图2页

(54) 发明名称

阵列基板及液晶显示装置

(57) 摘要

本发明提供一种阵列基及液晶显示装置。阵列基板包括呈阵列分布的多个低温多晶硅薄膜晶体管,低温多晶硅薄膜晶体管包括:基板及设置在基板同侧的低温多晶硅层、第一绝缘层、栅极、第二绝缘层、源极、漏极、平坦层、第一透明导电层、第三绝缘层、第二透明导电层及连接金属层,低温多晶硅层、栅极、第二绝缘层依次层叠设置,源极及漏极设置在第二绝缘层上,并分别通过第二绝缘层上的第一贯孔与第二贯孔与连接低温多晶硅层相对的两端,平坦层、第一透明导电层、第三绝缘层及顶层导电层依次层叠设置,连接金属层通过第三绝缘层的第四贯孔连接第二透明导电层及漏极,其中,第一透明导电层为公共电极,第二透明导电层为像素电极。



1. 一种阵列基板, 其特征在于, 所述阵列基板包括呈阵列分布的多个低温多晶硅薄膜晶体管, 所述低温多晶硅薄膜晶体管包括: 基板及设置在所述基板同侧的低温多晶硅层、第一绝缘层、栅极、第二绝缘层、源极、漏极、平坦层、第一透明导电层、第三绝缘层、第二透明导电层及连接金属层, 所述低温多晶硅层邻近所述基板的表面设置, 所述第一绝缘层覆盖所述低温多晶硅层, 所述栅极设置在所述第一绝缘层远离所述低温多晶硅层的表面, 所述第二绝缘层覆盖所述栅极, 且所述第二绝缘层开设第一贯孔及第二贯孔, 所述源极及所述漏极设置在所述第二绝缘层上, 且所述源极通过所述第一贯孔连接所述低温多晶硅层的一端, 所述漏极通过所述第二贯孔连接所述低温多晶硅层的另一端, 所述平坦层覆盖所述源极和所述漏极, 且所述平坦层开设有对应所述漏极的第三贯孔, 所述第一透明导电层设置在所述平坦层远离所述源极和所述漏极的表面, 所述第三绝缘层覆盖所述第一透明导电层, 且所述第三绝缘层填充所述第三贯孔, 所述第三绝缘层开设有将所述漏极裸露的第四贯孔, 所述第二透明导电层设置在所述第三绝缘层上, 所述连接金属层通过所述第四贯孔连接所述第二透明导电层及所述漏极, 其中, 所述第一透明导电层为公共电极, 所述第二透明导电层为像素电极。

2. 如权利要求1所述的阵列基板, 其特征在于, 所述连接金属层包括钨。

3. 如权利要求1所述的阵列基板, 其特征在于, 所述低温多晶硅薄膜晶体管还包括遮光层, 所述遮光层设置于所述基板的表面, 且所述低温多晶硅层、所述第一绝缘层、所述栅极、所述第二绝缘层、所述源极、漏极、所述平坦层、所述第一透明导电层、所述第三绝缘层、所述第二透明导电层及所述连接金属层通过所述遮光层设置在所述基板的同侧, 且所述遮光层对应所述低温多晶硅层设置。

4. 如权利要求3所述的阵列基板, 其特征在于, 所述低温多晶硅薄膜晶体管还包括缓冲层, 所述缓冲层覆盖所述遮光层, 所述低温多晶硅层、所述第一绝缘层、所述栅极、所述第二绝缘层、所述源极、漏极、所述平坦层、所述第一透明导电层、所述第三绝缘层、所述第二透明导电层及所述连接金属层通过所述缓冲层及所述遮光层设置在所述基板的表面。

5. 如权利要求1所述的阵列基板, 其特征在于, 所述低温多晶硅薄膜晶体管还包括第一欧姆接触层, 所述第一欧姆接触层连接所述源极与所述低温多晶硅层, 所述第一欧姆接触层用于降低所述源极与所述低温多晶硅层之间的接触电阻。

6. 如权利要求5所述的阵列基板, 其特征在于, 所述第一欧姆接触层包括第一轻掺杂区及第一重掺杂区, 所述第一轻掺杂区与所述低温多晶硅层接触, 所述第一重掺杂区设置在所述源极与所述第一轻掺杂区之间, 且所述第一重掺杂区连接所述源极与所述第一轻掺杂区, 其中, 所述第一轻掺杂区的掺杂浓度小于所述第一重掺杂区的掺杂浓度。

7. 如权利要求1所述的阵列基板, 其特征在于, 所述低温多晶硅薄膜晶体管还包括第二欧姆接触层, 所述第二欧姆接触层连接所述漏极与所述低温多晶硅层, 所述第二欧姆接触层用于降低所述漏极与所述低温多晶硅层之间的接触电阻。

8. 如权利要求7所述的阵列基板, 其特征在于, 所述第二欧姆接触层包括第二轻掺杂区及第二重掺杂区, 所述第二轻掺杂区与所述低温多晶硅层接触, 所述第二重掺杂区设置在所述漏极与所述第二轻掺杂区之间, 且所述第二重掺杂区连接所述漏极与所述第二轻掺杂区, 其中, 所述第二轻掺杂区的掺杂浓度小于所述第二重掺杂区的掺杂浓度。

9. 如权利要求1所述的阵列基板, 其特征在于, 所述栅极及所述漏极包括铝或者钼中的

任意一种。

10. 一种液晶显示装置, 其特征在于, 所述液晶显示面板包括如权利要求1~9任意一项所述的阵列基板。

阵列基板及液晶显示装置

技术领域

[0001] 本发明涉及显示领域,尤其涉及一种阵列基板及液晶显示装置。

背景技术

[0002] 液晶显示装置(Liquid Crystal Display,LCD)是一种常见的电子设备,由于其具有功耗低、体积小、重量轻等特点,因此备受用户的青睐。随着平面显示技术的发展,具有高分辨率、低能耗的液晶显示器的需求被提出。非晶硅的电子迁移率较低,而低温多晶硅(Low Temperature Poly-silicon,LTPS)可以在低温下制作,且拥有比非晶硅更高的电子迁移率。其次,低温多晶硅制作的互补金属氧化物半导体(Complementary Metal Oxide Semiconductor,CMOS)器件可应用于使液晶显示器具有更高的分辨率和低能耗。因此,低温多晶硅得到了广泛地应用和研究。LTPS阵列基板包括呈阵列分布的多个低温多晶硅薄膜晶体管,所述低温多晶硅薄膜晶体管包括漏极、绝缘层以及像素电极,绝缘层上开设有贯孔以将漏极裸露出来,像素电极通过贯孔与漏极相连。由于LTPS阵列基板结构复杂,在制备的时候会出现绝缘层上的贯孔开孔不完全的异常,从而导致漏极对像素电极的充电不能正常进行,从而影响了液晶显示装置的良率。

发明内容

[0003] 本发明提供一种阵列基板,所述阵列基板包括呈阵列分布的多个低温多晶硅薄膜晶体管,所述低温多晶硅薄膜晶体管包括:基板及设置在所述基板同侧的低温多晶硅层、第一绝缘层、栅极、第二绝缘层、源极、漏极、平坦层、第一透明导电层、第三绝缘层、第二透明导电层及连接金属层,所述低温多晶硅层邻近所述基板的表面设置,所述第一绝缘层覆盖所述低温多晶硅层,所述栅极设置在所述第一绝缘层远离所述低温多晶硅层的表面,所述第二绝缘层覆盖所述栅极,且所述第二绝缘层开设第一贯孔及第二贯孔,所述源极及所述漏极设置在所述第二绝缘层上,且所述源极通过所述第一贯孔连接所述低温多晶硅层的一端,所述漏极通过所述第二贯孔连接所述低温多晶硅层的另一端,所述平坦层覆盖所述源极和所述漏极,且所述平坦层开设有对应所述漏极的第三贯孔,所述第一透明导电层设置在所述平坦层远离所述源极和所述漏极的表面,所述第三绝缘层覆盖所述第一透明导电层,且所述第三绝缘层填充所述第三贯孔,所述第三绝缘层开设有将所述漏极裸露的第四贯孔,所述第二透明导电层设置在所述第三绝缘层上,所述连接金属层通过所述第四贯孔连接所述第二透明导电层及所述漏极,其中,所述第一透明导电层为公共电极,所述第二透明导电层为像素电极。

[0004] 其中,所述连接金属层包括钨。

[0005] 其中,所述低温多晶硅薄膜晶体管还包括遮光层,所述遮光层设置于所述基板的表面,且所述低温多晶硅层、所述第一绝缘层、所述栅极、所述第二绝缘层、所述源极、漏极、所述平坦层、所述第一透明导电层、所述第三绝缘层、所述第二透明导电层及所述连接金属层通过所述遮光层设置在所述基板的同侧,且所述遮光层对应所述低温多晶硅层设置。

[0006] 其中,所述低温多晶硅薄膜晶体管还包括缓冲层,所述缓冲层覆盖所述遮光层,所述低温多晶硅层、所述第一绝缘层、所述栅极、所述第二绝缘层、所述源极、漏极、所述平坦层、所述第一透明导电层、所述第三绝缘层、所述第二透明导电层及所述连接金属层通过所述缓冲层及所述遮光层设置在所述基板的表面。

[0007] 其中,所述低温多晶硅薄膜晶体管还包括第一欧姆接触层,所述第一欧姆接触层连接所述源极与所述低温多晶硅层,所述第一欧姆接触层用于降低所述源极与所述低温多晶硅层之间的接触电阻。

[0008] 其中,所述第一欧姆接触层包括第一轻掺杂区及第一重掺杂区,所述第一轻掺杂区与所述低温多晶硅层接触,所述第一重掺杂区设置在所述源极与所述第一轻掺杂区之间,且所述第一重掺杂区连接所述源极与所述第一轻掺杂区,其中,所述第一轻掺杂区的掺杂浓度小于所述第一重掺杂区的掺杂浓度。

[0009] 其中,所述低温多晶硅薄膜晶体管还包括第二欧姆接触层,所述第二欧姆接触层连接所述漏极与所述低温多晶硅层,所述第二欧姆接触层用于降低所述漏极与所述低温多晶硅层之间的接触电阻。

[0010] 其中,所述第二欧姆接触层包括第二轻掺杂区及第二重掺杂区,所述第二轻掺杂区与所述低温多晶硅层接触,所述第二重掺杂区设置在所述漏极与所述第二轻掺杂区之间,且所述第二重掺杂区连接所述漏极与所述第二轻掺杂区,其中,所述第二轻掺杂区的掺杂浓度小于所述第二重掺杂区的掺杂浓度。

[0011] 其中,所述栅极及所述漏极包括铝或者钼中的任意一种。

[0012] 本发明还提供了一种液晶显示装置,所述液晶显示装置包括前述任一实施方式所述的阵列基板。

[0013] 相较于现有技术,本发明的阵列基板中的低温多晶硅薄膜晶体管中将第三绝缘层上开设第四贯孔,并通过连接金属层连接像素电极及漏极,因此,避免了第三绝缘层上开孔不完全时导致的漏极不能对像素电极正常充电。综上所述,本发明的薄膜晶体管阵列基板中的低温多晶硅薄膜晶体管像素电极及漏极通过所述连接金属层电连接,从而使得漏极能够对像素电极正常充电,提高了所述液晶显示装置的良率。

附图说明

[0014] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0015] 图1为本发明一较佳实施方式的阵列基板的剖面结构示意图。

[0016] 图2为本发明一较佳实施方式的液晶显示装置的示意图。

具体实施方式

[0017] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他

实施例,都属于本发明保护的范围。

[0018] 请参阅图1,图1为本发明一较佳实施方式的阵列基板的剖面结构示意图。所述阵列基板10包括呈阵列分布的多个低温多晶硅薄膜晶体管100,所述低温多晶硅薄膜晶体管100包括基板110及设置在所述基板110同侧的低温多晶硅层140、第一绝缘层150、栅极160、第二绝缘层170、源极180、漏极190、平坦层210、第一透明导电层220、第三绝缘层230、第二透明导电层240及连接金属层250。所述低温多晶硅层140邻近所述基板110的表面设置,所述第一绝缘层150覆盖所述低温多晶硅层140,所述栅极160设置在所述第一绝缘层150远离所述低温多晶硅层140的表面,所述第二绝缘层170覆盖所述栅极160,且所述第二绝缘层170开设第一贯孔170a及第二贯孔170b。所述源极180及所述漏极190设置在所述第二绝缘层170上,且所述源极180通过所述第一贯孔170a连接所述低温多晶硅层140的一端,所述漏极190通过所述第二贯孔170b连接所述低温多晶硅层140的另一端。所述平坦层210覆盖所述源极180和所述漏极190,且所述平坦层210开设有对应所述漏极190的第三贯孔211。所述第一透明导电层220设置在所述平坦层210远离所述源极180和所述漏极190的表面。所述第三绝缘层230覆盖所述第一透明导电层220,且所述第三绝缘层230填充所述第三贯孔211,所述第三绝缘层230开设有将所述漏极190显露的第四贯孔231。所述第二透明导电层240设置在所述第三绝缘层230上,所述连接金属层250通过所述第四贯孔231连接所述第二透明导电层240及所述漏极190。其中,所述第一透明导电层220为公共电极,所述第二透明导电层240为像素电极。优选地,所述连接金属层250包括钨。

[0019] 所述基板110可以为但不仅限于为玻璃基板或者为塑料基板等绝缘基板。

[0020] 所述低温多晶硅薄膜晶体管100还包括遮光层120。所述遮光层120设置于所述基板110的表面,且所述低温多晶硅层140、所述第一绝缘层150、所述栅极160、所述第二绝缘层170、所述源极180、所述漏极190、所述平坦层210、所述第一透明导电层220、所述第三绝缘层230、所述第二透明导电层240及所述连接金属层250通过所述遮光层120设置在所述基板110的同侧,且所述遮光层120对应所述低温多晶硅层140设置。所述遮光层120用于防止所述低温多晶硅薄膜晶体管对应的像素朝向远离设置所述遮光层120的所述基板110漏光。

[0021] 所述低温多晶硅薄膜晶体管100还包括缓冲层130。所述缓冲层130覆盖所述遮光层120,所述低温多晶硅层140、所述第一绝缘层150、所述栅极160、所述第二绝缘层170、所述源极180、所述漏极190、所述平坦层210、所述第一透明导电层220、所述第三绝缘层230、所述第二透明导电层240及所述连接金属层250通过所述缓冲层130及所述遮光层120设置在所述基板110的表面。所述缓冲层130用于缓冲所述阵列基板10在制备的过程中对所述基板110的损伤。

[0022] 在本实施方式中,所述缓冲层130包括第一子缓冲层131及第二子缓冲层132。所述第一子缓冲层131相较于所述第二子缓冲层132邻近所述基板110,所述第一子缓冲层131为氮化硅(SiN_x)材料,所述第二子缓冲层132为氧化硅(SiO_x)材料。所述第一子缓冲层131及所述第二子缓冲层132的设置能够更好地缓冲所述阵列基板10在制备过程中对所述基板110的损伤。且,所述第一子缓冲层131采用氮化硅材料,在制备氮化硅材料的时候能够产生氢(H)元素用于修补的低温多晶硅层140,提高所述低温多晶硅层140的电性能。所述第二子缓冲层132采用氧化硅材料,用于改善所述第二子缓冲层132的应力,防止所述第二子缓冲层132脱落。

[0023] 所述第二绝缘层170包括第一子绝缘层171及第二子绝缘层172,所述第一子绝缘层171相较于所述第二子绝缘层172邻近所述栅极160。所述第一子绝缘层171的材料为氧化硅(SiO_x)材料,所述第二子绝缘层172的材料为氮化硅(SiN_x)材料。所述第一子绝缘层171的材料采用氧化硅材料,可以改善所述第一子绝缘层171的应力,防止所述第一子绝缘层171脱落。所述第二子绝缘层172采用氮化硅材料,在制备氮化硅材料的时候能够产生氢(H)元素用于修补的低温多晶硅层140,提高所述低温多晶硅层140的电性能。

[0024] 所述源极180及所述漏极190的材料为金属,比如,可以包括铝(Al),钼(Mo)。在本实施方式中,所述源极180及所述漏极190包括铝或者钼中的任意一种。

[0025] 所述第一透明导电层220和所述第二透明导电层240可以为但不仅限于为氧化铟锡(Indium Tin oxide,ITO)。

[0026] 所述平坦层210开设所述第三贯孔211时,可以使用皮秒激光器(Pico Laser)进行精细控制,以防止开设所述第三贯孔211时对所述漏极190的损坏。相应地,所述第三绝缘层230开设所述第四贯孔231时,可以用皮秒激光器进行精细控制,以防止开设所述第四贯孔231时对漏极190的损坏。

[0027] 所述连接金属层250可以通过激光化学气相沉积设备(Laser Chemical Vapor Deposition,LCVD)形成。当所述金属层250为钨时,可以用所述极光化学气相沉积设备提供的激光分解 $\text{W}(\text{CO})_6$ 物质,形成钨原子沉淀,从而形成所述连接金属层250。由于一般的液晶显示装置的制备厂都有激光化学气相沉积设备,因此,不需要引入新的设备或者升级设备。

[0028] 所述低温多晶硅薄膜晶体管100还包括第一欧姆接触层260。所述第一欧姆接触层260连接所述源极180与所述低温多晶硅层140,所述第一欧姆接触层260用于降低所述源极180与所述低温多晶硅层140之间的接触电阻。在本实施方式中,所述第一欧姆接触层260与所述低温多晶硅层140位于同一层。所述第一欧姆接触层260可以通过向所述低温多晶硅层140进行离子注入而形成。所述第一欧姆接触层260包括第一轻掺杂区261及第一重掺杂区262。所述第一轻掺杂区261与所述低温多晶硅层262接触,所述第一重掺杂区262设置在所述源极180和所述第一轻掺杂区261之间,且所述第一重掺杂区262连接所述源极180与所述第一轻掺杂区261之间,其中,所述第一轻掺杂区261的掺杂浓度小于所述第一重掺杂区的掺杂浓度。所述第一轻掺杂区261及所述第一重掺杂区262掺杂的离子类型相同,比如,可以同掺杂N型离子。在本实施方式中,所述第一轻掺杂区261及所述第一重掺杂区262的设置既能够降低所述源极180与所述低温多晶硅层140之间的接触电阻,又能够降低所述低温多晶硅薄膜晶体管100的泄露电流。

[0029] 所述低温多晶硅薄膜晶体管100还包括第二欧姆接触层270。所述第二欧姆接触层270连接所述漏极190与所述低温多晶硅层140,所述第二欧姆接触层270用于降低所述漏极190与所述低温多晶硅薄层140之间的接触电阻。在本实施方式中,所述第二欧姆接触层270包括第二轻掺杂区271及第二重掺杂区272。所述第二轻掺杂区271与所述低温多晶硅层140接触,所述第二重掺杂区272设置在所述漏极190与所述第二轻掺杂区271之间,且所述第二重掺杂区272连接所述漏极190与所述第二轻掺杂区271,其中所述第二轻掺杂区271的掺杂浓度小于所述第二重掺杂区272的掺杂浓度。所述第二轻掺杂区271及所述第二重掺杂区272掺杂的离子类型相同,比如,可以同掺杂N型离子。在本实施方式中,所述第二轻掺杂区271及所述第二重掺杂区272的设置既能够降低所述漏极190与所述低温多晶硅层140之间

的接触电阻,又能够降低所述低温多晶硅薄膜晶体管100的泄露电流。

[0030] 相较于现有技术,本发明的阵列基板10中的低温多晶硅薄膜晶体管100中将第三绝缘层230上开设第四贯孔231,并通过连接金属层250连接像素电极及漏极,因此,避免了第三绝缘层230上开孔不完全时导致的漏极不能对像素电极正常充电。综上所述,本发明的薄膜晶体管阵列基板10中的低温多晶硅薄膜晶体管100像素电极及漏极通过所述连接金属层250电连接,从而使得漏极能够对像素电极正常充电,提高了所述液晶显示装置的良率。

[0031] 本发明还提供了一种液晶显示装置1,请一并参阅图2,图2为本发明一较佳实施方式的液晶显示装置的示意图。所述液晶显示装置包括前面所述的阵列基板,在此不再赘述。所述液晶显示装置1可以包括但不限于为智能手机、互联网设备(Mobile Internet Device,MID),电子书,便携式播放站(Play Station Portable,PSP)或者个人数字助理(Personal Digital Assistant,PDA)等便携式电子设备,也可以为液晶显示器等。

[0032] 以上所揭露的仅为本发明一种较佳实施例而已,当然不能以此来限定本发明之权利范围,本领域普通技术人员可以理解实现上述实施例的全部或部分流程,并依本发明权利要求所作的等同变化,仍属于发明所涵盖的范围。

10

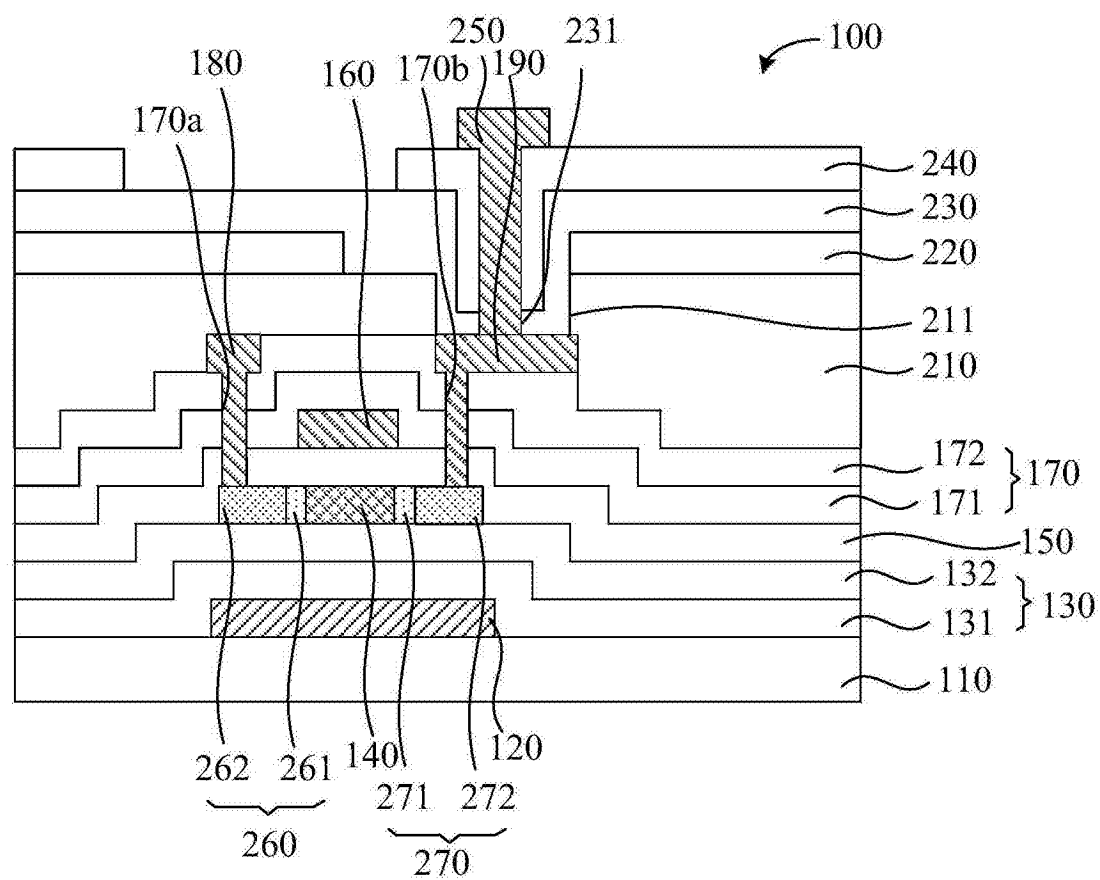


图 1

1

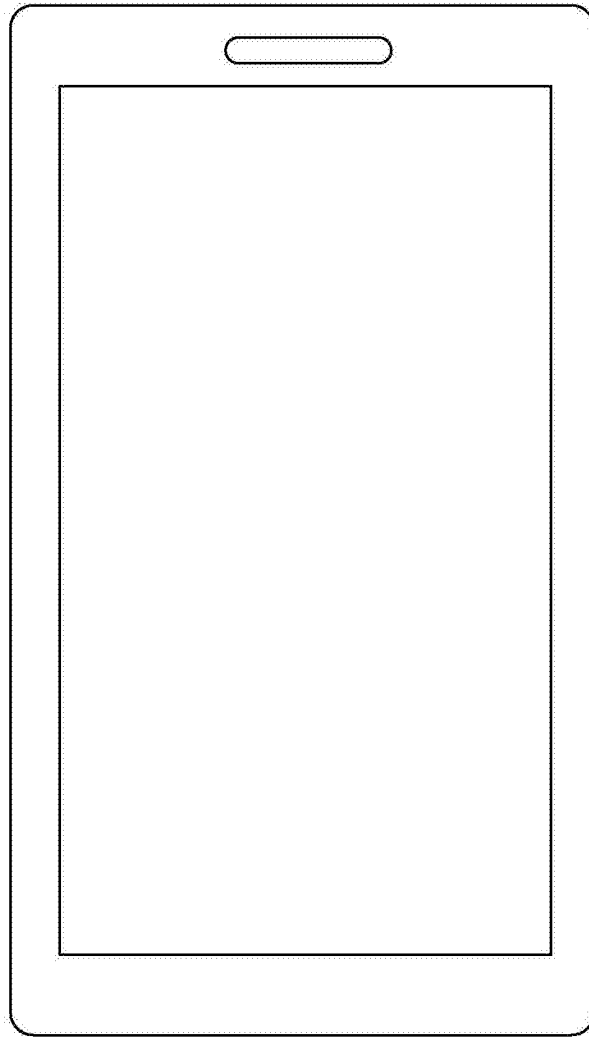


图2

专利名称(译)	阵列基板及液晶显示装置		
公开(公告)号	CN105572993A	公开(公告)日	2016-05-11
申请号	CN201610047658.7	申请日	2016-01-25
[标]申请(专利权)人(译)	武汉华星光电技术有限公司		
申请(专利权)人(译)	武汉华星光电技术有限公司		
当前申请(专利权)人(译)	武汉华星光电技术有限公司		
[标]发明人	范广宝		
发明人	范广宝		
IPC分类号	G02F1/1362 G02F1/1368		
CPC分类号	G02F1/1368 G02F1/1362 G02F1/136209 G02F1/136227 G02F2001/13685 G02F2202/104 H01L29/78621		
代理人(译)	熊永强		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种阵列基及液晶显示装置。阵列基板包括呈阵列分布的多个低温多晶硅薄膜晶体管，低温多晶硅薄膜晶体管包括：基板及设置在基板同侧的低温多晶硅层、第一绝缘层、栅极、第二绝缘层、源极、漏极、平坦层、第一透明导电层、第三绝缘层、第二透明导电层及连接金属层，低温多晶硅层、栅极、第二绝缘层依次层叠设置，源极及漏极设置在第二绝缘层上，并分别通过第二绝缘层上的第一贯孔与第二贯孔与连接低温多晶硅层相对的两端，平坦层、第一透明导电层、第三绝缘层及顶层导电层依次层叠设置，连接金属层通过第三绝缘层的第四贯孔连接第二透明导电层及漏极，其中，第一透明导电层为公共电极，第二透明导电层为像素电极。

10

