



(12) 发明专利申请

(10) 申请公布号 CN 105118465 A

(43) 申请公布日 2015. 12. 02

(21) 申请号 201510613413. 1

(22) 申请日 2015. 09. 23

(71) 申请人 深圳市华星光电技术有限公司

地址 518006 广东省深圳市光明新区塘明大道 9-2 号

申请人 武汉华星光电技术有限公司

(72) 发明人 肖军城 戴荣磊 曹尚操 颜尧

(74) 专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280

代理人 何青瓦

(51) Int. Cl.

G09G 3/36(2006. 01)

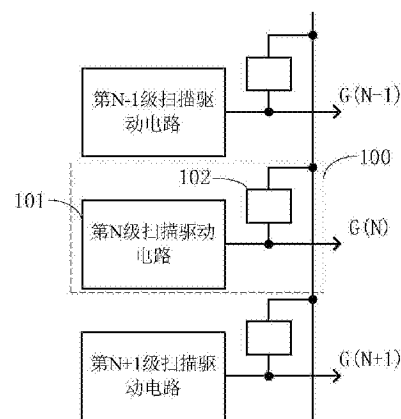
权利要求书2页 说明书6页 附图3页

(54) 发明名称

一种 GOA 电路及其驱动方法、液晶显示器

(57) 摘要

本发明公开了一种 GOA 电路及其驱动方法、液晶显示器,该 GOA 电路包括多个级联的 GOA 单元,设定 N 为正整数,其中,第 N 级 GOA 单元包括第 N 级级传电路、第 N 级 Q 点控制电路、第 N 级 P 点控制电路、第 N 级输出电路以及开关电路;开关电路连接第 N 级扫描线 G(N),用于在液晶显示器显示前向第 N 级扫描线 G(N) 通入一开启信号,以使第 N 级扫描线 G(N) 连接的像素中的薄膜晶体管导通。通过上述方式,本发明能够在显示器黑屏唤醒时打开各个像素的 gate 端,向各级像素接入低电平信号,防止显示器在黑屏唤醒时漏电的情况,同时提高电路的稳定性。



1. 一种 GOA 电路,用于液晶显示器,其特征在于,所述 GOA 电路包括多个级联的 GOA 单元,设定 N 为正整数,其中,第 N 级 GOA 单元包括第 N 级级传电路、第 N 级 Q 点控制电路、第 N 级 P 点控制电路、第 N 级输出电路以及开关电路;

其中,所述第 N 级级传电路、第 N 级 Q 点控制电路、第 N 级 P 点控制电路以及第 N 级输出电路连接于 Q 点,所述第 N 级 Q 点控制电路、第 N 级 P 点控制电路以及第 N 级输出电路连接于 P 点,所述第 N 级输出电路连接还连接第 N 级扫描线 ($G(N)$);

所述开关电路连接所述第 N 级扫描线 ($G(N)$),用于在所述液晶显示器显示前向所述第 N 级扫描线 ($G(N)$) 通入一开启信号,以使所述第 N 级扫描线 ($G(N)$) 连接的像素中的薄膜晶体管导通。

2. 根据权利要求 1 所述的电路,其特征在于,所述开关电路包括第一薄膜晶体管 ($T1$),其源极连接所述第 N 级扫描线 ($G(N)$),其漏极连接其栅极并接入一开启信号 (Gas),在所述液晶显示器显示前,所述开启信号 (Gas) 为低电平信号,以使所述第 N 级扫描线 ($G(N)$) 通入所述低电平信号,从而使所述第 N 级扫描线 ($G(N)$) 连接的像素中的薄膜晶体管导通。

3. 根据权利要求 1 所述的电路,其特征在于,所述第 N 级级传电路包括第二薄膜晶体管 ($T2$)、第三薄膜晶体管 ($T3$) 以及第四薄膜晶体管 ($T4$);

所述第二薄膜晶体管 ($T2$) 的栅极接入第 $N-2$ 级 GOA 单元的输出信号 ($G(N-2)$),漏极接入正向扫描信号 ($U2D$);

所述第三薄膜晶体管 ($T3$) 的栅极接入第 $N+2$ 级 GOA 单元的输出信号 ($G(N+2)$),漏极接入反向扫描信号 ($D2U$);

所述第四薄膜晶体管 ($T4$) 的栅极接入第一时钟信号 ($XCK(N)$),漏极连接所述第二薄膜晶体管 ($T2$) 和所述第三薄膜晶体管 ($T3$) 的源极,源极连接所述 Q 点。

4. 根据权利要求 1 所述的电路,其特征在于,所述第 N 级 P 点控制电路包括第五薄膜晶体管 ($T5$) 以及第六薄膜晶体管 ($T6$);

所述第五薄膜晶体管 ($T5$) 的栅极连接所述 Q 点,漏极接入第一时钟信号 ($XCK(N)$),源极连接所述 P 点;

所述第六薄膜晶体管 ($T6$) 的栅极接入所述第一时钟信号 ($XCK(N)$),漏极接入一低电平信号,源极连接所述 P 点。

5. 根据权利要求 1 所述的电路,其特征在于,所述第 N 级 Q 点控制电路包括第七薄膜晶体管 ($T7$) 以及第八薄膜晶体管 ($T8$);

所述第七薄膜晶体管 ($T7$) 的栅极接入第二时钟信号 ($CK(N)$),漏极连接所述 Q 点;

所述第八薄膜晶体管 ($T8$) 的栅极连接所述 P 点,漏极连接所述第七薄膜晶体管 ($T7$) 的源极,源极接入一高电平信号。

6. 根据权利要求 1 所述的电路,其特征在于,所述第 N 级输出电路包括第九薄膜晶体管 ($T9$) 以及第十薄膜晶体管 ($T10$);

所述第九薄膜晶体管 ($T9$) 的栅极连接所述 Q 点,漏极接入第二时钟信号 ($CK(N)$),源极连接所述第 N 级扫描线 ($G(N)$);

所述第十薄膜晶体管 ($T10$) 的栅极连接所述 P 点,漏极连接所述第 N 级扫描线 ($G(N)$),源极接入一高电平信号。

7. 根据权利要求 1 所述的电路,其特征在于,所述第 N 级扫描驱动电路还包括 P 点上拉

电路；

所述 P 点上拉电路包括第十一薄膜晶体管 (T11)，其栅极接入开启信号 (Gas)，漏极连接所述 P 点，源极接入一高电平信号。

8. 根据权利要求 1 所述的电路，其特征在于，所述第 N 级扫描驱动电路还包括复位电路；

所述复位电路包括第十二薄膜晶体管 (T12)，其栅极和源极接入复位信号 (Reset)，漏极连接所述 P 点。

9. 一种 GOA 电路的驱动方法，应用于如权利要求 1-8 任一项的 GOA 电路，其特征在于，包括：

打开每一级 GOA 单元的开关电路，向每一级的扫描线通入一开启信号，以使所述每一级的扫描线连接的像素中的薄膜晶体管导通；

关闭每一级 GOA 单元的所述开关电路，从第一级 GOA 单元或最后一级 GOA 单元开始扫描。

10. 一种液晶显示器，其特征在于，所述液晶显示器包括如权利要求 1-9 任一项所述的 GOA 电路。

一种 GOA 电路及其驱动方法、液晶显示器

技术领域

[0001] 本发明涉及显示技术领域,特别是涉及一种 GOA 电路及其驱动方法、液晶显示器。

背景技术

[0002] 阵列基板行驱动 (GOA, Gate Driver On Array 或 Gate On Array) 电路,是利用现有薄膜晶体管显示装置 (TFT-LCD) 阵列 (Array) 制程将栅线 (Gate) 行扫描驱动信号电路制作在阵列基板上,以实现栅线逐行扫描的驱动方式的一项技术。其传统的柔性电路板 (COF) 和玻璃电路板 (COG) 工艺相比,不仅节省了制作成本,而且还可以省去栅极方向绑定 (Bonding) 的工艺,对提升产能极为有利,并提高了显示装置的集成度。

[0003] 在实际使用时,由于显示装置通常需要搭配触摸屏 (Touch Panel) 功能进行使用,因此 GOA 电路需要实现信号中停以配合触摸屏的功能,如配合触摸屏的扫描。通常情况下,GOA 电路在实现信号中停后,需将显示装置进行黑屏唤醒,此时 GOA 电路需要在一段时间内将所有的栅线均设置为导通状态,通过向数据线施加黑电压以清空像素电容中残留的电平,以使得显示装置的显示效果良好,此段时间称为栅线全开 (All Gate On) 阶段。但是现有技术中的 GOA 电路在实现 All Gate On 时会存在功能失效风险,进而不能稳定的实现 All Gate On 功能。

发明内容

[0004] 本发明主要解决的技术问题是提供一种 GOA 电路及其驱动方法、液晶显示器,能够在显示器黑屏唤醒时打开各个像素的 gate 端,向各级像素输入低电平信号,防止显示器在黑屏唤醒时漏电的情况,同时提高电路的稳定性。

[0005] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种 GOA 电路,用于液晶显示器,该 GOA 电路包括多个级联的 GOA 单元,第 N 级 GOA 单元包括第 N 级级传电路、第 N 级 Q 点控制电路、第 N 级 P 点控制电路、第 N 级输出电路以及开关电路;其中,第 N 级级传电路、第 N 级 Q 点控制电路、第 N 级 P 点控制电路以及第 N 级输出电路连接于 Q 点,第 N 级 Q 点控制电路、第 N 级 P 点控制电路以及第 N 级输出电路连接于 P 点,第 N 级输出电路连接还连接第 N 级扫描线 G(N);开关电路连接第 N 级扫描线 G(N),用于在液晶显示器显示前向第 N 级扫描线 G(N) 通入一开启信号,以使第 N 级扫描线 G(N) 连接的像素中的薄膜晶体管导通。

[0006] 其中,开关电路包括第一薄膜晶体管 T1,其源极连接第 N 级扫描线 G(N),其漏极连接其栅极并接入一开启信号 Gas,在液晶显示器显示前,开启信号 Gas 为低电平信号,以使第 N 级扫描线 G(N) 通入低电平信号,从而使第 N 级扫描线 G(N) 连接的像素中的薄膜晶体管导通。

[0007] 其中,第 N 级级传电路包括第二薄膜晶体管 T2、第三薄膜晶体管 T3 以及第四薄膜晶体管 T4;第二薄膜晶体管 T2 的栅极接入第 N-2 级 GOA 单元的输出信号 G(N-2),漏极接入正向扫描信号 U2D;第三薄膜晶体管 T3 的栅极接入第 N+2 级 GOA 单元的输出信号 G(N+2),

漏极接入反向扫描信号 D2U ;第四薄膜晶体管 T4 的栅极接入第一时钟信号 XCK(N),漏极连接第二薄膜晶体管 T2 和第三薄膜晶体管 T3 的源极,源极连接 Q 点。

[0008] 其中,第 N 级 P 点控制电路包括第五薄膜晶体管 T5 以及第六薄膜晶体管 T6 ;第五薄膜晶体管 T5 的栅极连接 Q 点,漏极接入第一时钟信号 XCK(N),源极连接 P 点 ;第六薄膜晶体管 T6 的栅极接入第一时钟信号 XCK(N),漏极接入一低电平信号,源极连接 P 点。

[0009] 其中,第 N 级 Q 点控制电路包括第七薄膜晶体管 T7 以及第八薄膜晶体管 T8 ;第七薄膜晶体管 T7 的栅极接入第二时钟信号 CK(N),漏极连接 Q 点 ;第八薄膜晶体管 T8 的栅极连接 P 点,漏极连接第七薄膜晶体管 T7 的源极,源极接入一高电平信号。

[0010] 其中,第 N 级输出电路包括第九薄膜晶体管 T9 以及第十薄膜晶体管 T10 ;第九薄膜晶体管 T9 的栅极连接 Q 点,漏极接入第二时钟信号 CK(N),源极连接第 N 级扫描线 G(N) ;第十薄膜晶体管 T10 的栅极连接 P 点,漏极连接第 N 级扫描线 G(N),源极接入一高电平信号。

[0011] 其中,第 N 级扫描驱动电路还包括 P 点上拉电路 ;P 点上拉电路包括第十一薄膜晶体管 T11,其栅极接入开启信号 Gas,漏极连接 P 点,源极接入一高电平信号。

[0012] 其中,第 N 级扫描驱动电路还包括复位电路 ;复位电路包括第十二薄膜晶体管 T12,其栅极和源极接入复位信号 Reset,漏极连接 P 点。

[0013] 为解决上述技术问题,本发明采用的另一个技术方案是 :提供一种 GOA 电路的驱动方法,应用于如上述的 GOA 电路,该方法包括 :打开每一级 GOA 单元的开关电路,向每一级的扫描线通入一开启信号,以使每一级的扫描线连接的像素中的薄膜晶体管导通 ;关闭每一级 GOA 单元的开关电路,从第一级 GOA 单元或最后一级 GOA 单元开始扫描。

[0014] 为解决上述技术问题,本发明采用的另一个技术方案是 :提供一种液晶显示器,该液晶显示器包括上述的 GOA 电路。

[0015] 本发明的有益效果是 :区别于现有技术的情况,本发明在 GOA 电路的每级 GOA 单元的第 N 级扫描线 G(N) 上增加一开关电路,用于在显示面板显示前,即黑屏唤醒或信号中停时,向每级 GOA 单元的第 N 级扫描线 G(N) 通入一开启信号以使每个像素的 TFT 打开,并对每个像素通入低电平信号,以清除像素电容中的残留的电荷,进而实现 All Gate On 功能,有利于防止显示器在黑屏唤醒时漏电的情况,同时提高电路的稳定性。

附图说明

[0016] 图 1 是本发明 GOA 电路第一实施方式的电路结构示意图 ;

[0017] 图 2 是本发明 GOA 电路第一实施方式中 GOA 单元的电路示意图 ;

[0018] 图 3 是本发明 GOA 电路第二实施方式的电路结构示意图 ;

[0019] 图 4 是本发明 GOA 电路第二实施方式的电路图 ;

[0020] 图 5 是本发明 GOA 电路第二实施方式的电路时序图 ;

[0021] 图 6 是本发明 GOA 电路的驱动方法一实施方式的流程图 ;

[0022] 图 7 是本发明液晶显示器一实施方式的结构示意图。

具体实施方式

[0023] 参阅图 1,本发明 GOA 电路第一实施方式的电路结构示意图,该 GOA 电路包括多个

级联的 GOA 单元, 设定 N 为正整数, 第 N 级 GOA 单元 100 包括第 N 级扫描驱动电路 101, 用于驱动显示区域的第 N 级扫描线 $G(N)$, 第 N 级 GOA 单元 100 还包括开关电路 102, 开关电路 102 连接第 N 级扫描线 $G(N)$, 用于在液晶显示器显示前响应一开启信号而导通, 向第 N 级扫描线 $G(N)$ 通入低电平信号。可以理解的, 第 N 级 GOA 单元 100 包括开关电路 102 即为每级的 GOA 单元均包括开关电路 102。

[0024] 其中, 图 1 只示出了连续的三个 GOA 单元, 仅为举例, 并不限制本实施方式中 GOA 单元的数量, 而在具体应用中, 显示面板中 GOA 电路的每级 GOA 单元的 gate 端 (即第 N 级扫描线 $G(N)$) 均连接该开关电路 102, 用于在显示面板黑屏唤醒或者信号中停时, 向 gate 端通入一开启信号以使每个像素的 gate 端打开。

[0025] 参阅图 2, 在一具体的实施方式中, 开关电路 102 包括第一薄膜晶体管 T1, 其源极连接第 N 级扫描线 $G(N)$, 其漏极连接其栅极并接入一开启信号 Gas , 在液晶显示器显示前, 开启信号 Gas 为低电平信号, 以使第 N 级扫描线 $G(N)$ 通入低电平信号, 在该实施方式中, 每个像素中的 TFT 也均为 P 型。

[0026] 可以理解的是, 第一薄膜晶体管 T1 为 P 型, 当开启信号 Gas 为低电平时, 第一晶体管 T1 导通, 将其漏极的开启信号 Gas 传递至源极, 即第 N 级扫描线 $G(N)$ 也为低电平, 进而将该级水平扫描线打开并通入低电平信号。同理在 All Gate On 阶段时通过控制该开启信号 Gas 将全部 GOA 单元对应的所有水平扫描线均打开并通入低电平信号, 以在此时通过向数据线上施加黑电压而将像素电容中的残留电平清除, 进而实现 All Gate On 功能。

[0027] 在其他实施方式中, 若第一晶体管 T1 为 N 型, 则其漏极连接第 N 级扫描线 $G(N)$, 源极通入一低电平信号, 当 All Gate On 阶段时, 向第一晶体管 T1 的栅极加上高电平, 则第 N 级扫描线 $G(N)$ 就会通入低电平信号。同理, 以下各个实施方式或各个电路中的薄膜晶体管的 P 型或 N 型均可以替换, 以下不再赘述。

[0028] 区别于现有技术, 本实施方式中在 GOA 电路的每级 GOA 单元的第 N 级扫描线 $G(N)$ 上增加一开关电路, 用于在显示面板显示前, 即黑屏唤醒或信号中停时, 向每级 GOA 单元的第 N 级扫描线 $G(N)$ 一开启信号以使每个像素的 TFT 打开, 并对每个像素通入低电平信号, 以清除像素电容中的残留的电荷, 进而实现 All Gate On 功能, 有利于防止显示器在黑屏唤醒时漏电的情况, 同时提高电路的稳定性。

[0029] 参阅图 3, 本发明 GOA 电路第二实施方式的电路结构示意图, 其中, 第 N 级扫描驱动电路包括第 N 级级传电路 301、第 N 级 Q 点控制电路 302、第 N 级 P 点控制电路 303 以及第 N 级输出电路 304。

[0030] 其中, 第 N 级级传电路 301、第 N 级 Q 点控制电路 302、第 N 级 P 点控制电路 303 以及第 N 级输出电路连接于 Q 点, 第 N 级 Q 点控制电路 302、第 N 级 P 点控制电路 303 以及第 N 级输出电路 304 连接于 P 点。

[0031] 第 N 级级传电路 301 用于在正向扫描时接收第 $N-2$ 级 GOA 单元的输出信号 $G(N-2)$, 或在反向扫描时接收第 $N+2$ 级 GOA 单元的输出信号 $G(N+2)$, 以使第 N 级扫描驱动电路开始驱动第 N 级扫描线 $G(N)$ 进行扫描;

[0032] 第 N 级 P 点控制电路 303 用于使输出电路 304 在扫描期间输出高电平的扫描信号;

[0033] 第 N 级 Q 点控制电路 302 用于使输出电路 304 在非扫描期间输出级传信号。

[0034] 参阅图 4, 本发明 GOA 电路第二实施方式的电路图, 在一具体的电路中:

[0035] 第 N 级级传电路 301 包括第二薄膜晶体管 T2、第三薄膜晶体管 T3 以及第四薄膜晶体管 T4; 第二薄膜晶体管 T2 的栅极接入第 N-2 级 GOA 单元的输出信号 G(N-2), 漏极接入正向扫描信号 U2D; 第三薄膜晶体管 T3 的栅极接入第 N+2 级 GOA 单元的输出信号 G(N+2), 漏极接入反向扫描信号 D2U; 第四薄膜晶体管 T4 的栅极接入第一时钟信号 XCK(N), 漏极连接第二薄膜晶体管 T2 和第三薄膜晶体管 T3 的源极, 源极连接 Q 点。

[0036] 另外, 在其他实施方式中, 第 N 级级传电路 301 也可以在正向扫描时接收第 N-1 级的级传信号, 或在反向扫描时接收第 N+1 级的级传信号。

[0037] 第 N 级 P 点控制电路 303 包括第五薄膜晶体管 T5 以及第六薄膜晶体管 T6; 第五薄膜晶体管 T5 的栅极连接 Q 点, 漏极接入第一时钟信号 XCK(N), 源极连接 P 点; 第六薄膜晶体管 T6 的栅极接入第一时钟信号 XCK(N), 漏极接入一低电平信号, 源极连接 P 点。

[0038] 第 N 级 Q 点控制电路 302 包括第七薄膜晶体管 T7 以及第八薄膜晶体管 T8; 第七薄膜晶体管 T7 的栅极接入第二时钟信号 CK(N), 漏极连接 Q 点; 第八薄膜晶体管 T8 的栅极连接 P 点, 漏极连接第七薄膜晶体管 T7 的源极, 源极接入一高电平信号。

[0039] 第 N 级输出电路 304 包括第九薄膜晶体管 T9 以及第十薄膜晶体管 T10; 第九薄膜晶体管 T9 的栅极连接 Q 点, 漏极接入第二时钟信号 CK(N), 源极连接第 N 级扫描线 G(N); 第十薄膜晶体管 T10 的栅极连接 P 点, 漏极连接第 N 级扫描线 G(N), 源极接入一高电平信号。

[0040] 第 N 级开关电路 305, 与上述实施方式中的开关电路相同, 这里不再赘述。

[0041] 在其他实施方式中, 第 N 级扫描驱动电路还可以包括:

[0042] P 点上拉电路 306, P 点上拉电路 306 包括第十一薄膜晶体管 T11, 其栅极接入开启信号 Gas, 漏极连接 P 点, 源极接入一高电平信号。

[0043] 复位电路 307, 复位电路 307 包括第十二薄膜晶体管 T12, 其栅极和源极接入复位信号 Reset, 漏极连接 P 点。

[0044] 在图 4 中, H 表示高电平信号, L 表示低电平信号。

[0045] 同时参阅图 5, 本发明 GOA 电路第二实施方式的电路时序图, 下面以正向扫描为例, 对本电路的实施方式进行具体说明:

[0046] 在正向扫描期间, U2D 为低电平, D2U 为高电平, 以使第 N-2 级扫描线 G(N-2) 和第一时钟信号 XCK(N) 为低电平时, 向 Q 点通入 U2D 信号, 即低电平信号。在其他实施方式中, 例如反向扫描期间, U2D 为高电平, D2U 为低电平, 以使第 N+2 级扫描线 G(N+2) 和第一时钟信号 XCK(N) 为低电平时, 向 Q 点通入 D2U 信号, 即低电平信号。

[0047] 在第一作用区间, 即 all gate on 作用期间, 在 all gate on 作用期间的开始阶段, Gas 信号为低电平, 导通第一薄膜晶体管 T1, 则向第 N 级扫描线 G(N) 输入低电平信号, 从而使每个像素中的 TFT 打开, 在该阶段中, 像素的信号线通入触摸信号, 以便随时对显示屏进行黑屏唤醒, 唤醒后, 向像素的信号线通入低电平 (即黑电压), 以像素点进行放电, 以消除像素点的残留电荷。具体地, 在 all gate on 作用期间, 由于 Gas 信号直接通入第 N 级扫描线 G(N), 则无论第 N 级扫描驱动电路如何工作, 第 N 级扫描线 G(N) 均输出低电平信号。

[0048] 在第二作用区间, 即复位区间, 复位信号 Reset 为低电平, 第十二薄膜晶体管 T12 导通, 从而 P 点为低电平, 继而第七薄膜晶体管 T7 导通, 由于第七薄膜晶体管 T7 导通, 第 N 级扫描线 G(N) 直接连接一高电平信号, 从而上拉第 N 级扫描线 G(N) 的电平, 因此第 N 级扫描

线 G(N) 输出高电平信号,实现第 N 级扫描线 G(N) 输出信号的复位。具体地,在复位区间,由于高电平信号直接通入第 N 级扫描线 G(N),则无论第 N 级扫描驱动电路如何工作,第 N 级扫描线 G(N) 均输出高电平信号。

[0049] 在第三作用区间,即正常显示区间,则根据级传信号 G(N-2)、第一时钟信号 XCK(N) 和第二时钟信号 CK(N) 的作用,正常逐级扫描,第 N 级 GOA 单元扫描期间,第 N 级扫描线 G(N) 输出与第二时钟信号 CK(N) 相同电平的信号。

[0050] 具体地,当级传信号 G(N-2) 为低电平、第一时钟信号 XCK(N) 为低电平时,第四薄膜晶体管 T4 导通, Q 点为低电平,继而第九薄膜晶体管 T9 导通,第二时钟信号 CK(N) 直接通入第 N 级扫描线 G(N),从而第 N 级扫描线 G(N) 输出与第二时钟信号 CK(N) 电平相同的信号,即高电平信号。同时,由于 P 点此时为低电平,第十薄膜晶体管 T10 导通,高电平信号通入第 N 级扫描线 G(N),保证了第 N 级扫描线 G(N) 的稳定输出。

[0051] 当第一时钟信号 XCK(N) 为高电平时,第四薄膜晶体管 T4、第六薄膜晶体管 T6 截止, Q 点保持低电平,因此第五薄膜晶体管 T5 导通,所以 P 点则在第一时钟信号 XCK(N) 的作用下变为高电平。因此,第二时钟信号 CK(N) 直接通入第 N 级扫描线 G(N),从而第 N 级扫描线 G(N) 输出与第二时钟信号 CK(N) 电平相同的信号。在第四作用区间,即信号中停区间,即,当显示画面停止或有触摸信号接触显示屏以使显示画面暂停时,所有端口以及节点的电平均保持高电平,从而使显示画面保持不变。

[0052] 值得说明的是,相邻两级 GOA 单元中的第一时钟信号 XCK(N) 和第二时钟信号 CK(N) 是不同,在一种实施方式中,第 N-1 级的第一时钟信号为 XCK,第二时钟信号 CK;第 N 级的第一时钟信号为 CK,第二时钟信号 XCK;第 N+1 级的第一时钟信号为 XCK,第二时钟信号 CK;其中, XCK 和 CK 的电平可以如图 5 所示,以此类推。

[0053] 区别于现有技术,本实施方式中在 GOA 电路的每级 GOA 单元的第 N 级扫描线 G(N) 上增加一开关电路,用于在显示面板显示前,即黑屏唤醒或信号中停时,向每级 GOA 单元的第 N 级扫描线 G(N) 通入低电平信号,以清除像素电容中的残留的电荷,进而实现 All Gate On 功能,有利于防止显示器在黑屏唤醒时漏电的情况;另一方面,本实施方式的 GOA 电路增加了 P 点下拉电路以及复位电路,降低了信号中停期间 Q 点漏电的风险,提高了电路的稳定性。

[0054] 参阅图 6,本发明 GOA 电路的驱动方法一实施方式的流程图,该方法包括:

[0055] 步骤 601:打开每一级 GOA 单元的开关电路,向每一级的扫描线通入一开启信号,以使每一级的扫描线连接的像素中的薄膜晶体管导通。

[0056] 步骤 602:关闭每一级 GOA 单元的开关电路,从第一级 GOA 单元或最后一级 GOA 单元开始扫描。

[0057] 该实施方式是基于上述各个 GOA 电路的一驱动方法,其实施方式参照上述各个实施方式,这里不再赘述。

[0058] 参阅图 7,本发明液晶显示器一实施方式的结构示意图,该液晶显示器包括显示面板 701 及背光 702,显示面板 701 中包括 GOA 电路,其中,该 GOA 电路是如上述各个实施方式的 GOA 电路,其具体实施方式类似,这里不再赘述。

[0059] 以上所述仅为本发明的实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的

技术领域,均同理包括在本发明的专利保护范围内。

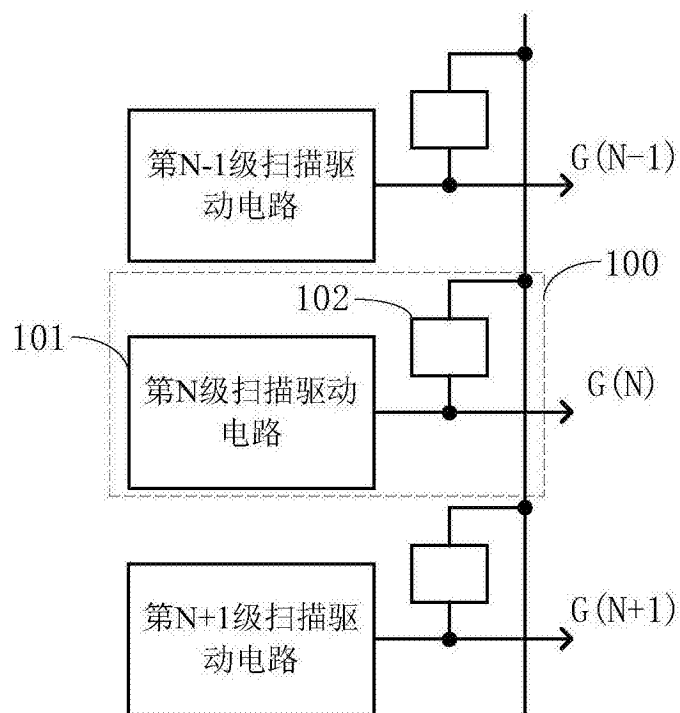


图 1

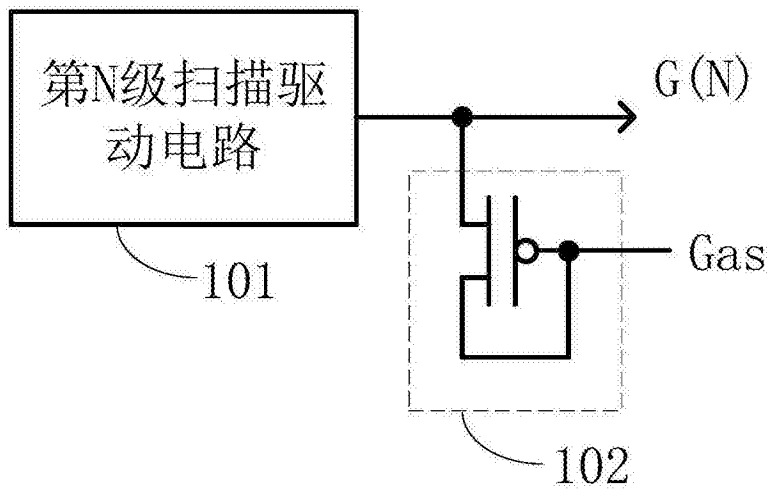


图 2

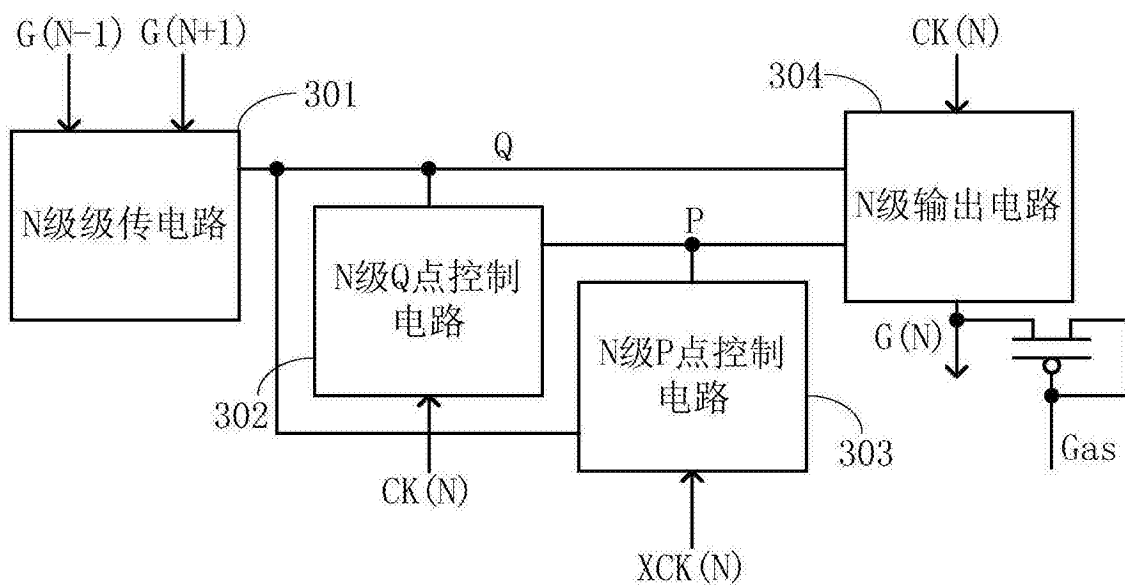


图 3

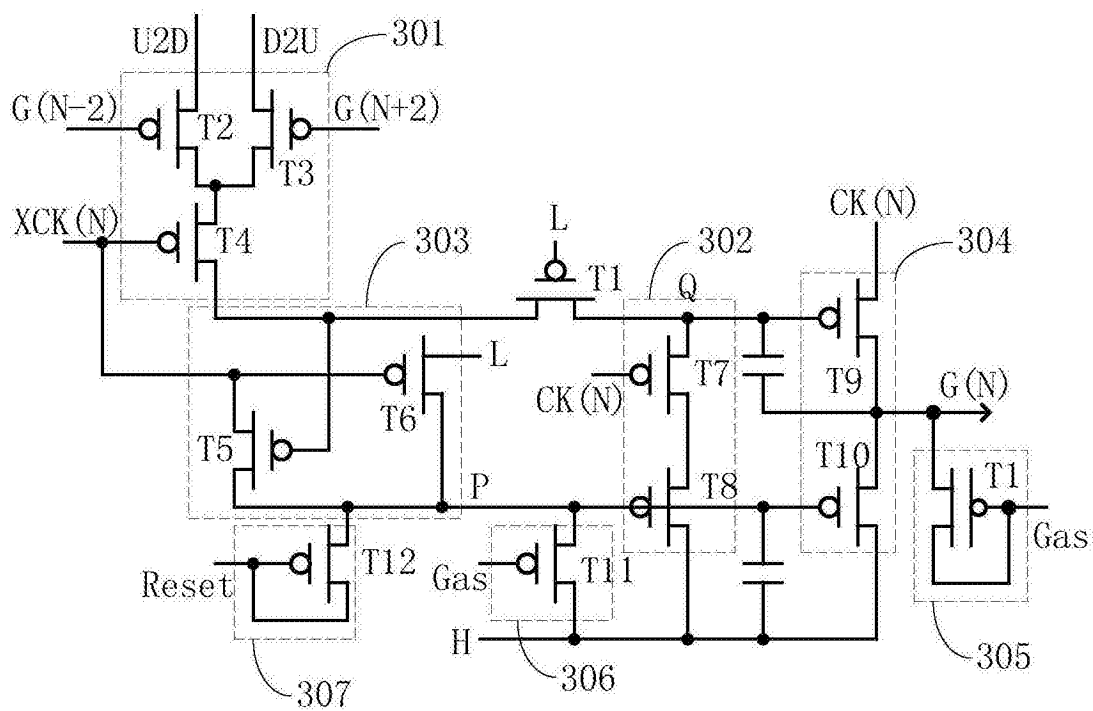


图 4

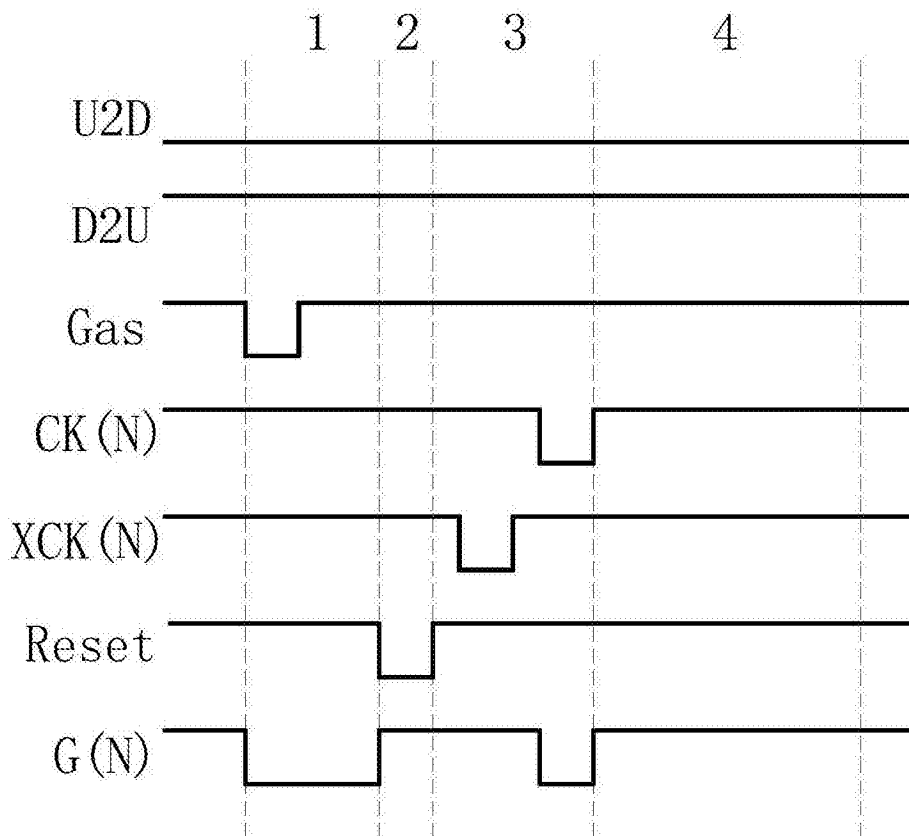


图 5

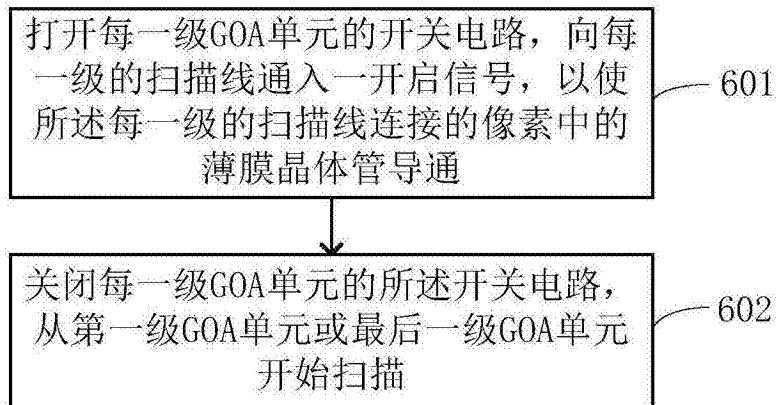


图 6

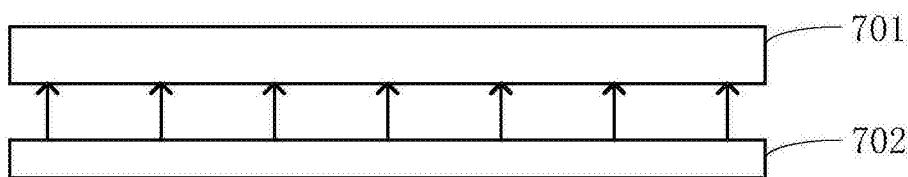


图 7

专利名称(译)	一种GOA电路及其驱动方法、液晶显示器		
公开(公告)号	CN105118465A	公开(公告)日	2015-12-02
申请号	CN201510613413.1	申请日	2015-09-23
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司 武汉华星光电技术有限公司		
[标]发明人	肖军城 戴荣磊 曹尚操 颜尧		
发明人	肖军城 戴荣磊 曹尚操 颜尧		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G02F1/136286 G02F1/1368 G02F2203/64 G09G2300/0408 G09G2310/0245 G09G2310/0286 G09G2310/08 G09G2320/0214 G09G2330/026 G11C19/28		
其他公开文献	CN105118465B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种GOA电路及其驱动方法、液晶显示器，该GOA电路包括多个级联的GOA单元，设定N为正整数，其中，第N级GOA单元包括第N级级传电路、第N级Q点控制电路、第N级P点控制电路、第N级输出电路以及开关电路；开关电路连接第N级扫描线G(N)，用于在液晶显示器显示前向第N级扫描线G(N)通入一开启信号，以使第N级扫描线G(N)连接的像素中的薄膜晶体管导通。通过上述方式，本发明能够在显示器黑屏唤醒时打开各个像素的gate端，向各级像素接入低电平信号，防止显示器在黑屏唤醒时漏电的情况，同时提高电路的稳定性。

