



(12) 发明专利

(10) 授权公告号 CN 103472647 B

(45) 授权公告日 2016. 04. 06

(21) 申请号 201310432586. 4

(22) 申请日 2013. 09. 22

(73) 专利权人 合肥京东方光电科技有限公司

地址 230012 安徽省合肥市新站区铜陵北路
2177 号

专利权人 京东方科技集团股份有限公司

(72) 发明人 姜清华 秦锋 李和小 邵贤杰
刘永

(74) 专利代理机构 北京同达信恒知识产权代理
有限公司 11291

代理人 黄志华

(51) Int. Cl.

G02F 1/1368(2006. 01)

G02F 1/1343(2006. 01)

G02F 1/1333(2006. 01)

(56) 对比文件

CN 202003648 U, 2011. 10. 05,

CN 202003648 U, 2011. 10. 05,

CN 102254917 A, 2011. 11. 23,

CN 102566173 A, 2012. 07. 11,

CN 203480183 U, 2014. 03. 12,

JP 特开 2010-96793 A, 2010. 04. 30,

审查员 宋萍

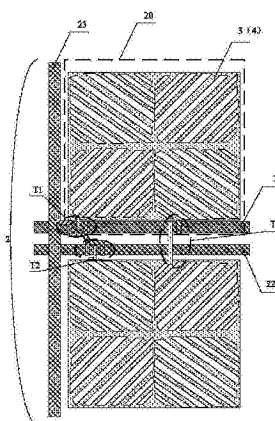
权利要求书2页 说明书10页 附图6页

(54) 发明名称

一种阵列基板、液晶显示面板及显示装置

(57) 摘要

本发明公开了一种阵列基板、液晶显示面板及显示装置,用以提高液晶显示面板图像的显示效果。所述阵列基板包括:基板,交叉设置的栅线 and 数据线,位于所述基板上呈矩阵分布的多个像素,同一列的相邻两行上的两个像素构成一个像素组;每一像素的区域中设置有公共电极和像素电极;所述像素组中的两个像素之间设置有第一栅线 and 第二栅线,且在所述两个像素同侧设置有所述数据线,所述像素组中的一个像素的区域中设置有第一开关晶体管和第三开关晶体管,另一像素的区域中至少设置有第二开关晶体管。



1. 一种阵列基板, 包括: 基板, 交叉设置的栅线和数据线, 位于所述基板上呈矩阵分布的多个像素, 同一列的相邻两行上的两个像素构成一个像素组; 每一像素的区域中设置有公共电极和像素电极; 所述像素组中的两个像素之间设置有第一栅线 and 第二栅线, 且在所述两个像素同侧设置有所述数据线, 其特征在于,

所述像素组中的一个像素的区域中设置有第一开关晶体管和第三开关晶体管, 另一像素的区域中至少设置有第二开关晶体管;

所述第一开关晶体管和第三开关晶体管的栅极分别与所述第一栅线和第二栅线一一对应相连, 源极分别与同一所述数据线相连, 漏极分别与各自所在的像素的区域中的像素电极相连;

所述第三开关晶体管的栅极与所述第一栅线相连, 源极与所在像素的区域中的公共电极相连, 漏极与所述第二开关晶体管所在像素的区域中的像素电极相连;

还包括与所述第二开关晶体管位于同一像素的区域中的第四开关晶体管; 所述第四开关晶体管的栅极与所述第二栅线相连, 源极与所述第四开关晶体管所在像素的区域中的公共电极相连, 漏极与所述第一开关晶体管所在像素的区域中的像素电极相连。

2. 根据权利要求1所述的阵列基板, 其特征在于, 所述公共电极为远离所述基板的狭缝状电极, 所述像素电极为靠近所述基板的面状电极; 或者

所述公共电极为靠近所述基板的面状电极, 所述像素电极为远离所述基板的狭缝状电极; 或者

所述公共电极与所述像素电极均为狭缝状电极。

3. 根据权利要求2所述的阵列基板, 其特征在于, 所述狭缝状像素电极或狭缝状公共电极中的各狭缝的形状为沿同一方向延伸的直线状、尖括弧状、圆括弧状, 或为米字状。

4. 根据权利要求1或3所述的阵列基板, 其特征在于, 每条所述数据线由相邻的两列像素组共用。

5. 根据权利要求1或3所述的阵列基板, 其特征在于, 所述第一开关晶体管和第三开关晶体管的源极的形状分别为U形, 所述第一开关晶体管和第三开关晶体管的漏极分别至少包括直线形的第一子漏极, 所述第一子漏极位于对应的U形源极的缺口中沿与所述U形源极的两个侧部的切线相平行的方向设置。

6. 根据权利要求5所述的阵列基板, 其特征在于, 所述第一开关晶体管和第三开关晶体管的漏极分别还包括直线形的第二子漏极, 所述第二子漏极位于对应的U形源极的缺口中与所述第一子漏极的靠近U形源极底部的一端相连, 所述第二子漏极与所述第一子漏极相垂直。

7. 根据权利要求6所述的阵列基板, 其特征在于, 所述第一开关晶体管的U形源极与所述第二开关晶体管的U形源极电连接, 所述第一开关晶体管的U形源极或所述第二开关晶体管的U形源极与所述数据线电连接。

8. 根据权利要求7所述的阵列基板, 其特征在于, 所述第一开关晶体管的U形源极的底部与所述第二开关晶体管的U形源极的底部共用, 使得所述第一开关晶体管的U形源极与所述第二开关晶体管的U形源极相连成H形。

9. 根据权利要求1所述的阵列基板, 其特征在于, 所述第一栅线和第二栅线分别为沿行方向延伸的曲线, 所述第一开关晶体管和第三开关晶体管对应区域的第一栅线和第二栅线

之间的距离大于所述第三开关晶体管和第四开关晶体管对应区域的第一栅线 and 第二栅线之间的距离。

10. 根据权利要求9所述的阵列基板, 其特征在于, 所述第一栅线 and 第二栅线的形状分别为沿行方向延伸的S形, 所述第一栅线 and 第二栅线镜像对称。

11. 一种液晶显示面板, 包括对盒而置的彩膜基板和阵列基板, 其特征在于, 所述阵列基板为权利要求1-10任一权项所述的阵列基板。

12. 一种显示装置, 其特征在于, 包括权利要求11所述的液晶显示面板。

一种阵列基板、液晶显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板、液晶显示面板及显示装置。

背景技术

[0002] 薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display,TFT-LCD)具有体积小、功耗低、无辐射等特点,在当前的平板显示技术领域占据了主导地位。现有具备广视角特征的平面转换(In Plane Switching,IPS)模式和高级超维场开关(Advanced Super Dimension Switch,ADS)模式的液晶显示器逐渐成为平板显示领域的主流。

[0003] TFT-LCD的显示画质为评价产品是否具有优势的一项重要指标。像素充电不充分是其中一个导致TFT-LCD的显示画质较差的因素,例如像素充电不充分会导致TFT-LCD图像的对比度较低,图像发生闪烁等不良现象。尤其是在现有TFT-LCD产品分辨率日益增加的趋势下,为了维持正常画面的更新率,每一条栅线的充电时间较短,像素充电不充分的问题较常见。

[0004] 特别是为了增大TFT-LCD的视角,目前很多TFT-LCD均采用数据线缩减(Data Line Reducing)的技术,该技术可将数据线的数目减为原来的1/2甚至1/3,同时也会使每一条栅线的数量分别增加为原来的两倍或三倍,因此,每一条栅线的扫描速度必须提高至原来的两倍或三倍以维持原来画面的更新率,因此每一条栅线被启动的时间会缩减为原来的1/2或1/3。像素充电不足的现象更加严重。宽视角液晶显示器因像素充电不足造成的显示效果欠佳的问题比较严重。

发明内容

[0005] 本发明实施例提供了一种阵列基板、液晶显示面板及显示装置,用以提高图像的显示效果。

[0006] 本发明实施例提供的阵列基板包括:基板,交叉设置的栅线和数据线,位于所述基板上呈矩阵分布的多个像素,同一列的相邻两行上的两个像素构成一个像素组;每一像素的区域中设置有公共电极和像素电极;所述像素组中的两个像素之间设置有第一栅线 and 第二栅线,且在所述两个像素同侧设置有所述数据线,所述像素组中的一个像素的区域中设置有第一开关晶体管和第三开关晶体管,另一像素的区域中至少设置有第二开关晶体管;

[0007] 所述第一开关晶体管和第三开关晶体管的栅极分别与所述第一栅线和第二栅线一一对应相连,源极分别与同一所述数据线相连,漏极分别与各自所在的像素的区域中的像素电极相连;

[0008] 所述第三开关晶体管的栅极与所述第一栅线相连,源极与所在像素的区域中的公共电极相连,漏极与所述第二开关晶体管所在像素的区域中的像素电极相连。

[0009] 较佳地,还包括与所述第二开关晶体管位于同一像素的区域中的第四开关晶体管;所述第四开关晶体管的栅极与所述第二栅线相连,源极与所述第四开关晶体管所在像

素的区域中的公共电极相连,漏极与所述第一开关晶体管所在像素的区域中的像素电极相连。

[0010] 较佳地,所述公共电极为远离所述基板的狭缝状电极,所述像素电极为靠近所述基板的面状电极;或者

[0011] 所述公共电极为靠近所述基板的面状电极,所述像素电极为远离所述基板的狭缝状电极;或者

[0012] 所述公共电极与所述像素电极均为狭缝状电极。

[0013] 较佳地,所述狭缝状像素电极或狭缝状公共电极中的各狭缝的形状为沿同一方向延伸的直线状、尖括弧状、圆括弧状,或为米字状。

[0014] 较佳地,每条所述数据线由相邻的两列像素组共用。

[0015] 较佳地,所述第一开关晶体管和第二开关晶体管的源极的形状分别为U形,所述第一开关晶体管和第二开关晶体管的漏极分别至少包括直线形的第一子漏极,所述第一子漏极位于对应的U形源极的缺口中沿与所述U形源极的两个侧部的切线相平行的方向设置。

[0016] 较佳地,所述第一开关晶体管和第二开关晶体管的漏极分别还包括直线形的第二子漏极,所述第二子漏极位于对应的U形源极的缺口中与所述第一子漏极的靠近U形源极底部的一端相连,所述第二子漏极与所述第一子漏极相垂直。

[0017] 较佳地,所述第一开关晶体管的U形源极与所述第二开关晶体管的U形源极电连接,所述第一开关晶体管的U形源极或所述第二开关晶体管的U形源极与所述数据线电连接。

[0018] 较佳地,所述第一开关晶体管的U形源极的底部与所述第二开关晶体管的U形源极的底部共用,使得所述第一开关晶体管的U形源极与所述第二开关晶体管的U形源极相连成H形。

[0019] 较佳地,所述第一栅线和第二栅线分别为沿行方向延伸的曲线,所述第一开关晶体管和第二开关晶体管对应区域的第一栅线和第二栅线之间的距离大于所述第三开关晶体管和第四开关晶体管对应区域的第一栅线和第二栅线之间的距离。

[0020] 较佳地,所述第一栅线和第二栅线的形状分别为沿行方向延伸的S形,所述第一栅线和第二栅线镜像对称。

[0021] 本发明实施例还提供一种液晶显示面板,包括对盒而置的彩膜基板和阵列基板,所述阵列基板为上述任一方式的阵列基板。

[0022] 本发明实施例提供一种显示装置,包括上述液晶显示面板。

[0023] 综上所述,本发明实施例提供的阵列基板为基于双栅线(WXGA Dual Gate)结构的阵列基板。交叉设置的栅线和数据线,位于所述基板上呈矩阵分布的多个像素,同一列的相邻两行上的两个像素构成一个像素组;每一像素的区域中设置有公共电极和像素电极;所述像素组中的两个像素之间设置有第一栅线和第二栅线,且在所述两个像素同侧设置有所述数据线,所述像素组中的一个像素的区域中设置有第一开关晶体管和第三开关晶体管,另一像素的区域中至少设置有第二开关晶体管;当上一行的像素充电时,与第一栅线相连的第一开关晶体管T1和第三开关晶体管T3均开启,上一行的像素对应的公共电极上施加有恒定电压 V_{com} 。公共电极上的恒定电压通过第三开关晶体管T3施加到下一行的像素的区域中的像素电极上,实现了在为当前被扫描行的像素充电的同时为下一行像素预充电。当预

先为一个像素存储恒定电压 V_{com} ,在为下一行像素充电时,可以缩短对像素的充电时间,或者在较短的时间内可以为像素充以足够的电压。在高分辨率的液晶显示器中,在较短时间内充以足够的电压,可以避免充电不足造成的图像对比度不高或发生闪烁等不良现象。

附图说明

- [0024] 图1为本发明实施例提供的阵列基板俯视示意图之一;
- [0025] 图2为本发明实施例提供的阵列基板俯视示意图之二;
- [0026] 图3为图2所示的阵列基板上像素结构电路等效图;
- [0027] 图4为本发明实施例提供的第一开关晶体管或第二开关晶体管的放大结构示意图;
- [0028] 图5为发明实施例提供的阵列基板俯视示意图之三;
- [0029] 图6为本发明实施例提供的栅线结构示意图;
- [0030] 图7为图2所示的阵列基板在A-A'向的截面图;
- [0031] 图8为本发明实施例提供的双栅结构阵列基板结构示意图。

具体实施方式

[0032] 本发明实施例提供了一种阵列基板、液晶显示面板及显示装置,用以解决像素充放电不充分造成的图像对比度较低或出现闪烁等不良现象,从而提高液晶显示面板的图像显示效果。

[0033] 本发明实施例提供的液晶显示面板包括对盒而置的彩膜基板和阵列基板以及位于彩膜基板和阵列基板之间的液晶层;所述液晶显示面板例如为改进的高级超维场开关(Advanced Super Dimension Switch,ADSDS,简称ADS)模式的液晶显示面板。需要明白的是,尽管下述实施例以ADS模式的液晶显示面板为例进行了说明,然而,本发明还可以适用于在阵列基板上形成有公共电极的任何其他形式的液晶显示面板,例如还可以适用于平面内切换(In Plane Switch,简称IPS)模式的液晶显示面板。

[0034] 本发明实施例提供的阵列基板为基于双栅线(WXGA Dual Gate)结构(简称双栅结构)的阵列基板。所述阵列基板主要包括:基板,交叉设置的栅线和数据线,位于所述基板上呈矩阵分布的多个像素,同一列的相邻两行上的两个像素构成一个像素组;每一像素的区域中设置有公共电极和像素电极;所述像素组中的两个像素之间设置有第一栅线和第二栅线,且在所述两个像素同侧设置有所述数据线,所述像素组中的一个像素的区域中设置有第一开关晶体管和第三开关晶体管,另一像素的区域中至少设置有第二开关晶体管;所述第一开关晶体管和第三开关晶体管的栅极分别与所述第一栅线和第二栅线一一对应相连,所述第一开关晶体管和第三开关晶体管的源极均与同一所述数据线相连,漏极分别与各自所在的像素的区域中的像素电极相连;所述第三开关晶体管的栅极与所述第一栅线相连,源极与所在像素的区域中的公共电极相连,漏极与所述第二开关晶体管所在像素的区域中的像素电极相连。

[0035] 以下将结合附图具体说明本发明实施例提供的阵列基板、液晶显示面板和显示装置。

[0036] 参见图1,为本发明实施例提供的基于双栅线(WXGA Dual Gate)结构的阵列基板

的俯视示意图,包括:

[0037] 基板(图1中未示出);

[0038] 位于基板上呈矩阵分布的多个像素20,和交叉设置的栅线 and 数据线;

[0039] 同一列的相邻两行上的两个像素构成一个像素组2;像素组2中的两个像素20之间设置有第一栅线21(对应上一行栅线)和第二栅线22(对应下一行栅线),第一栅线21和第二栅线22分别为像素组2中的上一行像素20和下一行像素20提供栅极扫描信号;且在一个像素组2中的两个像素同侧设置有数据线23;

[0040] 还包括:位于每一亚像素20所在区域的第一电极3和与该第一电极3叠层设置且通过绝缘层(图1中未示出)相绝缘的第二电极4;图1中第一电极3和第二电极4相重叠,对应的附图标记为3(4);第一电极3和第二电极4其中之一为像素电极,另一为公共电极。

[0041] 像素组2中的一个像素20的区域中设置有第一开关晶体管T1和第三开关晶体管T3,另一像素20的区域中至少设置有第二开关晶体管T2;

[0042] 第一开关晶体管T1和第二开关晶体管T2的栅极分别与第一栅线21和第二栅线22一一对应相连,第一开关晶体管T1和第二开关晶体管T2的源极分别与同一数据线23相连,第一开关晶体管T1和第二开关晶体管T2的漏极分别与各自所在的像素的区域中的像素电极相连;

[0043] 第三开关晶体管T3的栅极与第一栅线21相连,源极与第三开关晶体管T3所在像素的区域中的公共电极相连,漏极与第二开关晶体管T2所在像素的区域中的像素电极相连。

[0044] 像素组2中的一个像素20的区域中设置有第一开关晶体管T1和第三开关晶体管T3,另一像素20的区域中至少设置有第二开关晶体管T2,可以有如下几种实施方式:

[0045] 方式一:位于上一行的像素的区域中设置第一开关晶体管T1和第三开关晶体管T3,下一行的像素的区域中设置第二开关晶体管T2;

[0046] 方式二:位于上一行的像素的区域中设置第二开关晶体管T2,下一行的像素的区域中设置第一开关晶体管T1和第三开关晶体管T3。

[0047] 相邻的两行像素包括多个像素组,较佳地,同一行上的各像素的区域中设置第一开关晶体管T1和第三开关晶体管T3,另一行上的各像素的区域中设置第二开关晶体管T2。

[0048] 针对一个像素组,本发明实施例提供的上述阵列基板,在一个像素的区域中设置两个开关晶体管,例如薄膜晶体管(TFT),其中一个TFT用于在实现图像显示时控制所在像素充电的开启,另一TFT用于为其上一被扫描行的像素回馈电压,或者为下一被扫描行的像素预充电电压。

[0049] 例如,在从上至下扫描各行像素的情况下,像素组中当上一行的像素的区域中设置有第一开关晶体管T1和第三开关晶体管T3时,下一行的像素的区域中设置第二开关晶体管T2。第一开关晶体管T1和第三开关晶体管T3的栅极与第一栅线相连,第三开关晶体管T3的源极与该像素的区域中的公共电极相连,第三开关晶体管T3的漏极与像素组中的下一行的像素的区域中的像素电极相连,当上一行的像素充电时,与第一栅线相连的第一开关晶体管T1和第三开关晶体管T3均开启,上一行的像素对应的公共电极上施加有恒定电压 V_{com} 。公共电极上的恒定电压通过第三开关晶体管T3施加到下一行的像素的区域中的像素电极上,实现了在为当前被扫描行的像素充电的同时为下一行像素预充电。当预先为一个像素存储恒定电压 V_{com} ,在为下一行像素充电时,可以缩短对像素的充电时间,或者在较短的时

间内可以为像素充以足够的电压。在高分辨率的液晶显示器中,在较短时间内充以足够的电压,可以避免充电不足造成的图像对比度不高或发生闪烁等不良现象。

[0050] 针对一整行像素,上一行各像素的区域中设置第一开关晶体管T1和第三开关晶体管T3时,该行被扫描像素在充电的同时为下一行各像素预充电。或者下一行各像素的区域中设置第一开关晶体管T1和第三开关晶体管T3时,该行被扫描像素在充电的同时为上一行各像素回馈电压。

[0051] 尤其是当TFT-LCD采用数据线缩减(Data Line Reducing)技术时,栅线的扫描速度较快的情况下,可以为下一行未启动的像素预充电,为已经处于放电状态的上一行像素再次充电,保证每一像素充放电较充足,提高了图像对比度以及降低了闪烁等不良现象发生的几率,提高了图像的显示效果。

[0052] 较佳地,为了进一步提高图像对比度以及进一步降低闪烁等不良现象发生的几率,参见图2,本发明实施例提供的阵列基板,第二开关晶体管T2所在像素的区域中设置有第四开关晶体管T4;

[0053] 第四开关晶体管T4的栅极与第二栅线22相连,源极与第四开关晶体管T4所在像素的区域中的公共电极相连,漏极与第一开关晶体管T1所在像素的区域中的像素电极相连。

[0054] 也就是说,在每一像素组中,位于上一行的像素,每一像素的区域中均设置有两个TFT,位于下一行的像素,每一像素的区域中均设置有两个TFT;

[0055] 在每一像素组中,每一像素的区域中的两个TFT,其中一个TFT与所在像素对应的栅线、数据线和像素电极相连,另一TFT与所在像素对应的栅线、公共电极,同时还与另一像素的区域中的像素电极相连。

[0056] 每一像素组中,当上一行像素充电时,同时为下一被扫描行像素预充电,充电值为公共电极上的电压 V_{com} ,当下一被扫描行像素充电时,同时为上一被扫描行像素回馈电压(实际上为再充电),充电值为公共电极上的电压 V_{com} 。

[0057] 为了更清楚地说明本发明实施例提供的阵列基板上像素的区域中设置有两个开关晶体管,以实现电压的预充和/或电压的补偿。参见图3,为图2所示的阵列基板上像素结构等效电路图。

[0058] 图3中设上一行像素为第一像素,下一行像素为第二像素。

[0059] 如图3所示,Cst1为第一像素的存储电容,C1c1为第一像素的液晶电容(在ADS模式和IPS显示模式的液晶显示面板中,Cst与C1c为同一个电容),该存储电容由相互绝缘的像素电极和公共电极产生。Cst2为第二像素的存储电容,C1c2为第二像素的液晶电容。

[0060] 第三开关晶体管T3与C1c1和Cst2相连,第三开关晶体管T3用于将上一被扫描行像素的区域中的公共电极上的电压信号传送给下一被扫描行的像素的区域中的像素电极进行预充电,第四开关晶体管T4用于将下一被扫描行像素的区域中的公共电极上的电压信号传送给上一被扫描行像素的区域中的像素电极进行电荷补偿(即电压回馈)。

[0061] 图3所示的像素结构的具体工作原理为:

[0062] 当第一栅线21为高电平,第二栅线22为低电平时,第一开关晶体管T1开启,第二开关晶体管T2关闭,数据线23上的信号通过第一开关晶体管T1给第一像素的区域中的像素电极充电,同时为第一像素的区域中的公共电极施加恒定电压 V_{com} ,因而第一像素的区域中的像素电极与公共电极之间形成水平电场,从而驱动第一像素的区域中位于公共电极上方的

液晶分子的旋转。

[0063] 第三开关晶体管T3也会因为第一栅线21的通电而开启,第三开关晶体管T3的源极通过过孔将第一像素的区域中的公共电极上的电信号传递给第二像素的区域中的像素电极,即在第二像素还未启动前就通过第一像素的充电过程为第二像素进行一次预充电。

[0064] 当第一栅线21为低电平,第二栅线22为高电平时,第一开关晶体管T1关闭,第二开关晶体管T2开启,数据线23上的信号通过第二开关晶体管T2给第二像素的区域中的像素电极充电,同时为第二像素的区域中的公共电极施加恒定电压 V_{com} ,因而第二像素的区域中的像素电极与公共电极之间形成水平电场,从而驱动第二像素的区域中位于公共电极上方的液晶分子的旋转。

[0065] 第四开关晶体管T4也会因为第二栅线22的通电而开启,第四开关晶体管T4的源极通过过孔将第二像素的区域中的公共电极上的电信号传递给第一像素的区域中的像素电极,即给已经放电状态的第一像素的区域中的像素电极一个电荷补偿的作用,使得第一像素处于放电状态时,像素电极上的电荷不会因为漏电等原因下降太多。

[0066] 本发明实施例提供的像素电极和公共电极为透明导电电极,例如铟锡氧化物(ITO)或铟锌氧化物(IZO)等。

[0067] 优选地,所述像素电极和公共电极叠层设置,所述像素电极可以位于公共电极的上方(即像素电极相对于公共电极远离基板)或位于公共电极的下方(即像素电极相对于公共电极靠近基板)。

[0068] 所述像素电极或公共电极可以为面状电极(无任何镂空图案的电极)或狭缝状电极。

[0069] 为了提高每一像素的开口率,优选地,位于远离基板的公共电极或像素电极为狭缝状电极,靠近基板的像素电极或公共电极为面状电极。或者

[0070] 优选地,所述像素电极和公共电极均为狭缝状电极。

[0071] 优选地,所述狭缝状电极中的各狭缝的形状为沿同一方向延伸的直线状、尖括弧状、圆括弧状,或为米字状等。

[0072] 如图1和图2所示的第一电极3或第二电极4中各狭缝的形状为米字状。米字状狭缝状电极可以使得液晶分子呈多畴分布,增加液晶显示面板的视角。尖括弧状、圆括弧状电极可以使得液晶分子至少呈双畴分布。在具体实施过程中可以根据实际需求设置所述第一电极或第二电极的狭缝的形状。

[0073] 一般地,开关晶体管(例如TFT)的沟道宽度 W 和长度 L 的比值越大,开关晶体管的开启电流 I_{on} 越大,像素充电较充足。本发明实施例为了进一步改善像素充电不充分的问题,通过设置为所在像素充电的第一开关晶体管和第二开关晶体管的形状,提高开关晶体管的开启电流。优选地,所述第一开关晶体管T1和第二开关晶体管T2的源极的形状分别为U形,所述第一开关晶体管T1和第二开关晶体管T2的漏极分别至少包括直线形的第一子漏极,所述第一子漏极位于对应的U形源极的缺口中沿与所述U形源极的两个侧部的切线相平行的方向设置。

[0074] 参见图4为第一开关晶体管T1或第二开关晶体管T2的结构放大示意图,图4所示的第一开关晶体管T1或第二开关晶体管T2简称为开关晶体管,图4中仅包括开关晶体管的源极和漏极。源极 s 为U形,漏极至少包括直线形的第一子漏极 $d1$,第一子漏极 $d1$ 位于对应的U

形源极s的缺口中沿与所述U形源极的两个侧部的切线相平行的方向设置。

[0075] 由图4可知,源极s与第一子漏极d1的正对面积较大,沟道的宽度W约等于U形源极s的曲线长度,沟道的长度L约等于U形源极s到第一子漏极d1的平均距离。U形源极和直线形第一子漏极之间结合紧凑,二者之间的寄生电容较小,且沟道宽度W和长度L的比值较大,开关晶体管的开启电流 I_{on} 较大。

[0076] 优选地,为了避免上述第一开关晶体管T1和第二开关晶体管T2损坏不便于维修的问题。优选地,所述第一开关晶体管T1和第二开关晶体管T2的漏极分别还包括直线形的第二子漏极,所述第二子漏极位于对应的U形源极的缺口中与所述第一子漏极的靠近U形源极底部的一端相连,所述第二子漏极与所述第一子漏极相垂直。

[0077] 参见图4,上述开关晶体管还包括:直线形的第二子漏极d2,第二子漏极d2位于U形源极s的缺口中与第一子漏极d1靠近U形源极底部的一端相连,第二子漏极d2与第一子漏极d1相垂直。

[0078] 第二子漏极d2的设置可以实现第一开关晶体管T1和第二开关晶体管T2损坏后便于维修的目的。具体地,当U形源极与第二子漏极d2的局部区域被导电异物电连接时,通过将导电异物以及与导电异物相连的源极s和第二子漏极d2的局部结构切割掉,保留源极和第二子漏极切割后的部分,切割后剩余的源极和第二子漏极保持绝缘,维修后的开关晶体管还可以正常工作。

[0079] 当然,本发明实施例提供的第一开关晶体管T1和第二开关晶体管T2的设置方式可以为任何充电能力较大且寄生电容较小的开关晶体管。

[0080] 较佳地,参见图1,本发明实施例提供的阵列基板,第一开关晶体管T1和第二开关晶体管T2的源极为U形。为了便于布线,第一开关晶体管T1的源极开口朝向第一开关晶体管T1所在像素的区域中的像素电极,第二开关晶体管T2的源极开口朝向第二开关晶体管T2所在像素的区域中的像素电极。

[0081] 进一步地,基于上述第一开关晶体管T1和第二开关晶体管T2的设置方式,参见图1,所述像素组中位于同一列的像素中的第一开关晶体管T1和第二开关晶体管T2的源极相连,第一开关晶体管T1和第二开关晶体管T2中靠近数据线的源极与所述数据线相连,避免了较复杂的布线,简化电路结构。

[0082] 所述第一开关晶体管的U形源极与所述第二开关晶体管的U形源极可以通过任一方式相连,只要保证二者电连接即可。

[0083] 优选地,所述第一开关晶体管的U形源极的底部与所述第二开关晶体管的U形源极的底部相连,可以通过另外的引线相连,也可以直接相连。

[0084] 优选地,参见图5,所述第一开关晶体管的U形源极的底部与所述第二开关晶体管的U形源极的底部共用,使得所述第一开关晶体管的U形源极与所述第二开关晶体管的U形源极相连成H形。

[0085] 较佳地,参见图1,为了增加第一开关晶体管T1和第二开关晶体管T2的漏极与像素电极的接触面积以增加漏极与像素电极之间的牢固性,第一开关晶体管T1和第二开关晶体管T2的第一子漏极为L形,L形的短边位于远离U形缺口的一端。

[0086] 参见图2,本发明实施例中提供的第三开关晶体管T3和第四开关晶体管T4的源极和漏极可以为直线形,第三开关晶体管T3和第四开关晶体管T4整体面积较小。包括U形源极

的第一开关晶体管T1和第二开关晶体管T2的面积较大。

[0087] 为了最大限度提高像素的开口率,本发明实施例提供的栅线形状为曲线形。参见图6,所述第一栅线21和第二栅线22分别为沿行方向延伸的曲线,第一开关晶体管T1和第二开关晶体管T2对应区域的第一栅线21和第二栅线22之间的距离大于第三开关晶体管T3和第四开关晶体管T4对应区域的第一栅线21和第二栅线22之间的距离。

[0088] 较佳地,每一列像素组与一条数据线电连接,各列像素组分别与多条数据线一一对应电连接。

[0089] 优选地,为了提高对像素的扫描速度,提高像素的刷新率,每条数据线由相邻的两列像素组共用,即相邻两列像素组与一条数据线相连。

[0090] 较佳地,参见图6,第一栅线21和第二栅线22的形状分别为沿行方向延伸的S形,且第一栅线21和第二栅线22镜像对称,保证所述第一开关晶体管T1和第二开关晶体管T2对应区域的第一栅线21和第二栅线22之间的距离大于第三开关晶体管T3和第四开关晶体管T4对应区域的第一栅线21和第二栅线22之间的距离即可。

[0091] 作为替代,也可以将保证所述第一开关晶体管T1和第二开关晶体管T2形成为部分重合,例如所述第一开关晶体管T1和第二开关晶体管T2整体上呈“H”形,上半部作为所述第一开关晶体管T1的源极,下半部作为第二开关晶体管T2的源极。

[0092] 优选地,本发明实施例提供的第一开关晶体管和第二开关晶体管的结构完全相同,在像素的区域中相互对称,第三开关晶体管和第四开关晶体管的结构完全相同,在像素的区域中相互对称。

[0093] 由于第三开关晶体管或第四开关晶体管的源极和漏极位于同一层,源极与公共电极相连,漏极与像素电极相连;本发明各像素的区域中的公共电极位于同一层,各像素的区域中的像素电极位于同一层,因此,当公共电极与源极位于不同层时,二者通过过孔相连,或者当像素电极与漏极位于不同层时,二者通过过孔相连。

[0094] 为了更清楚地说明本发明图1和图2提供的阵列基板各膜层结构,参见图7,图7为图2所示的阵列基板在A-A'向的截面图。

[0095] 包括第一开关晶体管和第三开关晶体管的各功能膜层。

[0096] 参见图7,包括位于基板1上同层设置的第一栅极11和第三栅极31;

[0097] 位于第一栅极11和第三栅极31上的栅极绝缘层5;

[0098] 位于栅极绝缘层5上的同层设置的第一半导体层12和第三半导体层32;

[0099] 位于第一半导体层12和第三半导体层32上的第一源极13、第一漏极14和第三源极33和第三漏极34,以及与第一漏极14相连的第一像素电极3;

[0100] 位于第一源极13、第一漏极14、第一像素电极3、第三源极33和第三漏极34上的钝化层6;

[0101] 钝化层6上与第三源极33对应的区域设置有过孔;

[0102] 还包括位于钝化层6上的第一公共电极4,该第一公共电极4为狭缝状电极,该第一公共电极4通过所述过孔与第三源极33相连。

[0103] 其中,第一栅极11、栅极绝缘层5、第一半导体层12、第一源极13、第一漏极14属于第一开关晶体管的膜层结构,第一公共电极4和第一像素电极3属于第一开关晶体管所在像素的区域中的电极结构。

[0104] 第三栅极31、栅极绝缘层5、第三半导体层32、第三源极33、第三漏极34属于第三开关晶体管的膜层结构;第一公共电极4与第三源极33相连。

[0105] 需要说明的是,每一像素的区域中设置公共电极,且各像素的区域中的公共电极电性相连。此外,尽管上述实施例中,以公共电极为形成于上方的狭缝状电极、而像素电极为形成于下方的面状电极为例进行了说明,然而,本领域的技术人员应当明白,也可以将公共电极形成于下方,而将像素电极形成于上方,只需满足位于上方的电极为狭缝状电极、下方的电极为面状电极即可。作为替代,如果在平面内切换模式的显示面板中,也可以将像素电极和公共电极均作为狭缝状电极形成于同一层或者形成于不同层,只需使之满足上述的连接关系即可,即第一公共电极连接于第二公共电极、第三开关晶体管的源极和第四开关晶体管的源极,而第一像素电极连接于第一开关晶体管的漏极和第四开关晶体管的漏极,第二像素电极连接于第二开关晶体管的漏极和第三开关晶体管的漏极。这里所说的狭缝状电极例如可以呈梳子状,也可以为在面状电极上镂空出狭缝的形状等。

[0106] 制作阵列基板的过程与现有制作阵列基板的过程类似,只需使用能够形成满足上述连接关系的各元件的掩模板即可,这里不再赘述。

[0107] 本发明实施例还提供一种液晶显示面板,包括对盒而置的彩膜基板和阵列基板,所述彩膜基板为现有与阵列基板相结合至少实现ADS模式的液晶显示面板。所述阵列基板为本发明实施例提供的上述阵列基板。

[0108] 本发明实施例提供一种显示装置,包括上述液晶显示面板,所述显示装置可以为液晶面板、液晶显示器,或液晶电视等。

[0109] 本发明实施例提供的阵列基板为基于双栅线(Dual Gate)结构的阵列基板。双栅线(Dual Gate)结构的阵列基板其中一种实施方式为如图8所示的结构。

[0110] 参见图8,阵列基板,任一相邻的两行像素之间设置有两条栅线,如图8所示的阵列基板局部示意图,包括四行散列像素,从上至下共包含6条栅线,分别为位于第一行和第二行像素之间的第一栅线21和第二栅线22;位于第二行像素和第三行像素之间的第三栅线24和第四栅线25;位于第三行像素和第四行像素之间的第五栅线26和第六栅线27;

[0111] 针对一个像素组2,第一个像素的区域中设置第一开关晶体管T1和第三开关晶体管T3,第一开关晶体管T1和第三开关晶体管T3的栅极与第一栅线21相连;第一个像素的区域中设置第二开关晶体管T2和第四开关晶体管T4,第二开关晶体管T2和第四开关晶体管T4的栅极与第二栅线22相连;

[0112] 针对一列像素,每相邻的两个像素构成一个像素组,包含一列像素中包含 $2n$ 个像素时,共包含 n 个像素组。针对一行像素,相邻的两个像素,其中一个像素与其位于同一列的上一行(或者下一行)的像素构成一个像素组,则另一个像素与其位于同一列的下一行(或者上一行)的像素构成一个像素组。

[0113] 图8所示的双栅结构阵列基板仅是一个示例,本发明所述的双栅结构并不限于图8所示的结构,这里不再赘述。

[0114] 综上所述,本发明实施例提供的阵列基板为基于双栅线(Dual Gate)结构的阵列基板。每两行相邻的像素为一个像素组;每一像素包括不同层设置的公共电极和像素电极;所述像素组中位于上一行的像素和位于下一行的像素之间设置有第一栅线 and 第二栅线,任意相邻两列像素之间设置有一条数据线;所述像素组中位于上一行的每一像素包括第一开

关晶体管 and 第三开关晶体管, 位于下一行的每一像素至少包括第二开关晶体管; 所述第一开关晶体管和第三开关晶体管用于在各自所在的像素需要充电时开启, 为像素充电, 所述第三开关晶体管在第一开关晶体管开启时开启, 为下一行像素预充电。当所述下一行像素未开启时, 为下一行像素预充电, 以降低下一行像素充电时所需要充放电的电压差, 缩短为像素充放电的时间。提高图像的显示效果。

[0115] 显然, 本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样, 倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内, 则本发明也意图包含这些改动和变型在内。

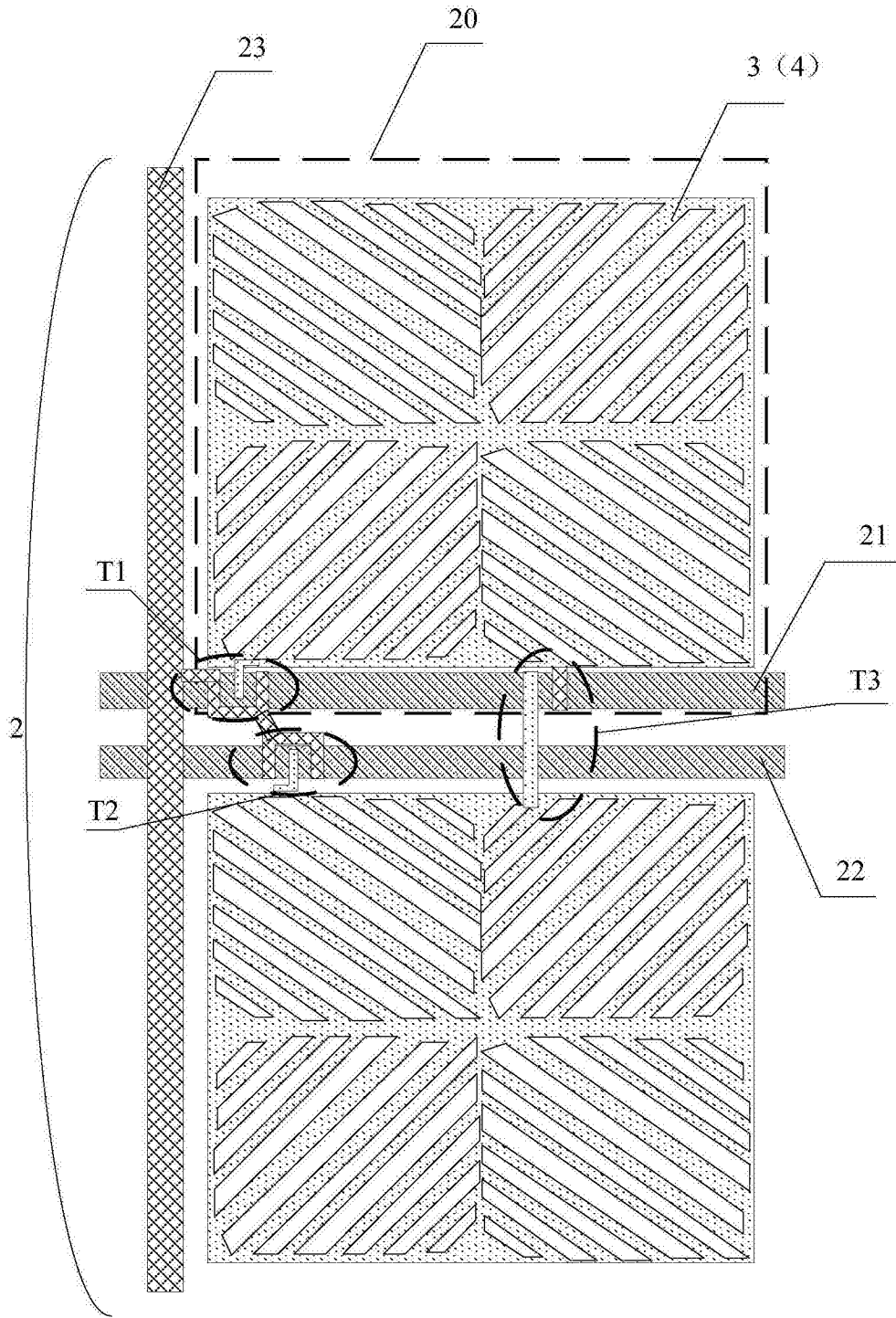


图1

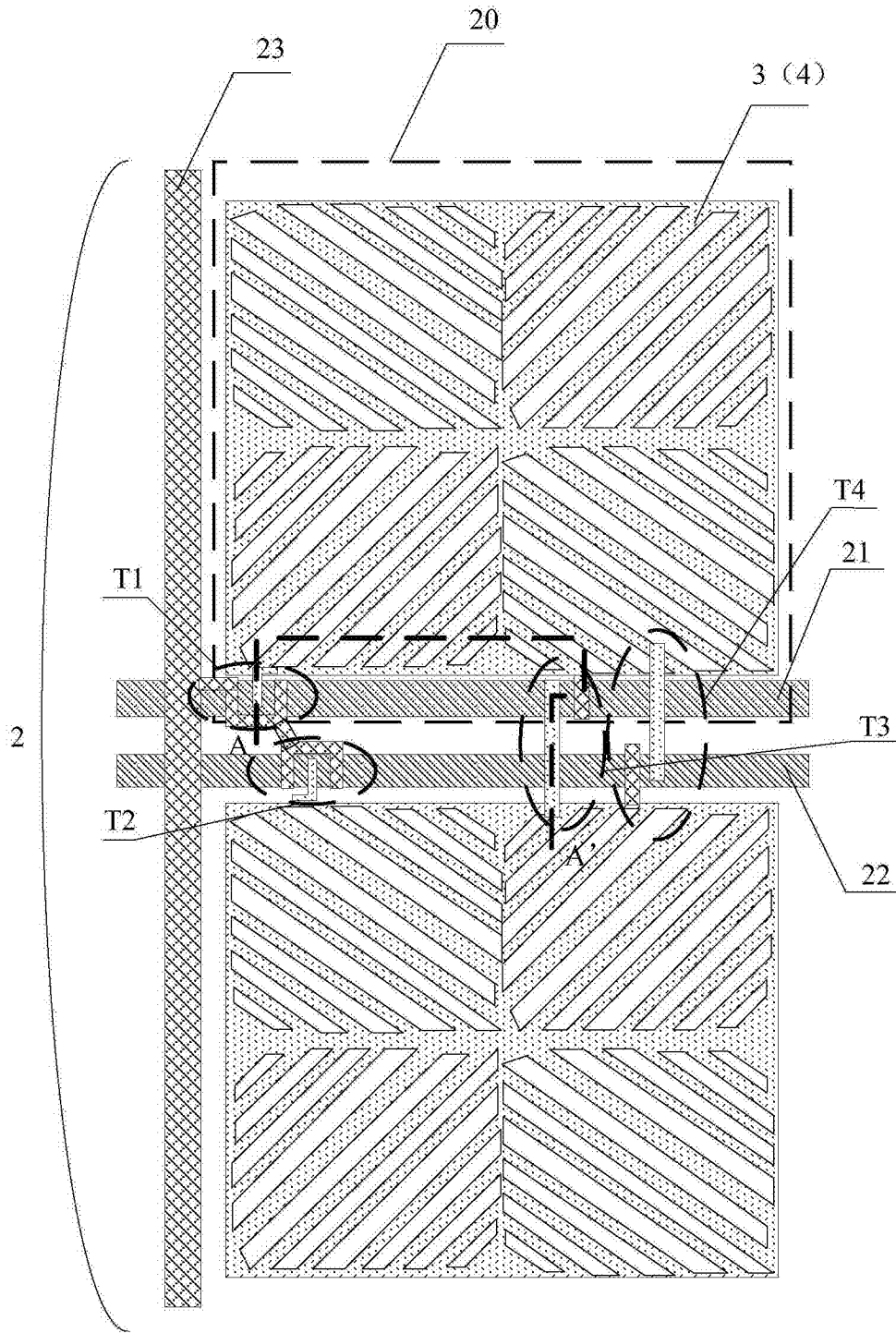


图2

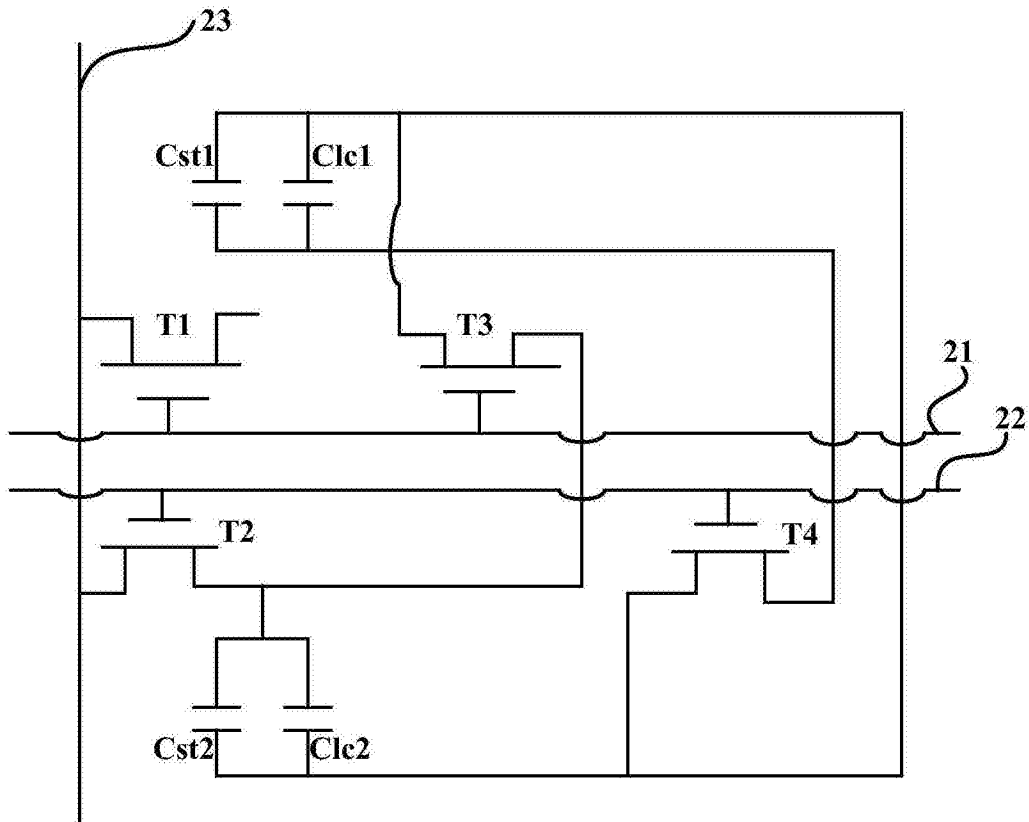


图3

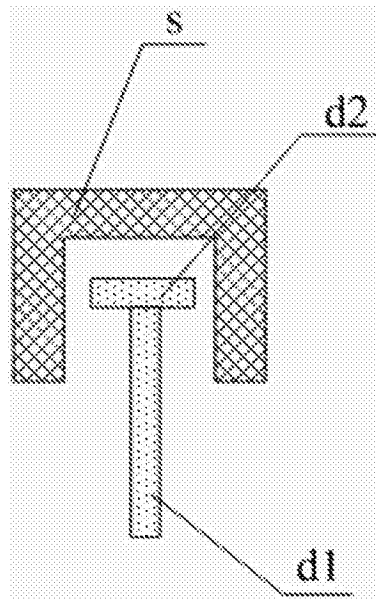


图4

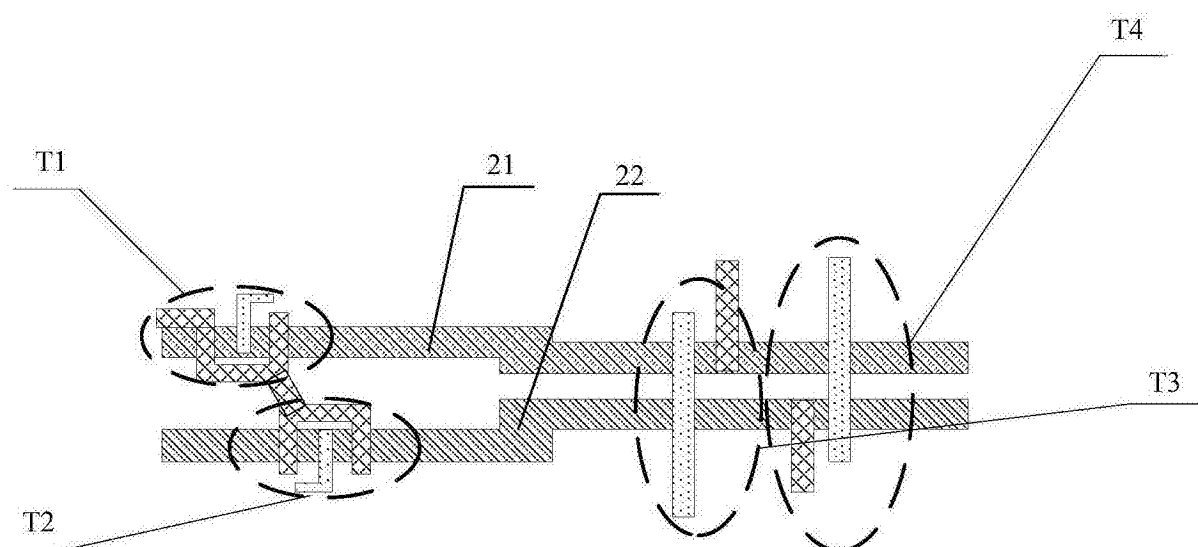


图6

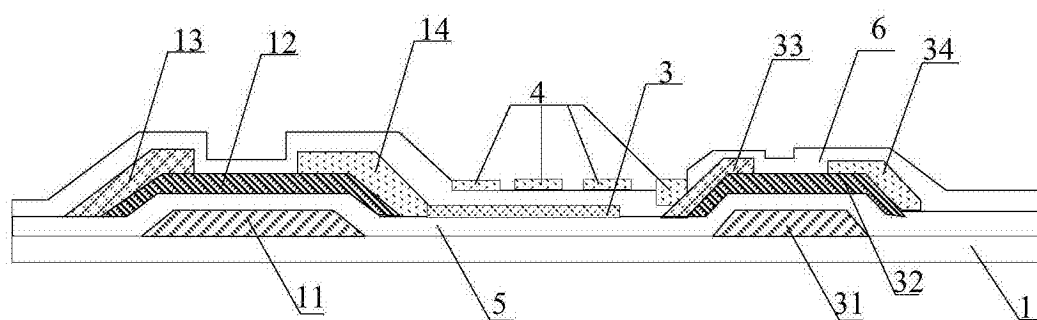


图7

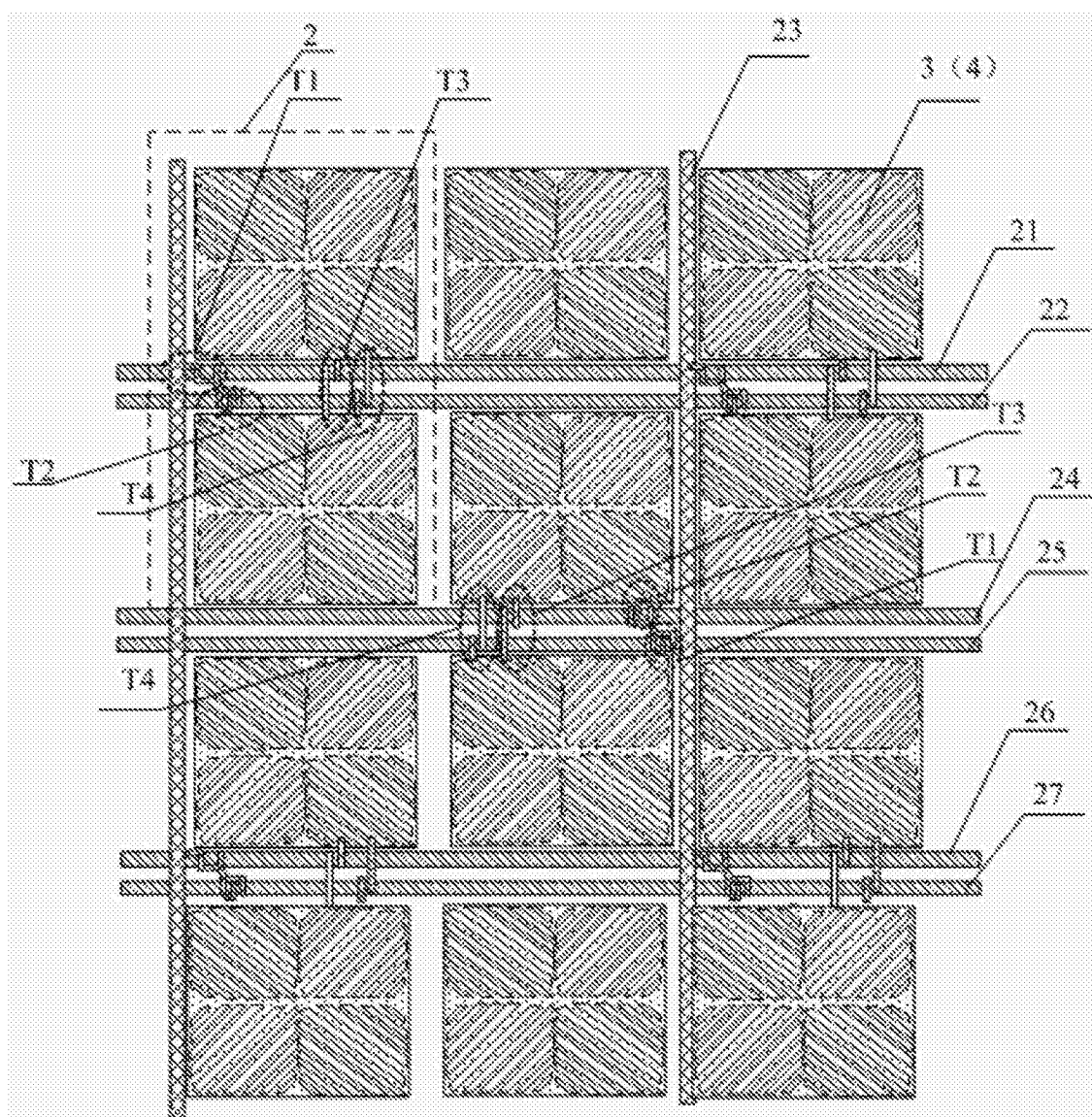


图8

专利名称(译)	一种阵列基板、液晶显示面板及显示装置		
公开(公告)号	CN103472647B	公开(公告)日	2016-04-06
申请号	CN201310432586.4	申请日	2013-09-22
[标]申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
当前申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
[标]发明人	姜清华 秦锋 李小和 邵贤杰 刘永		
发明人	姜清华 秦锋 李小和 邵贤杰 刘永		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1333		
CPC分类号	G02F1/13624 G02F1/136286 G02F1/1368 G09G3/3659		
代理人(译)	黄志华		
审查员(译)	宋萍		
其他公开文献	CN103472647A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板、液晶显示面板及显示装置，用以提高液晶显示面板图像的显示效果。所述阵列基板包括：基板，交叉设置的栅线和数据线，位于所述基板上呈矩阵分布的多个像素，同一列的相邻两行上的两个像素构成一个像素组；每一像素的区域中设置有公共电极和像素电极；所述像素组中的两个像素之间设置有第一栅线和第二栅线，且在所述两个像素同侧设置有所述数据线，所述像素组中的一个像素的区域中设置有第一开关晶体管和第三开关晶体管，另一像素的区域中至少设置有第二开关晶体管。

