



(12) 发明专利申请

(10) 申请公布号 CN 103226272 A

(43) 申请公布日 2013.07.31

(21) 申请号 201310132183.8

(22) 申请日 2013.04.16

(71) 申请人 合肥京东方光电科技有限公司

地址 230011 安徽省合肥市铜陵北路 2177 号

申请人 京东方科技集团股份有限公司

(72)发明人 郭霄 吕凤珍 储松南 张新霞
姜伟 向康

(74) 专利代理机构 北京天昊联合知识产权代理有限公司 11112

代理人 柴亮 张天舒

(51) Int. Cl.

G02F 1/1362 (2006.01)

G02F 1/1368 (2006.01)

H01L 27/12 (2006.01)

H01L 21/77(2006.01)

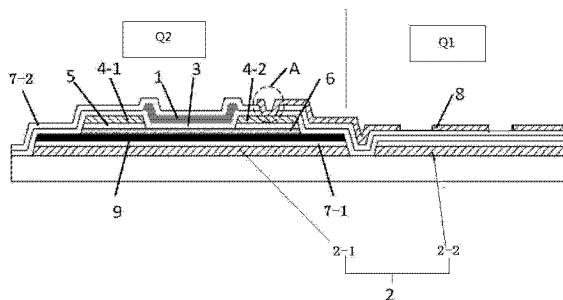
权利要求书2页 说明书6页 附图3页

(54) 发明名称

一种阵列基板及其制备方法、显示装置

(57) 摘要

本发明提供一种阵列基板及其制备方法、显示装置,属于液晶显示技术领域,其可解决现有的阵列基板制备工艺复杂、成本高的问题。本发明的阵列基板,包括:薄膜晶体管区和显示区,所述薄膜晶体管区包括薄膜晶体管和第一透明导电层,所述显示区包括第一透明电极,所述薄膜晶体管区第一透明导电层与所述显示区第一透明电极同层设置且两者互不连接,所述薄膜晶体管设置在所述透明导电层上方。本发明提供的阵列基板,将第一透明电极、半导体有源层、欧姆接触层和源漏电极采用一次构图工艺形成,简化了制作工艺,降低了成本。



1. 一种阵列基板,包括薄膜晶体管区和显示区,其特征在于,所述薄膜晶体管区包括薄膜晶体管和第一透明导电层,所述显示区包括第一透明电极,所述薄膜晶体管区第一透明导电层与所述显示区第一透明电极同层设置且两者断开,所述薄膜晶体管设置在所述薄膜晶体管区透明导电层上方。

2. 根据权利要求1所述的阵列基板,其特征在于,所述薄膜晶体管区还包括黑矩阵,所述黑矩阵设置在第一透明导电层和薄膜晶体管之间。

3. 根据权利要求1或2所述的阵列基板,其特征在于,还包括:第一钝化绝缘层,且所述第一钝化绝缘层设于薄膜晶体管区第一透明导电层和显示区第一透明电极上。

4. 根据权利要求3所述的阵列基板,其特征在于,所述薄膜晶体管为顶栅型薄膜晶体管。

5. 根据权利要求4所述的阵列基板,其特征在于,还包括:栅极绝缘层、第二钝化绝缘层以及像素电极,

所述栅极绝缘层设于薄膜晶体管栅极下方;

所述薄膜晶体管栅极上方设有第二钝化绝缘层;

薄膜晶体管漏极上方的栅极绝缘层和第二钝化绝缘层中设有过孔;

所述像素电极设于第二钝化绝缘层上,且通过所述过孔与薄膜晶体管的漏极连接。

6. 一种阵列基板的制作方法,所述阵列基板包括黑矩阵、公共电极和薄膜晶体管,其特征在于,包括如下步骤:

在基板上通过一次构图工艺形成包括第一透明电极、黑矩阵、半导体有源层、欧姆接触层、薄膜晶体管漏极和源极的图形。

7. 根据权利要求6所述的阵列基板的制备方法,其特征在于,所述通过一次构图工艺形成第一透明电极、黑矩阵、半导体有源层、欧姆接触层、薄膜晶体管漏极和源极的图形的同时还形成了包括第一钝化绝缘层的图形。

8. 根据权利要求7所述的阵列基板的制备方法,其特征在于,所述在基板上通过构图工艺形成包括第一透明电极、第一钝化绝缘层、黑矩阵、半导体有源层、欧姆接触层、薄膜晶体管漏极和源极的图形具体包括:

在基板上依次沉积第一透明电极材料层、第一钝化绝缘材料层、黑矩阵层、半导体层、掺杂半导体层、源漏金属层,并在漏源极金属层上涂覆光刻胶层;

对光刻胶层进行曝光、显影,其中位于显示区、连接区、有源区、源漏区的剩余光刻胶层厚度为第一厚度、第二厚度、第三厚度和第四厚度,且厚度依次增大,且显示区和连接区间的光刻胶层断开;

去除无光刻胶遮挡的源漏金属层;

去除厚度为显示区光刻胶层厚度的光刻胶,以及裸露的掺杂半导体层;

去除裸露的源漏金属层;

去除厚度为连接区剩余光刻胶层厚度的光刻胶,以及裸露的半导体层;

再次去除裸露的源漏金属层;

去除有源区剩余光刻胶层厚度的光刻胶、裸露的掺杂半导体层,以及裸露的黑矩阵层;

去除裸露的有源区的金属层;

去除剩余的光刻胶层、裸露的半导体层、裸露的黑矩阵层,以及裸露的第一钝化绝缘材料层;

去除裸露的第一透明导电材料层。

9. 根据权利要求6~8中任意一项所述的阵列基板的制作方法,其特征在于,还包括以下步骤:

在基板上通过一次构图工艺形成包括栅极绝缘层和薄膜晶体管栅极的图形;

在完成上述步骤的基板上通过一次构图工艺形成包括第二钝化绝缘层的图形,且在薄膜晶体管上方的栅极绝缘层和第二钝化绝缘层中形成过孔;

在完成上述步骤的基板上通过一次构图工艺形成包括像素电极的图形,所述像素电极通过所述过孔与薄膜晶体管的漏极连接。

10. 根据权利要求8所述的阵列基板的制备方法,其特征在于,对光刻胶层进行曝光包括:

通过半色调掩膜板或灰阶掩膜版进行对光刻胶层进行曝光。

11. 一种显示装置,其特征在于,包括权利要求1~5中任意一项的阵列基板。

一种阵列基板及其制备方法、显示装置

技术领域

[0001] 本发明属于液晶显示技术领域，具体涉及一种阵列基板及其制备方法、显示装置。

背景技术

[0002] 薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, 简称 TFT-LCD) 是一种重要的平板显示设备。根据驱动液晶的电场方向, 可以分为垂直电场型和水平电场型。垂直电场型需要在阵列基板上形成像素电极, 在彩膜基板上形成公共电极, 如常用的 TN 模式; 而水平电场型则需要在阵列基板上同时形成像素电极和公共电极, 如 ADS 模式 (高级超维场转换模式)。ADSDS (简称 ADS) 是京东方自主创新的以宽视角技术为代表的核心技术统称。ADS 是指平面电场宽视角核心技术 - 高级超维场转换技术 (ADvanced Super Dimension Switch), 其核心技术特性描述为: 通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场, 使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转, 从而提高了液晶工作效率并增大了透光效率。高级超维场转换技术可以提高 TFT-LCD 产品的画面品质, 具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹 (push Mura) 等优点。针对不同应用, ADS 技术的改进技术有高透过率 I-ADS 技术、高开口率 H-ADS 和高分辨率 S-ADS 技术等。

[0003] 如图 1 所示为现阶段常用的 ADS 底栅型阵列基板的器件结构图, 包括: 薄膜晶体管 (栅极 1、源极 4-1、漏极 4-2)、第一透明电极层 2 (公共电极)、半导体层 6、掺杂半导体层 5、第一钝化绝缘层 7 以及在漏极 4-2 上设有过孔 A 用于连接像素电极 8。对于 ADS 型阵列基板的制作, 使用较多的 5 次光刻 (Mask) 工艺。采用 5 次光刻 (Mask) 工艺制备阵列基板, 工艺复杂, 开发费用较高。

[0004] 另外, 对于液晶面板, 为防止漏光, 通常在彩膜基板上制作黑矩阵, 同时, 由于彩膜基板和阵列基板需要经过对位形成液晶面板, 而在对位过程中, 为防止由于对位不准确而造成不能完全遮盖漏光的现象, 通常通过增加黑矩阵的宽度来解决此问题, 但这样会降低液晶面板的开口率。

发明内容

[0005] 本发明所要解决的技术问题包括, 针对现有的阵列基板开口率低且容易因对位偏差导致漏光的问题, 提供开口率高且不易产生漏光的阵列基板及其制备方法、显示装置。

[0006] 解决本发明技术问题所采用的技术方案是一种阵列基板, 包括: 薄膜晶体管区和显示区, 所述薄膜晶体管区包括薄膜晶体管和第一透明导电层, 所述显示区包括第一透明电极, 所述薄膜晶体管区第一透明导电层与所述显示区第一透明电极同层设置且两者互不连接, 所述薄膜晶体管设置在所述薄膜晶体管区透明导电层上方。

[0007] 优选的是, 所述薄膜晶体管区还包括黑矩阵, 所述黑矩阵设置在第一透明导电层和薄膜晶体管之间。

[0008] 进一步优选的是, 还包括: 第一钝化绝缘层, 且

[0009] 所述第一钝化绝缘层设于薄膜晶体管区第一透明导电层和显示区第一透明电极层上。

[0010] 优选的是,所述薄膜晶体管为顶栅型薄膜晶体管。

[0011] 进一步优选的是,上述顶栅型阵列基板还包括:栅极绝缘层、第二钝化绝缘层以及像素电极层,

[0012] 所述栅极绝缘层设于薄膜晶体管栅极下方;

[0013] 所述薄膜晶体管栅极上方设有第二钝化绝缘层,且薄膜晶体管漏极上方的栅极绝缘层和第二钝化绝缘层中设有过孔;

[0014] 所述像素电极设于第二钝化绝缘层上,且通过所述过孔与薄膜晶体管的漏极连接。

[0015] 解决本发明技术问题所采用的技术方案是一种阵列基板制备方法,所述阵列基板包括黑矩阵、公共电极和薄膜晶体管,包括如下步骤:

[0016] 在基板上通过一次构图工艺形成包括第一透明电极、黑矩阵、半导体有源层、欧姆接触层、薄膜晶体管漏极和源极的图形。

[0017] 本发明的通过一次构图工艺形成第一透明电极、黑矩阵、半导体有源层、欧姆接触层、薄膜晶体管漏极和源极的图形,工艺简单,同时黑矩阵设于阵列基板上,可以有效地避免当黑矩阵与彩膜基板对盒时产生对位偏差,导致漏光,进而导致开口率下降的问题。

[0018] 优选的是,所述通过一次构图工艺形成第一透明电极、黑矩阵、半导体有源层、欧姆接触层、薄膜晶体管漏极和源极的图形的同时还形成了包括第一钝化绝缘层的图形。

[0019] 进一步优选的是,所述在基板上通过一次构图工艺形成包括第一透明电极、第一钝化绝缘层、黑矩阵、半导体有源层、欧姆接触层、薄膜晶体管漏极和源极层的图形具体包括:

[0020] 在基板上依次沉积第一透明导电材料、第一钝化绝缘材料层、黑矩阵层、半导体层、掺杂半导体层、源漏金属层,并在漏源极金属层上涂覆光刻胶层;

[0021] 对光刻胶层进行曝光、显影,其中位于显示区、连接区、有源区、源漏区的剩余光刻胶层厚度为第一厚度、第二厚度、第三厚度和第四厚度,且厚度依次增大,且显示区和连接区间的光刻胶断开;

[0022] 去除裸露的源漏金属层;

[0023] 去除厚度为显示区光刻胶层厚度的光刻胶,以及裸露的掺杂半导体层;

[0024] 去除裸露的源漏金属层;

[0025] 去除厚度为连接区剩余光刻胶层厚度的光刻胶,以及裸露的半导体层;

[0026] 去除裸露的源漏金属层;

[0027] 去除有源区剩余光刻胶层厚度的光刻胶、裸露的掺杂半导体层,以及裸露的黑矩阵层;

[0028] 去除裸露的有源区的金属层;

[0029] 去除剩余的光刻胶层、裸露的半导体层、裸露的黑矩阵层,以及裸露的第一钝化绝缘材料层;

[0030] 通过刻蚀去除裸露的第一钝化绝缘材料层和第一透明导电材料层。

[0031] 优选的是,还包括以下步骤:

- [0032] 在基板上通过一次构图工艺形成包括栅极绝缘层和薄膜晶体管栅极的图形；
- [0033] 在完成上述步骤的基板上通过一次构图工艺形成包括第二钝化绝缘层的图形，且在薄膜晶体管上方的栅极绝缘层和第二钝化绝缘层中形成过孔；
- [0034] 在完成上述步骤的基板上通过一次构图工艺形成包括像素电极的图形，
- [0035] 所述像素电极通过所述过孔与薄膜晶体管的漏极连接。
- [0036] 优选的是，所述对光刻胶层进行曝光包括：通过半色调掩模板或灰阶掩模版进行对光刻胶层进行曝光。
- [0037] 解决本发明技术问题所采用的技术方案是一种显示装置，包括上述阵列基板。
- [0038] 本发明的阵列基板和显示装置，将第一透明电极、半导体有源层、欧姆接触层和源漏电极采用一次构图工艺形成，简化了制作工艺，降低了成本。同时，将黑矩阵制作在阵列基板，就可以不用考虑因对盒造成的开口率的影响，黑矩阵可以做的更窄小，也就提高了开口率。

附图说明

- [0039] 图 1 为现有的 ADS 底栅型阵列基板的示意图；
- [0040] 图 2 为本发明的实施例 1 的 ADS 顶栅型阵列基板的示意图；
- [0041] 图 3 为本发明的实施例 2 的 ADS 顶栅型阵列基板第一次光刻过程的示意图；
- [0042] 图 4 为本发明的实施例 2 的 ADS 顶栅型阵列基板第一次光刻过程的流程图；以及，
- [0043] 图 5 为本发明的实施例 2 中通过 4 次光刻形成 ADS 顶栅型阵列基板过程的示意图。
- [0044] 其中附图标记为：1、栅极；2、第一透明电极层；2-1、薄膜晶体管区第一透明电极；2-2、显示区第一透明电极层（公共电极）；3、栅极绝缘层；4-1、源极；4-2、漏极；5、掺杂半导体层；6、半导体层；7-1、第一钝化层；7-2、第二钝化层；8、像素电极；9、黑矩阵；A、过孔；Q1、显示区；Q2、薄膜晶体管区；Q201、连接区；Q202、有源区；Q203、源漏区。

具体实施方式

[0045] 为使本领域技术人员更好地理解本发明的技术方案，下面结合附图和具体实施方式对本发明作进一步详细描述。

[0046] 实施例 1：

[0047] 如图 2 所示，本实施例提供一种阵列基板，该阵列基板包括薄膜晶体管区和显示区，薄膜晶体管区包括：黑矩阵 9、薄膜晶体管（包括栅极 1、源极 4-1、漏极 4-2、半导体有源层 6 以及欧姆接触层 5）、第一透明导电层 2-1。

[0048] 薄膜晶体管区还包括设置于基底上的第一透明导电层 2-1，该第一透明导电层 2-1 设置于黑矩阵 9 下方。

[0049] 显示区还包括设置于基底上的第一透明电极 2-2，该第一透明电极 2-2 与第一透明导电层 2-1 同层设置，且两者之间断开。所述显示区第一透明电极 2-2 作为公共电极；

[0050] 所述黑矩阵设于薄膜晶体管区第一透明导电层 2-1 上；

[0051] 所述半导体层 6 设于黑矩阵 9 上方；

[0052] 所述欧姆接触层 5 设于薄膜晶体管源极 4-1 和漏极 4-2 与半导体有源层 6 之间。

[0053] 现有技术中将黑矩阵设于彩膜基板上时，在彩膜基板与阵列基板对盒时不可避免

会出现对位偏差,从而导致漏光。为避免对位偏差产生的漏光问题,此时必须将黑矩阵做得更宽,但是由于黑矩阵变宽了造成开口率进一步的下降,而本发明的黑矩阵 9 设于阵列基板上,就可以不用考虑因对位不准确而导致漏光,从而需将黑矩阵 9 做宽,进而导致开口率下降的问题,同时还可以将黑矩阵 9 做得更窄一些,提高开口率。而本实施例的阵列基板,分成薄膜晶体管区 Q2 与显示区 Q1,黑矩阵 9 设于薄膜晶体管区 Q2 与第一透明电极 2-1、公共电极 2-2、半导体有源层 6、欧姆接触层 5 以及薄膜晶体管的源极 4-1 和漏极 4-2 通过一次构图工艺就可以制备,故其工艺简单,成本也较低。

[0054] 优选地,本实施例的阵列基板,还包括第一钝化绝缘层 7-1,所述第一钝化绝缘层 7-1 设于薄膜晶体管区第一透明电极 2-1 和显示区第一透明电极 2-2(也就是公共电极)上。如果黑矩阵 9 采用的是绝缘材料,也可以不设置第一钝化绝缘层 7-1。当然制备第一钝化绝缘层 7-1 可以和第一透明电极 2-1、公共电极 2-2、黑矩阵 9、半导体层 6、欧姆接触层 5 以及薄膜晶体管的源极 4-1 和漏极 4-2 通过一次构图工艺制备,不增加工艺。

[0055] 优选地,该阵列基板中的薄膜晶体管为顶栅型薄膜晶体管,由于该阵列基板设有黑矩阵 9,半导体有源层 6 设于黑矩阵上,薄膜晶体管的半导体有源层 6 不会因为光照而受到影响。当然底栅型薄膜晶体管也是可以的。

[0056] 进一步优选地,顶栅型薄膜晶体管结构的阵列基板中,还包括:栅极绝缘层 3、第二钝化绝缘层 7-2,

[0057] 所述栅极绝缘层 3 设于薄膜晶体管栅极 1 下方;所述薄膜晶体管栅极 1 上方设有第二钝化绝缘层 7-2;薄膜晶体管漏极 4-2 上方的栅极绝缘层 3 和第二钝化绝缘层 7-2 中设有过孔 A;所述像素电极 8 设于第二钝化绝缘层 7-2 上,且通过所述过孔 A 与薄膜晶体管的漏极 4-2 连接。像素电极 8 设于公共电极 2-2 上方,该阵列基板为 ADS 型阵列基板,像素电极 8 为狭缝状电极,公共电极即第一透明电极 2-1 为板状电极。

[0058] 本发明提供的阵列基板,将第一透明电极、半导体有源层、欧姆接触层和源漏电极采用一次构图工艺形成,简化了制作工艺,降低了成本。同时,将黑矩阵制作在阵列基板,就可以不用考虑因对盒造成的开口率的影响,黑矩阵可以做的更窄小,也就提高了开口率。

[0059] 实施例 2:

[0060] 本实施例提供一种阵列基板的制备方法所述阵列基板包括黑矩阵、公共电极和薄膜晶体管,具体包括如下步骤:

[0061] S01、在基板上通过一次构图工艺形成包括第一透明电极(公共电极) 2-2、第一钝化绝缘层 7-1、黑矩阵 9、半导体有源层 6、欧姆接触层 5、薄膜晶体管源极 4-1 和漏极 4-2 的图形。

[0062] 如图 3、4、5 所示,优选地,S01 步骤具体包括如下:

[0063] 在基板上依次沉积第一透明导电材料层、第一钝化绝缘材料层、遮光层、半导体层、掺杂半导体材料层、源漏金属层,并在漏源极金属层上涂覆光刻胶层;

[0064] 通过对光刻胶层进行曝光、显影,形成光刻胶厚度不同的区域,其中显示区 Q1、连接区 Q201、有源区 Q202、源漏区 Q203 的光刻胶层厚度分别为第一厚度、第二厚度、第三厚度以及第四厚度,且厚度依次增大,显示区 Q1 与连接区 Q201 之间设置有断开区域,该断开区域为光刻胶不保留区;

[0065] 通过刻蚀工艺去除无光刻胶遮挡的源漏金属层;

[0066] 通过灰化或刻蚀工艺去除厚度为显示区光刻胶层厚度的光刻胶,以及裸露的掺杂半导体材料层;

[0067] 通过刻蚀工艺去除裸露的源漏金属层;

[0068] 通过灰化或刻蚀工艺去除厚度为连接区剩余光刻胶层厚度的光刻胶,以及裸露的半导体材料层;

[0069] 通过刻蚀工艺再次去除裸露的源漏金属层;

[0070] 通过刻蚀工艺去除有源区剩余光刻胶层厚度的光刻胶、裸露的掺杂半导体材料层,以及裸露的黑矩阵层;

[0071] 通过刻蚀工艺去除有源区裸露的金属层;

[0072] 通过灰化或刻蚀工艺去除剩余的光刻胶层、裸露的半导体层、裸露的黑矩阵层,以及裸露的钝化绝缘层;

[0073] 通过刻蚀工艺去除裸露的第一透明导电材料层。

[0074] 本步骤通过一次构图工艺就在基板上形成了包括第一透明电极(公共电极) 2-2、第一钝化绝缘层 7-1、黑矩阵 9、半导体有源层 6、欧姆接触层 5、薄膜晶体管源极 4-1 和漏极 4-2 的图形,当然同时还形成了源极信号线、漏极信号线以及引线。

[0075] S02、在完成上述步骤的基板上依次沉积栅极绝缘材料层和栅极金属层,并通过一次构图工艺在栅极绝缘材料层和栅极金属层形成包括栅极绝缘层 3 和薄膜晶体管栅极 1 的图形;

[0076] S03、在完成上述步骤的基板上沉积第二钝化绝缘材料层,并通过一次构图工艺形成包括第二钝化绝缘层 7-2 图形,且在薄膜晶体管上方的栅极绝缘层 3 和第二钝化绝缘层 7-2 中形成过孔 A;

[0077] S04、在完成上述步骤的基板上沉积像素电极层,通过一次构图工艺形成包括像素电极 8 的图形,所述像素电极 8 通过所述过孔与薄膜晶体管的漏极 4-2 连接。

[0078] 通过上述四次构图工艺完成了 ADS 型顶栅薄膜晶体管结构的阵列基板。

[0079] 其中,优选地,对光刻胶层进行曝光包括:通过半色调掩膜板或灰度掩膜版进行对光刻胶层进行曝光。这样在一张掩膜板上同时对不同区域不同要求的进行不同精度的曝光。

[0080] 本实施例通过四次构图工艺完成 ADS 顶栅型阵列基板的制备,简化了制作工艺,进一步降低生产成本。现有技术将黑矩阵 9 做在彩膜基板上也是需要一次构图工艺的,而本实施例黑矩阵 9 与第一透明电极(公共电极) 2-2、第一钝化绝缘层 7-1、半导体有源层 6、欧姆接触层 5 以及薄膜晶体管源极 4-1 和漏极 4-2 通过一次构图工艺形成,这样考虑在整个 TFT-LCD 的制作过程中是少用两个构图工艺,这样也减少了开发费用,降低了成本。另一方面使 TFT-LCD 屏的开口率进一步提高。

[0081] 本发明提供的阵列基板,将第一透明电极、半导体有源层、欧姆接触层和源漏电极采用一次构图工艺形成,简化了制作工艺,降低了成本。同时,将黑矩阵制作在阵列基板,就可以不用考虑因对盒造成的开口率的影响,黑矩阵可以做的更窄小,也就提高了开口率。

[0082] 实施例 3:

[0083] 本实施例提供了一种显示装置,该显示装置包括实施例 1 中所述的阵列基板。该显示装置可以为:OLED 面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航

仪等任何具有显示功能的产品或部件。

[0084] 本实施例的显示装置中具有实施例 1 中的阵列基板,故其制备工艺简单、成本低、具有更好的开口率。

[0085] 当然,本实施例的显示装置中还可以包括其他常规结构,如电源单元、显示驱动单元等。

[0086] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

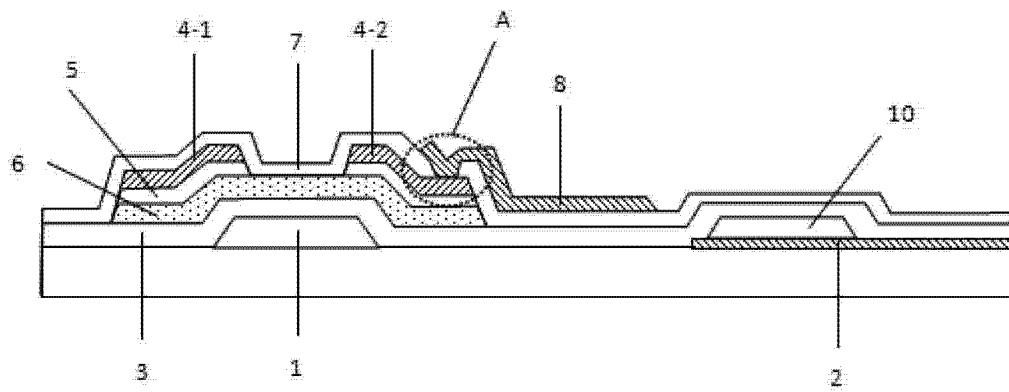


图 1

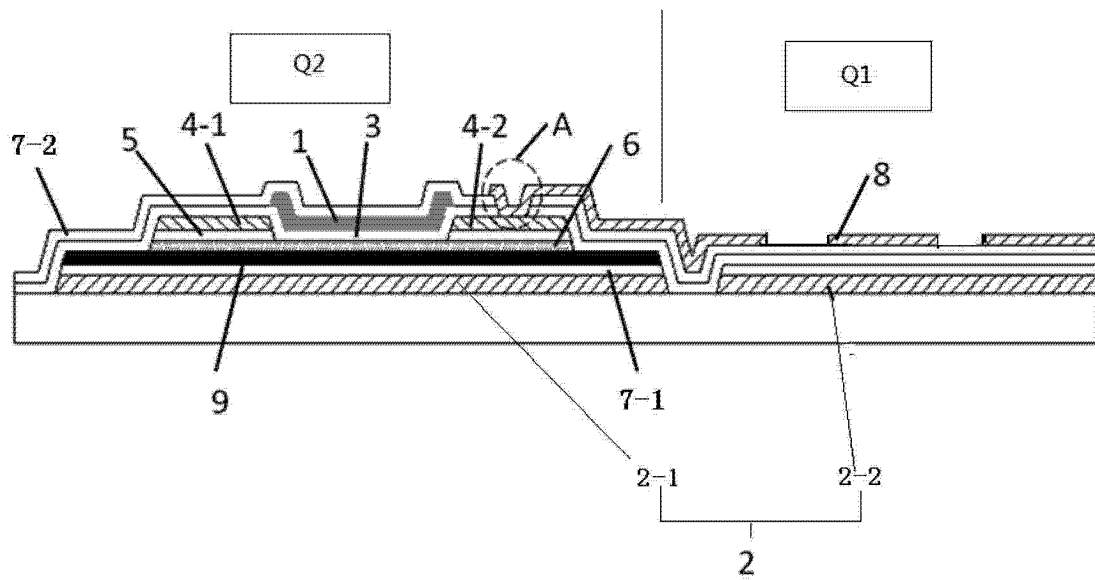


图 2

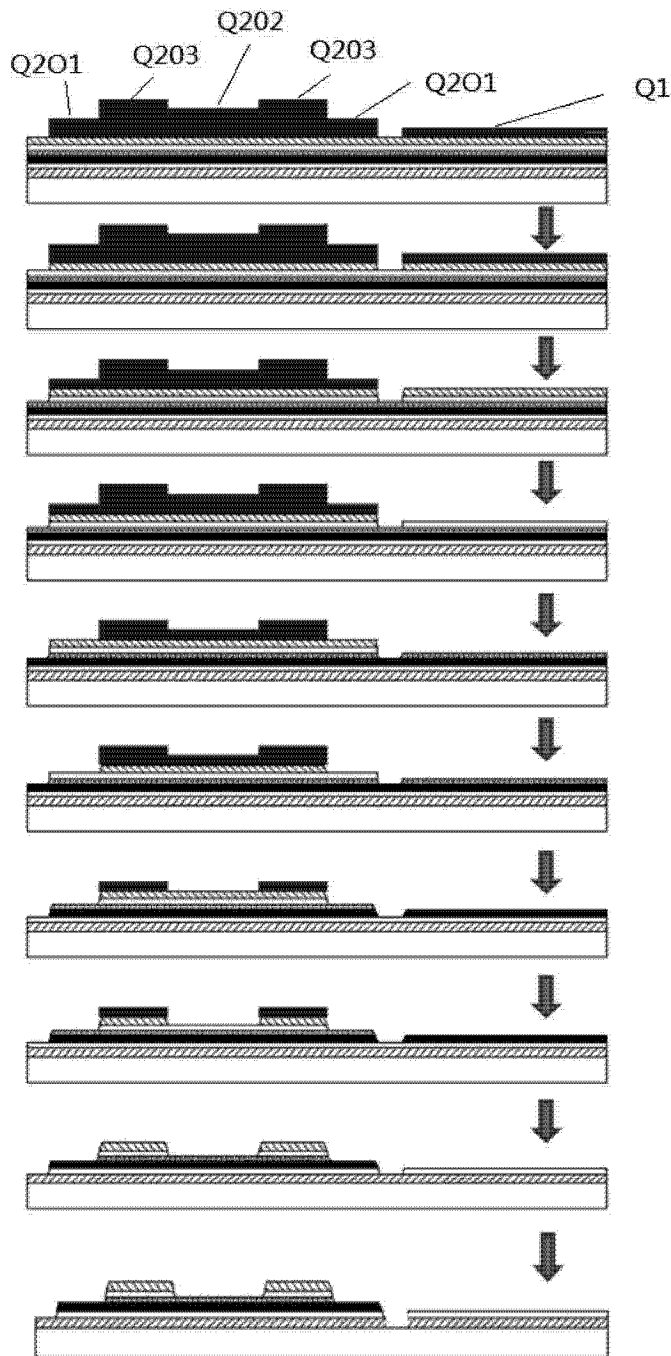


图 3

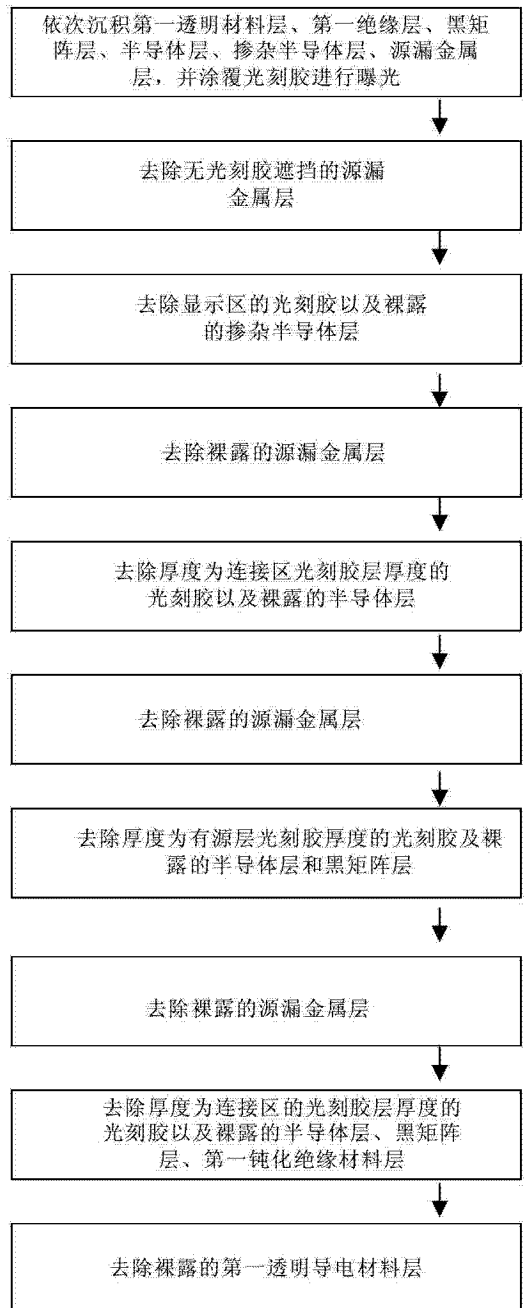


图 4

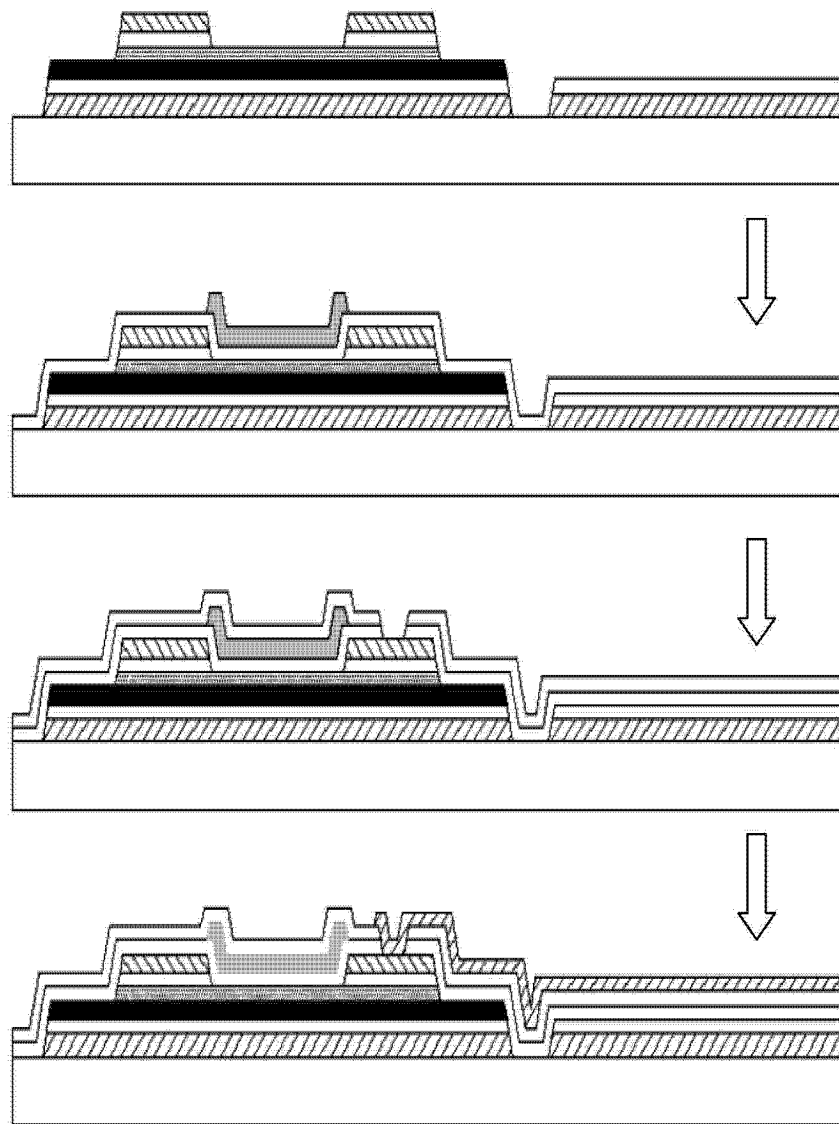


图 5

专利名称(译)	一种阵列基板及其制备方法、显示装置		
公开(公告)号	CN103226272A	公开(公告)日	2013-07-31
申请号	CN201310132183.8	申请日	2013-04-16
[标]申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
当前申请(专利权)人(译)	合肥京东方光电科技有限公司 京东方科技集团股份有限公司		
[标]发明人	郭霄 吕凤珍 储松南 张新霞 姜伟 向康		
发明人	郭霄 吕凤珍 储松南 张新霞 姜伟 向康		
IPC分类号	G02F1/1362 G02F1/1368 H01L27/12 H01L21/77		
CPC分类号	H01L27/1248 G02F1/136209 G02F1/136286 G02F2201/40 H01L21/0271 H01L27/124 H01L27/1288 H01L29/41733 H01L29/78633		
代理人(译)	柴亮 张天舒		
其他公开文献	CN103226272B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种阵列基板及其制备方法、显示装置，属于液晶显示技术领域，其可解决现有的阵列基板制备工艺复杂、成本高的问题。本发明的阵列基板，包括：薄膜晶体管区和显示区，所述薄膜晶体管区包括薄膜晶体管和第一透明导电层，所述显示区包括第一透明电极，所述薄膜晶体管区第一透明导电层与所述显示区第一透明电极同层设置且两者互不连接，所述薄膜晶体管设置在所述透明导电层上方。本发明提供的阵列基板，将第一透明电极、半导体有源层、欧姆接触层和源漏电极采用一次构图工艺形成，简化了制作工艺，降低了成本。

