



(12) 发明专利申请

(10) 申请公布号 CN 102981335 A

(43) 申请公布日 2013. 03. 20

(21) 申请号 201210501139. 5

(22) 申请日 2012. 11. 29

(66) 本国优先权数据

201210459334. 6 2012. 11. 15 CN

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

申请人 成都京东方光电科技有限公司

(72) 发明人 祁小敬 吴博 胡理科

(74) 专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 申健

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

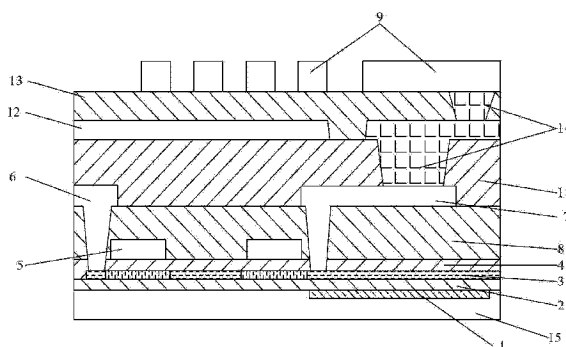
权利要求书 1 页 说明书 5 页 附图 3 页

(54) 发明名称

像素单元结构、阵列基板和显示装置

(57) 摘要

本发明实施例公开了一种像素单元结构、阵列基板和显示装置,涉及液晶显示器技术领域,该像素单元结构在实现存储电容的同时,保证像素单元的高开口率和低制作成本。该像素单元结构,包括薄膜晶体管 TFT、第一遮蔽层,所述第一遮蔽层与 TFT 有源层的漏极区域相对,所述第一遮蔽层连接至阵列基板的公共电极,与所述有源层的漏极区域之间形成电容。



1. 一种像素单元结构,其特征在于,包括薄膜晶体管 TFT、第一遮蔽层,所述第一遮蔽层与 TFT 有源层的漏极区域相对,所述第一遮蔽层连接至阵列基板的公共电极,与所述有源层的漏极区域之间形成电容。

2. 根据权利要求 1 所述的像素单元结构,其特征在于,所述薄膜晶体管包括有源层、第二绝缘层、栅极、位于同一层的源极和漏极,

其中,所述源极连接所述像素单元结构的数据线和所述有源层的源极区域,所述漏极连接所述像素单元结构的像素电极和所述有源层的漏极区域。

3. 根据权利要求 1 所述的像素单元结构,其特征在于,还包括与所述第一遮蔽层位于同一层的第二遮蔽层,所述第二遮蔽层与所述有源层上除去漏极区域的其他区域相对。

4. 根据权利要求 1 至 3 任一所述的像素单元结构,其特征在于,所述像素单元结构还包括:

依次设置于所述第三绝缘层上的第四绝缘层、公共电极层、第五绝缘层和像素电极,所述第三绝缘层、第四绝缘层和第五绝缘层均具有过孔,各所述过孔填充有导电材料,且各所述过孔中填充的导电材料相通;或者

依次设置于所述第三绝缘层上的第四绝缘层、像素电极、第五绝缘层和公共电极层,所述第三绝缘层、第四绝缘层具有过孔,各所述过孔填充有导电材料,且各所述过孔中填充的导电材料相通;

其中,所述漏极通过所述相接的导电材料连接至所述像素电极上。

5. 根据权利要求 1 至 3 任一所述的像素单元结构,其特征在于,所述有源层由单晶硅或经过轻掺杂处理的多晶硅,以及经过重掺杂处理的多晶硅间隔形成。

6. 根据权利要求 1 至 3 任一所述的像素单元结构,其特征在于,所述像素单元结构具有至少一个栅极,所述有源层中的单晶硅或经过轻掺杂处理的多晶硅与所述栅极相对。

7. 根据权利要求 5 所述的像素单元结构,其特征在于,所述有源层的源极区域和漏极区域的材质为经过重掺杂处理的多晶硅。

8. 根据权利要求 3 所述的像素单元结构,其特征在于,所述第一遮蔽层和所述第二遮蔽层一体成型。

9. 一种阵列基板,其特征在于,包括衬底基板和多个位于所述衬底基板上的如权利要求 1-8 任一项所述的像素单元结构,

其中,各所述像素单元结构的第一遮蔽层分别连接至所述阵列基板的公共电极,
或

各所述像素单元结构的第一遮蔽层串联共同连接至所述阵列基板的公共电极。

10. 一种显示装置,其特征在于,包括权利要求 9 所述的阵列基板。

像素单元结构、阵列基板和显示装置

技术领域

[0001] 本发明涉及液晶显示器领域,尤其涉及一种像素单元结构、阵列基板和显示装置。

背景技术

[0002] 薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display,简称 TFT-LCD)具有体积小、功耗低、无辐射等优点,在平板显示领域中占据了主导地位。

[0003] LCD根据电场形式的不同可分为多种类型,其中,高级超维场转换(Advancedsuper Dimension Switch,简称 ADS)型 TFT-LCD 具有宽视角、高开口率、高透过率等优点而被广泛的应用。其通过同一平面内像素电极边缘所产生的平行电场以及像素电极层与公共电极层间产生的纵向电场形成多维空间复合电场,像素电极和公共电极之间的电势差可以驱动液晶分子转动,使液晶盒内像素电极间、像素电极正上方所有取向液晶分子都能够产生旋转转换,通过不同的电势差可以控制液晶层透过率的变化,使得液晶显示器上形成不同的灰阶,实现显示。

[0004] 发明人在实现本发明的过程中发现,在一帧画面的时间间隔里,某一像素电极必须与公共电极之间保持一定的电势差,使得该像素电极与公共电极之间的液晶保持一定的排布情况。而只要液晶显示器在工作,公共电极的电势是固定不变的,因此像素电极的电势也需要在一帧画面的时间间隔里保持不变,故而需要在像素单元内设置有存储电容,该存储电容有助于增强像素电极的电势维持能力。但增加存储电容后,又会减小像素单元的开口率,同时,增加存储电容意味着增加了制作像素单元结构的掩膜的工序,增加了像素单元结构的制作成本。

发明内容

[0005] 本发明所要解决的技术问题在于提供一种像素单元结构、阵列基板和显示装置,该像素单元结构在实现存储电容的同时,保证像素单元的高开口率和低制作成本。

[0006] 为解决上述技术问题,本发明像素单元结构和阵列基板采用如下技术方案:

[0007] 一种像素单元结构,包括薄膜晶体管 TFT、第一遮蔽层,所述第一遮蔽层与 TFT 有源层的漏极区域相对,所述第一遮蔽层连接至阵列基板的公共电极,与所述有源层的漏极区域之间形成电容。

[0008] 进一步地,所述薄膜晶体管包括包括有源层、第二绝缘层、栅极、位于同一层的源极和漏极,其中,所述源极连接所述像素单元结构的数据线和所述有源层的源极区域,所述漏极连接所述像素单元结构的像素电极和所述有源层的漏极区域。

[0009] 所述像素单元结构还包括与所述第一遮蔽层位于同一层的第二遮蔽层,所述第二遮蔽层与所述有源层上除去漏极区域的其他区域相对。

[0010] 当所述像素单元结构的驱动模式为高级超维场转换模式时,所述像素单元结构还包括:

[0011] 依次设置于所述第三绝缘层上的第四绝缘层、公共电极层、第五绝缘层和像素电

极,所述第三绝缘层、第四绝缘层和第五绝缘层均具有过孔,各所述过孔填充有导电材料,且各所述过孔中填充的导电材料相通;

[0012] 其中,所述有源层的漏极或源极通过所述相接的导电材料连接至所述像素电极上。

[0013] 所述有源层由单晶硅或经过轻掺杂处理的多晶硅和经过重掺杂处理的多晶硅间隔形成。

[0014] 述像素单元结构具有至少一个栅极,所述有源层中的单晶硅或经过轻掺杂处理的多晶硅与所述栅极相对。

[0015] 所述有源层的源极区域和漏极区域的材质为经过重掺杂处理的多晶硅。

[0016] 所述第一遮蔽层和所述第二遮蔽层一体成型。

[0017] 一种阵列基板,包括衬底基板和多个位于所述衬底基板上的上述的像素单元结构,

[0018] 其中,各所述像素单元结构的第一遮蔽层分别连接至所述阵列基板的公共电极,

[0019] 或

[0020] 各所述像素单元结构的第一遮蔽层串联共同连接至所述阵列基板的公共电极。

[0021] 本发明还提供了一种显示装置,该装置中包括上述阵列基板。

[0022] 本发明提供的像素单元结构中,第一遮蔽层能够与有源层的连接像素电极的源极或漏极之间形成电容,从而实现了像素单元结构中的存储电容。另外,由于与所述漏极形成存储电容的第一遮蔽层与连接像素电极的源极或漏极相对,对所述像素单元结构的开口率无影响,保证了所述像素单元结构的高开口率。

附图说明

[0023] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0024] 图1为本发明实施例中的像素单元结构的剖面图一;

[0025] 图2为本发明实施例中的部分像素单元结构的平面图一;

[0026] 图3为本发明实施例中的像素单元结构的剖面图二;

[0027] 图4为本发明实施例中的部分像素单元结构的平面图二;

[0028] 图5为本发明实施例中的部分像素单元结构的平面图三;

[0029] 图6为本发明实施例中的阵列基板的平面图一;

[0030] 图7为本发明实施例中的阵列基板的平面图二;

[0031] 图8为本发明实施例中的阵列基板的平面图三。

[0032] 附图标记说明:

[0033] 1—第一遮蔽层; 2—第一绝缘层; 3—有源层;

[0034] 4—第二绝缘层; 5—栅极; 6—源极;

[0035] 7—漏极; 8—第三绝缘层; 9—像素电极;

[0036] 10—第二遮蔽层; 11—第四绝缘层; 12—公共电极层;

[0037] 13—第五绝缘层； 14—过孔； 15—衬底基板。

具体实施方式

[0038] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0039] 实施例一

[0040] 本发明实施例提供一种像素单元结构,如图1所示,包括薄膜晶体管 TFT、第一遮蔽层,所述第一遮蔽层与 TFT 有源层的漏极区域相对,所述第一遮蔽层连接至阵列基板的公共电极,与所述有源层的漏极区域之间形成电容。

[0041] 具体地,该像素单元结构由下至上依次包括:包括第一遮蔽层 1、第一绝缘层 2、有源层 3、第二绝缘层 4、栅极 5、位于同一层的源极 6 和漏极 7、第三绝缘层 8。

[0042] 在上述像素结构单元中,所述第一遮蔽层 1 与有源层 3 的漏极区域相对,所述源极 6 连接所述像素单元结构的数据线和所述有源层 3 的源极区域,所述漏极 7 连接所述像素单元结构的像素电极 9 和所述有源层 3 的漏极区域,所述第一遮蔽层 1 连接至阵列基板的公共电极的输出端,与所述有源层 3 的漏极区域之间形成电容。在本文中,对于像素单元结构的 TFT,无论是 P 型还是 N 型,所述 TFT 的源极、漏极是可以互换,将与数据线连接一端定义为源极,与像素电极连接的一端为漏极。

[0043] 在一帧画面显示时,所述栅极 5 输入电信号,导通了有源层 3 上的源极区域和漏极区域之间的区域,所述像素单元结构的数据线向所述源极 6 输送具有某一电势的电信号,该电信号可通过所述有源层 3 传递至所述漏极 7,进而通过所述漏极 7 传递至与所述漏极 7 相连的像素电极 9,使得所述像素电极 9 与所述液晶显示器的公共电极共同控制像素电极 9 和所述公共电极之间的液晶分子的偏转、排布情况,以实现液晶显示器的图像显示。

[0044] 进一步的,所述第一遮蔽层 1 通常采用金属制成,例如钼、铝等金属材料,并且所述第一遮蔽层 1 与阵列基板的公共电极的输出端相连,进而,如图1所示,由于所述第一遮蔽层 1 与有源层的漏极区域相对,之间间隔有一层第一绝缘层 2,且所述第一遮蔽层 1 与所述有源层的漏极区域之间具有电势差,故而所述第一遮蔽层 1 与所述有源层的漏极区域之间形成存储电容,该存储电容的存在,有利于维持所述像素电极 9 和所述公共电极之间的电势差,进而有利于使得液晶分子在一帧画面现实的时间内,可以维持正常显示所需要的排布情况,提高了液晶显示器的图像显示效果。

[0045] 由图1中可看出,该存储电容的大小由第一遮蔽层 1 和所述漏极区域的相对的面积、第一遮蔽层 1 和所述漏极之间的绝缘材料(即第一绝缘层 2 的材料)的厚度和介电常数共同决定,出于效果和节约材料等方面的考虑,所述第一遮蔽层 1 与所述漏极区域均紧密贴附所述第一绝缘层 2,并且,如图2所示,所述第一遮蔽层 1 在所述第一绝缘层 2 上的投影区域与所述漏极区域在所述第一绝缘层 2 上的投影区域完全重合。

[0046] 进一步的,如图2所示,所述第一遮蔽层 1 在所述第一绝缘层 2 上的投影区域与所述漏极在所述第一绝缘层 2 上的投影区域完全重合,对所述像素单元结构的开口率无影响,保证了所述像素单元结构的高开口率;而现有技术中由于过孔的存在,与有源层的漏极

区域形成存储电容的 GATE 金属之间要具有很大的间隔,会严重的影响像素单元的开口率。

[0047] 需要说明的是,所述第一绝缘层 2 惯常称为缓冲层,所述第二绝缘层 4 惯常称为栅绝缘层(Gate Insulator,简称 GI),所述第三绝缘层 8 惯常称为层间绝缘体(Inter Layer Dielectric,简称 ILD),所述第一绝缘层 2、所述第二绝缘层 4 和所述第三绝缘层 8 的材质均可为氮化硅、二氧化硅或其他混合物中的一种,所述第一绝缘层 2、所述第二绝缘层 4 和所述第三绝缘层 8 的材质可为同一种材料。

[0048] 本实施例的技术方案中,第一遮蔽层能够与有源层的连接像素电极的漏极区域之间形成电容,从而实现了像素单元结构中的存储电容。另外,由于与所述漏极区域形成存储电容的第一遮蔽层与连接像素电极的漏极区域相对,对所述像素单元结构的开口率无影响,保证了所述像素单元结构的高开口率。

[0049] 实施例二

[0050] 本发明实施例提供一种像素单元结构,在实施例一的基础上,如图 3 所示,所述像素单元结构还可包括与所述第一遮蔽层 1 位于同一层的第二遮蔽层 10,所述第二遮蔽层 10 与所述有源层 3 上除去漏极区域的其他区域相对。

[0051] 由于实际上像素单元结构通常采用 N 型的 TFT,N 型的 TFT 的漏极电流较 P 型 TFT 大,特别在光照情况下,过量的光线经由散射或直接照射于 TFT 的有源区域,而沟道边缘区受到激发产生电子空穴对,部分电子空穴形成漏极电流,漏极电流的大小会显著增加,大大缩短了像素电极 9 维持稳定的电势的时间长度。即使存在存储电容,漏极电流的存在也具有相当大的影响,因而需要将漏极电流的电流值尽可能减小,故而,如图 3 或 4 所示,通常在所述像素单元结构内设置有与所述有源层 3 上除去源极区域的其他区域相对的所述第二遮蔽层 10,所述第二遮蔽层 10 遮蔽了可能射至所述有源层 3 上除去源极区域的其他区域的光线,防止了漏极电流的增大,故而,一般的像素单元结构内都需设置有第二遮蔽层 10。

[0052] 由于所述第一遮蔽层 1 和第二遮蔽层 10 可由制作像素单元结构的工艺流程中的同一道工序制成,无需为了制造存储电容而增加额外的工序,保证了像素单元的低制作成本。

[0053] 进一步的,当所述像素单元结构的驱动模式为高级超维场转换模式时,该像素单元结构还包括:

[0054] 依次设置于所述第三绝缘层 8 上的第四绝缘层 11、公共电极层 12、第五绝缘层 13 和像素电极 9,所述第三绝缘层 8、第四绝缘层 11 和第五绝缘层 13 均具有过孔 14,各所述过孔 14 填充有导电材料,且各所述过孔 14 中填充的导电材料相通;所述公共电极层 12 和像素电极 9 的位置可以互换,只要满足两者之间形成电场即可。

[0055] 因而,所述有源层 3 的漏极可通过所述相接的导电材料连接至所述像素电极 9 上,导电材料通常可采用纳米铟锡金属氧化物(Indium Tin Oxides,简称 ITO)。

[0056] 通过层间过孔上相接的导电材料,将所述漏极连接至所述像素电极 9 上,无需通过其他的连接方式连接所述像素电极 9 和所述漏极,简化了像素单元结构的制作工艺,并且防止所述像素单元结构的开口率的缩小。

[0057] 通常的,所述有源层 3 由单晶硅或经过轻掺杂处理的多晶硅和经过重掺杂处理的多晶硅间隔形成,所述有源层 3 的有源区域为单晶硅或经过轻掺杂处理的多晶硅,所述有源层 3 的源极区域和漏极区域的材质为经过重掺杂处理的多晶硅。

[0058] 掺杂是针对杂质半导体而言的处理工艺,就是在本征半导体(此处为单晶硅)中掺入 3 价或 5 价的元素,使其成为向价带提供空穴的受主杂质或向导带发送电子的施主杂质。重掺杂就是向本征半导体中掺入的杂质浓度比较大。

[0059] 如图 1 或图 3 所示,所述像素单元结构具有至少一个栅极 5,所述有源层 3 中的单晶硅或经过轻掺杂处理的多晶硅与所述栅极 5 相对。栅极 5 的数量的增加,意味着有源层 3 中源级区域与漏极区域之间的多晶硅的总量的增加,进一步的,源级与漏极之间的阻值也增加,有利于进一步的减小有源层 3 中的漏极电流,进而有利于像素电极 9 的电势的稳定。

[0060] 通常,如图 5 所示,为了简化制作工艺并且降低掩膜成本,所述第一遮蔽层 1 和所述第二遮蔽层 10 可以一体成型。

[0061] 进一步的,本发明实施例还提供了一种阵列基板,如图 1 所示,包括衬底基板 15 和多个位于所述衬底基板 15 上的上述的像素单元结构,

[0062] 其中,各所述像素单元结构的第一遮蔽层 1 分别连接至所述阵列基板的公共电极的输出端(图中未示出),

[0063] 或

[0064] 各所述像素单元结构的第一遮蔽层 1 串联共同连接至所述阵列基板的公共电极的输出端(图中未示出)。

[0065] 所述第一遮蔽层 1 与所述阵列基板的公共电极的输出端的连接没有限制,可以是显示区域内的各像素单元结构的第一遮蔽层 1 分别与所述阵列基板的公共电极的输出端连接,也可以是如图 6、图 7 或图 8 中所示将各第一遮蔽层 1 串联后,在显示区域内部或外部与所述阵列基板的公共电极的输出端连接。

[0066] 进一步的,所述第一遮蔽层 1 与所述阵列基板的公共电极的输出端的具体连接形式也可由多种,可以通过填充有导电材料的过孔将第一遮蔽层 1 与所述阵列基板的公共电极的输出端连接,也可通过填充有导电材料的通孔和导电层共同配合实现,本发明实施例对此不进行限制。

[0067] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

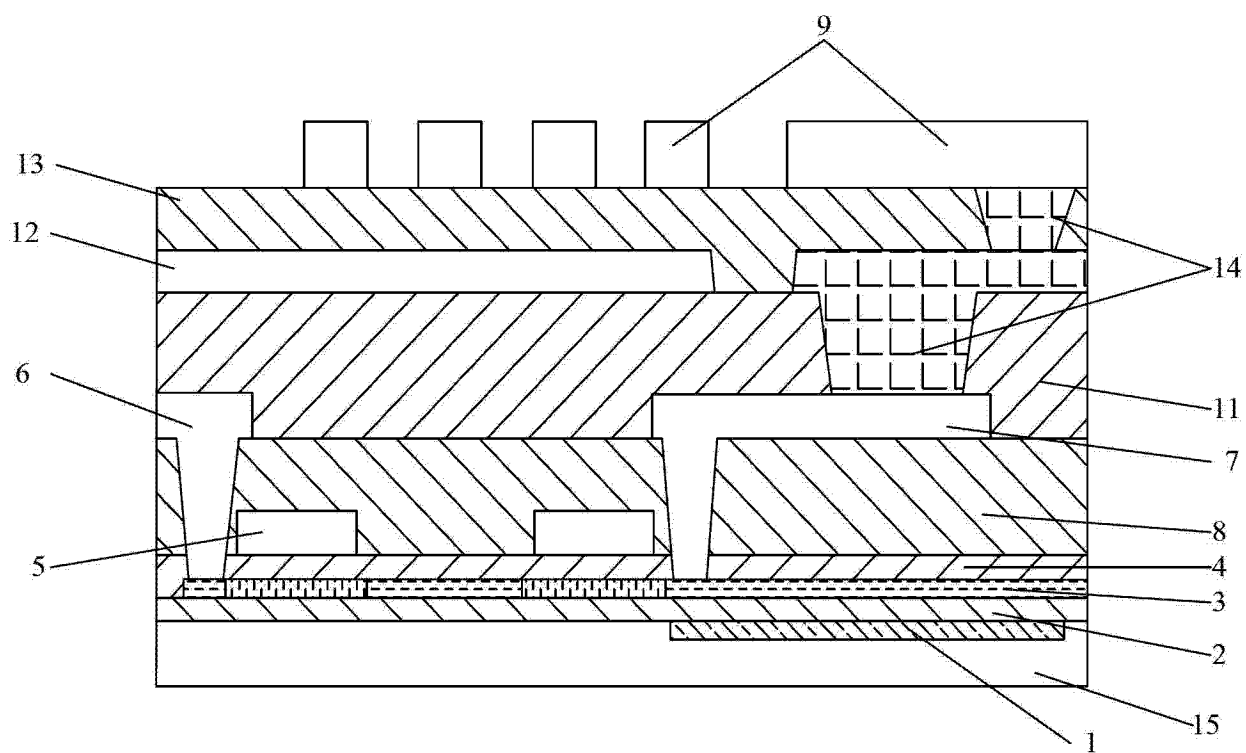


图 1

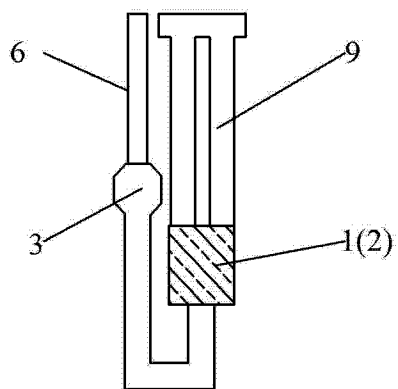


图 2

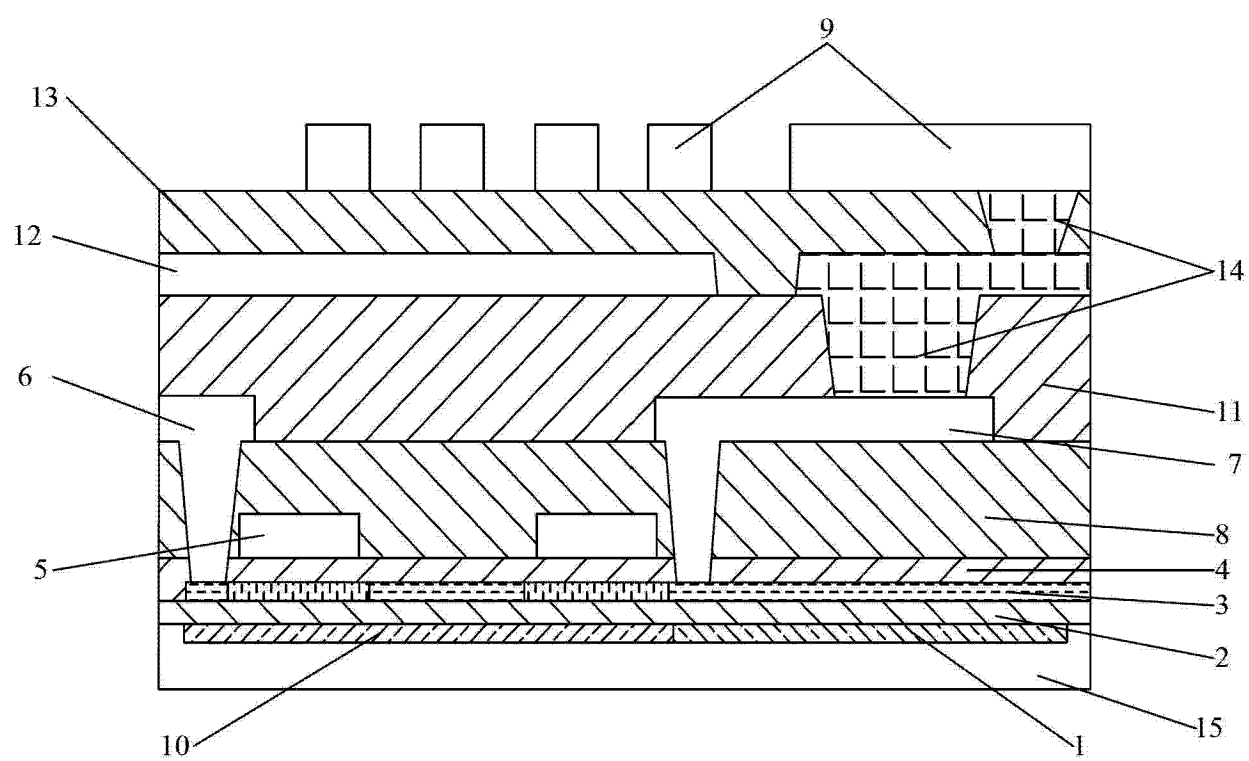


图 3

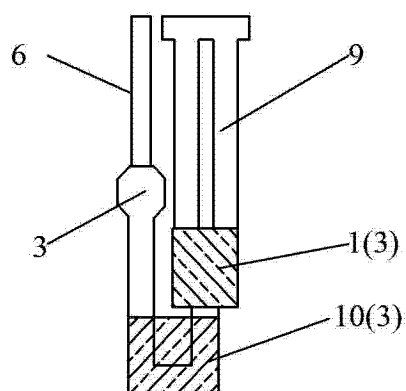


图 4

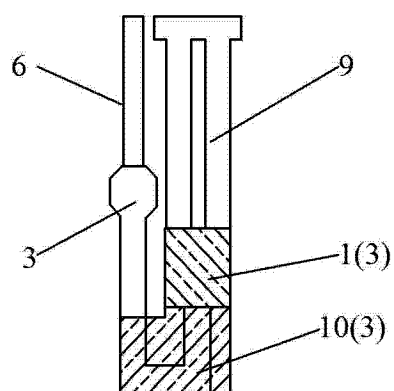


图 5

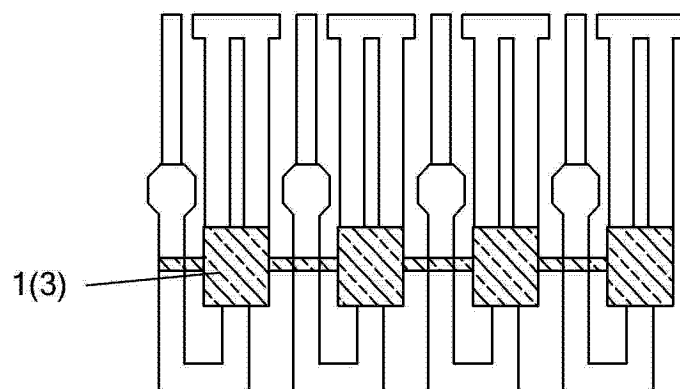


图 6

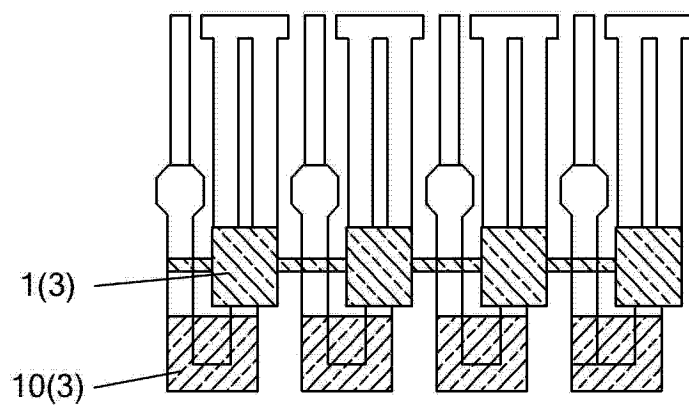


图 7

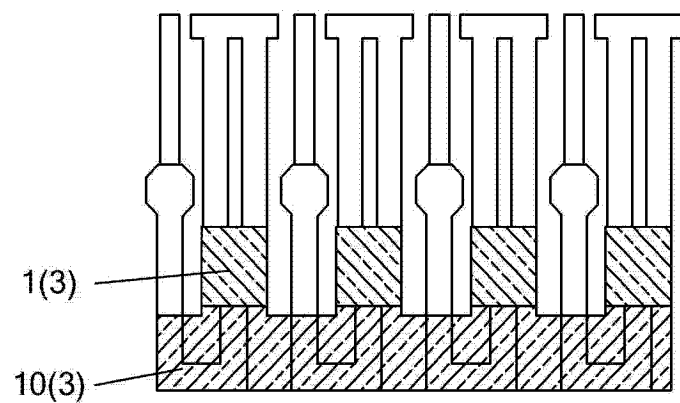


图 8

专利名称(译)	像素单元结构、阵列基板和显示装置		
公开(公告)号	CN102981335A	公开(公告)日	2013-03-20
申请号	CN201210501139.5	申请日	2012-11-29
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	祁小敬 吴博 胡理科		
发明人	祁小敬 吴博 胡理科		
IPC分类号	G02F1/1362 G02F1/1368		
CPC分类号	H01L27/3244 H01L27/3248 H01L27/3265 G02F1/136213 H01L29/4908 H01L29/78633 H01L27/1255 H01L27/1218 H01L29/78654 H01L29/41733		
代理人(译)	申健		
优先权	201210459334.6 2012-11-15 CN		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例公开了一种像素单元结构、阵列基板和显示装置，涉及液晶显示器技术领域，该像素单元结构在实现存储电容的同时，保证像素单元的高开口率和低制作成本。该像素单元结构，包括薄膜晶体管TFT、第一遮蔽层，所述第一遮蔽层与TFT有源层的漏极区域相对，所述第一遮蔽层连接至阵列基板的公共电极，与所述有源层的漏极区域之间形成电容。

