



(12) 发明专利申请

(10) 申请公布号 CN 102707525 A

(43) 申请公布日 2012. 10. 03

(21) 申请号 201210164588. 5

(22) 申请日 2012. 05. 24

(71) 申请人 北京京东方光电科技有限公司

地址 100176 北京市大兴区经济技术开发区  
西环中路 8 号

(72) 发明人 段欣

(74) 专利代理机构 北京同达信恒知识产权代理  
有限公司 11291

代理人 黄志华

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/133(2006. 01)

H01L 27/02(2006. 01)

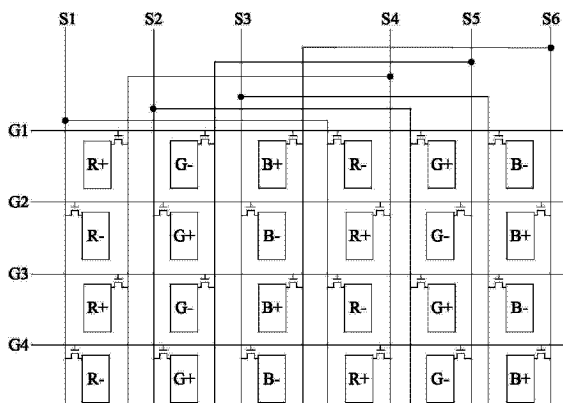
权利要求书 1 页 说明书 10 页 附图 7 页

(54) 发明名称

一种阵列基板、液晶显示面板和液晶显示装置

(57) 摘要

本发明实施例涉及液晶显示技术领域, 特别涉及一种阵列基板、液晶显示面板和液晶显示装置, 用于解决现有的阵列基板中亚像素进行反转模式驱动时, 在彩色显示画面下, 会造成能量的损耗的问题。本发明实施例的阵列基板, 包括: 设置于衬底基板上的数据线、栅线及像素阵列; 每条数据线连接像素阵列中至少一种类型的亚像素, 且连接于同一条数据线上的同一类型的亚像素的极性相同, 且同一条数据线上连接的每个亚像素连接于不同的栅线。本发明实施例通过改变阵列基板中亚像素与数据线和栅线的连接方式, 使阵列基板在极性反转模式驱动时, 能够大大降低能量的损耗。



1. 一种阵列基板,其特征在于,该阵列基板包括:  
设置于衬底基板上的数据线、栅线及像素阵列;  
其中,每条所述数据线连接所述像素阵列中至少一种类型的亚像素,且连接于同一条数据线上的同一类型的亚像素的极性相同,且同一条数据线上连接的每个亚像素连接于不同的栅线。
2. 如权利要求 1 所述的阵列基板,其特征在于,所述像素阵列中同一像素列中的所有亚像素的类型相同,且相邻两个像素列中的亚像素的类型不同。
3. 如权利要求 2 所述的阵列基板,其特征在于,每条所述数据线连接至少一个像素列中类型相同且极性相同的亚像素。
4. 如权利要求 3 所述的阵列基板,其特征在于,每条所述数据线连接两个像素列中类型相同且极性相同的亚像素。
5. 如权利要求 2 所述的阵列基板,其特征在于,每条所述数据线连接至少一个像素列的至少一个像素单元,且与同一条数据线连接的所有像素单元中同一类型的亚像素的极性相同;其中,每个所述像素单元至少包括 R 亚像素、G 亚像素和 B 亚像素。
6. 如权利要求 5 所述的阵列基板,其特征在于,每条所述数据线连接两个像素列中同一类型的亚像素的极性相同的像素单元。
7. 如权利要求 1 所述的阵列基板,其特征在于,所述像素阵列的同一像素行中的所有亚像素的类型相同,且每个像素列包括至少一个像素单元,其中每个所述像素单元至少包括 R 亚像素、G 亚像素和 B 亚像素。
8. 如权利要求 7 所述的阵列基板,其特征在于,每条所述数据线连接至少一个像素列的至少一个像素单元,且与同一条数据线连接的所有像素单元中同一类型的亚像素的极性相同。
9. 如权利要求 8 所述的阵列基板,其特征在于,每条所述数据线连接两个像素列中同一类型的亚像素的极性相同的像素单元。
10. 如权利要求 1~9 任一所述的阵列基板,其特征在于,所述亚像素的类型至少包括 R 亚像素、G 亚像素和 B 亚像素。
11. 一种液晶显示面板,其特征在于,该液晶显示面板包括如权利要求 1~10 任一所述的阵列基板。
12. 一种液晶显示装置,其特征在于,该液晶显示装置包括如权利要求 11 所述的液晶显示面板。

## 一种阵列基板、液晶显示面板和液晶显示装置

### 技术领域

[0001] 本发明涉及液晶显示技术领域,特别涉及一种阵列基板、液晶显示面板和液晶显示装置。

### 背景技术

[0002] 液晶显示器(LCD,Liquid Crystal Display)具有功耗低、辐射低及制造成本低等特点,已被广泛应用于各种电子设备中,如显示器、电视、手机、数码相机等数字电子设备。其中,TFT-LCD(Thin Film Transistor Liquid Crystal Display,薄膜晶体管液晶显示器)是一种主要的平板显示装置(FPD,Flat Panel Display)。

[0003] 液晶显示器的显示原理是通过液晶分子的偏转来改变屏幕上显示的画面灰度。在液晶显示面板正常工作时,为了避免显示画面闪烁而影响显示画面的品质,液晶分子驱动一般采用正、负极性反转方式,常见的像素阵列极性反转方式为点反转(Dot Inversion)。

[0004] 点反转驱动模式要求液晶显示面板的阵列基板的像素阵列中的每个亚像素(R亚像素或G亚像素或B亚像素)所存储的电压极性(即亚像素的极性)都与其上下左右相邻的亚像素的极性相反,亚像素所存储的电压高于公共电极上的电压( $V_{com}$ )时称为正极性,亚像素所存储的电压低于 $V_{com}$ 时称为负极性;点反转驱动模式下,阵列基板中亚像素与数据线和栅线的连接的结构如图1所示,阵列基板的像素阵列中的每个亚像素通过TFT晶体管分别与数据线( $S1\sim S6$ )和栅线( $G1\sim G4$ )连接,像素阵列中位于同一水平位置的亚像素为一像素行,位于同一垂直位置的亚像素为一像素列;每一根数据线( $S1\sim S6$ )连接一种类型的亚像素,如数据线 $S1$ 连接正极性的R亚像素和负极性的R亚像素,数据线 $S2$ 连接正极性的G亚像素和负极性的G亚像素等,点反转方式下,每条数据线所连接的亚像素在每一次行扫描时都会进行正、负偏转电压的切换;但点反转方式下,由于数据线上的驱动电压始终在最大的幅值下进行切换,则液晶分子频繁的偏转会造成能量的损耗,进而增大液晶显示面板的整体功耗,如图2所示,在红色显示画面下,以数据线 $S2$ 为例,在一个时钟周期内,数据线 $S2$ 上的驱动电压始终在 $\Gamma_{14}$ (最大Gamma电压)和 $\Gamma_{14}$ (最小Gamma电压)之间进行切换,在这样的频繁偏转过程中会造成能量的大量损耗,从而增大液晶显示面板的整体功耗。

[0005] 为了解决上述问题,提出了Z型反转(Z-Inversion),Z型反转驱动模式下,需要将阵列基板的像素阵列中相邻两列中极性相同的亚像素连接到同一条数据线上。传统的Z型反转驱动模式下,阵列基板中亚像素与数据线和栅线的连接结构如图3所示,数据线 $S1$ 连接第一列中的负极性的R亚像素,数据线 $S2$ 连接第一列和第二列中的正极性的R亚像素和G亚像素,数据线 $S3$ 连接第二列和第三列中的负极性的G亚像素和B亚像素,……,数据线 $S7$ 连接第六列中的负极性的B亚像素。Z型反转方式仅能在黑色和白色显示画面下的降低功耗,在彩色显示画面下,数据线上的电压仍然会发生比较大的电位变化,如图4所示,同样以红色画面为例,在一个时钟周期内,数据线 $S2$ 上的驱动电压始终在 $\Gamma_{14}$ (最大Gamma电压)和 $V_{com}$ (公共电极上的电压)之间进行切换,在这样的频繁偏转过程中会仍会

造成能量的损耗,从而增大液晶显示面板的整体功耗。

[0006] 综上所述,现有的阵列基板中亚像素与数据线和栅线的连接结构进行反转模式驱动时,在彩色显示画面下,会造成能量的损耗,从而增大液晶显示面板的整体功耗。

### 发明内容

[0007] 本发明实施例提供了一种阵列基板、液晶显示面板和液晶显示装置,用于解决现有的阵列基板中亚像素与数据线和栅线的连接结构进行反转模式驱动时,在彩色显示画面下,会造成能量的损耗,从而增大液晶显示面板的整体功耗的问题。

[0008] 本发明实施例提供了一种阵列基板,包括:

[0009] 设置于衬底基板上的数据线、栅线及像素阵列;

[0010] 其中,每条所述数据线连接所述像素阵列中至少一种类型的亚像素,且连接于同一条数据线上的同一类型的亚像素的极性相同且连接于不同的栅线。

[0011] 本发明实施例提供了一种包括上述阵列基板的液晶显示面板。

[0012] 本发明实施例提供了一种包括上述液晶显示面板的液晶显示装置。

[0013] 本发明实施例阵列基板中每条数据线连接至少一种类型的亚像素,且连接在同一条数据线上的同一类型的亚像素的极性相同且连接于不同的栅线,通过改变阵列基板中亚像素与数据线和栅线的连接方式,使阵列基板在极性反转模式驱动时,能够大大降低能量的损耗,即使在彩色显示画面下,也能够大大降低能量的损耗,从而降低了液晶显示面板的整体功耗。

### 附图说明

[0014] 图 1 为背景技术中第一种阵列基板的结构示意图;

[0015] 图 2 为背景技术中第一种阵列基板中的亚像素进行反转时数据线上的电压示意图;

[0016] 图 3 为背景技术中第二种阵列基板的结构示意图;

[0017] 图 4 为背景技术中第二种阵列基板中的亚像素进行反转时数据线上的电压示意图;

[0018] 图 5 为本发明实施例的第一种阵列基板的结构示意图;

[0019] 图 6 为本发明实施例的第二种阵列基板的结构示意图;

[0020] 图 7 为本发明实施例的第一种阵列基板中的亚像素进行反转时数据线上的电压示意图;

[0021] 图 8 为本发明实施例的第三种阵列基板的结构示意图;

[0022] 图 9 为本发明实施例的第四种阵列基板的结构示意图;

[0023] 图 10 为本发明实施例的第五种阵列基板的结构示意图;

[0024] 图 11 为本发明实施例的第六种阵列基板的结构示意图;

[0025] 图 12 为本发明实施例的第七种阵列基板的结构示意图。

### 具体实施方式

[0026] 本发明实施例通过改变阵列基板中亚像素与数据线和栅线的连接方式,使阵列基

板在极性反转模式驱动时,能够大大降低能量的损耗,即使在彩色显示画面下,也能够大大降低能量的损耗,从而降低了液晶显示面板的整体功耗。

[0027] 本发明实施例阵列基板包括:

[0028] 设置于衬底基板上的数据线(source line)、栅线(gate line)及像素阵列,其中,每条数据线连接该像素阵列中至少一种类型的亚像素,且连接于同一条数据线上的同一类型的亚像素的极性相同且连接于不同的栅线。

[0029] 本发明实施例像素阵列中的每个像素单元包括至少三种不同类型的亚像素,即 R (Red, 红色) 亚像素、G (Green, 绿色) 亚像素和 B (Blue, 蓝色) 亚像素;

[0030] 本发明实施例阵列基板的数据线和栅线纵横交叉形成多个像素区域,每个像素区域中包括一个亚像素和一个开关元件(如薄膜晶体管 TFT), TFT 晶体管的栅极与阵列基板的栅线连接, TFT 晶体管的源极与阵列基板的数据线连接, TFT 晶体管的漏极与阵列基板的亚像素连接,其中,本发明实施例阵列基板中的所有亚像素按特定方式进行排列,从而形成像素阵列。

[0031] 下面结合说明书附图对本发明实施例阵列基板作进一步详细描述。需要说明的是,以下实施例均以亚像素的类型包括 R 亚像素、G 亚像素和 B 亚像素为例进行说明,其他情况与此类似,此处不再一一举例说明;另外,为了便于说明本发明实施例的结构,本发明实施例提供的附图均是以特定数量的数据线、栅线、亚像素为例进行说明的,该数量并非是对阵列基板中的数据线、栅线及亚像素数量的限定;阵列基板中的数据线、栅线及亚像素的数量是根据产品的设计需要而设定的。

[0032] 实施例一、本发明实施例阵列基板包括:设置于衬底基板上的多条数据线、多条栅线及像素阵列,像素阵列中的每个亚像素通过开关元件分别与数据线和栅线连接;该阵列基板的像素阵列的同一像素列中的所有亚像素的类型相同,相邻两个像素列中的亚像素的类型不同,并且任一亚像素的极性与该亚像素相邻的且位于像素阵列的同一像素行及同一像素列的亚像素的极性相反;

[0033] 如图 5 所示,本发明实施例的第一种阵列基板,其像素阵列为 4 (行) × 6 (列),第一像素列中的亚像素均为 R 亚像素,第二像素列中的亚像素均为 G 亚像素,第三像素列中的亚像素均为 B 亚像素,第四像素列中的亚像素均为 R 亚像素,依次类推;

[0034] 其中,像素阵列中任一亚像素的极性与该亚像素相邻的且位于像素阵列的同一像素行及同一像素列的亚像素的极性相反,如图 5 所示的像素阵列中位于第二像素行第二像素列的 G 亚像素的极性为正极性(G+),与其相邻的且位于同一像素行(即第二像素行)的亚像素为位于第二像素行第一像素列的负极性 R 亚像素(R-) 及位于第二像素行第三像素列的负极性 B 亚像素(B-),与其相邻的且位于同一像素列(即第二像素列)的亚像素为位于第一像素行第二像素列的负极性 G 亚像素(G-) 及位于第三像素行第二像素列的负极性 G 亚像素(G-)。

[0035] 本实施例中每条数据线连接至少一个像素列中类型相同且极性相同的亚像素,且与同一条数据线连接的亚像素连接于不同的栅线。如图 5 所示的第一种阵列基板,其数据线 S1 连接负极性 R 亚像素,数据线 S2 连接正极性 G 亚像素,数据线 S3 连接负极性 B 亚像素,数据线 S4 连接正极性 R 亚像素,数据线 S5 连接负极性 G 亚像素,数据线 S6 连接正极性 B 亚像素;栅线 G1~G4 分别连接像素阵列中第一像素行、第二像素行、第三像素行和第四像素

素行。

[0036] 优选的,每条数据线连接两个像素列中类型相同且极性相同的亚像素。

[0037] 如图 5 所示的第一种阵列基板,数据线 S1 连接第一像素列中的负极性 R 亚像素(R-)和第四像素列中的 R-,数据线 S2 连接第二像素列中的正极性 G 亚像素(G+)和第五像素列中的 G+,数据线 S3 连接第三像素列中的负极性 B 亚像素(B-)和第六像素列中的 B-,数据线 S4 连接第一像素列中的正极性 R 亚像素(R+)和第四像素列中的 R+,数据线 S5 连接第二像素列中的负极性 G 亚像素(G-)和第五像素列中的 G-,数据线 S6 连接第三像素列中的正极性 B 亚像素(B+)和第六像素列中的 B+。

[0038] 如图 6 所示的第二种阵列基板,其像素阵列为 4 (行)×12 (列),数据线 S1 连接第一像素列中的 R- 和第四像素列中的 R-,数据线 S2 连接第二像素列中 G+ 和第五像素列中的 G+,数据线 S3 连接第三像素列中的 B- 和第六像素列中的 B-,数据线 S4 连接第一像素列中的 R+ 和第四像素列中的 R+,数据线 S5 连接第二像素列中的 G- 和第五像素列中的 G-,数据线 S6 连接第三像素列中的 B+ 和第六像素列中的 B+,依次类推。

[0039] 需要说明的是,只要能够保证同一条数据线连接的同一种类型的亚像素连接于不同的栅线,同一条数据线可以连接任意两个像素列;如图 6 中的数据 S1 还可以连接第一像素列中的 R+ 和第十像素列中的 R+;但图 6 中的数据 S1 不能连接第一像素列中的 R+ 和第七像素列中的 R+。

[0040] 需要说明的是,图 5 和图 6 所示的实施例均以同一条数据线连接两个同类型像素列中极性相同的亚像素为例进行说明的,同一条数据线连接三个及三个以上同类型像素列中极性相同的亚像素的情况与其类此,此处不再赘述。

[0041] 优选的,本实施例的每条数据线连接两个像素列中类型相同且极性相同的亚像素,且与该数据线连接的所有亚像素连接不同的栅线。

[0042] 以图 5 所示的第一种阵列基板为例,对其亚像素进行反转时数据线上的电压进行说明。

[0043] 与第一种阵列基连接的 TCON (Timing Controller, 时序控制器) 内部进行数据的色度控制等处理时,会将显示画面按照各亚像素转换为对应的 TTL (Transistor-to-Transistor Logic) 数字信号,在 TTL 数字信号输出之前再将其转换为 mini-LVDS (LVDS, Low Voltage Differential Signaling) 格式,即依照需要加载到液晶显示面板上的亚像素顺序,将各数字信号按照 mini-LVDS 的格式进行映射,并将处理后的数据信号、控制信号及时钟信号传送至 Source Driver IC (源驱动器 IC), TCON 的功能是色度控制和时序控制,具有数据反转、像素极性反转功能。

[0044] 图 5 所示的第一种阵列基板 TCON 采用如表 1 所示的 Data mapping (数据映射),以 1366\*768 分辨率为例进行说明;

[0045]

	1st Line					2nd Line				
LV0	2R	4R	6R	.....	1366R	1R	3R	5R	.....	1365R
LV1	2G	4G	6G	.....	1366G	1G	3G	5G	.....	1365G
LV2	2B	4B	6B	.....	1366B	1B	3B	5B	.....	1365B
LV3	1R	3R	5R	.....	1365R	2R	4R	6R	.....	1366R
LV4	1G	3G	5G	.....	1365G	2G	4G	6G	.....	1366G
LV5	1B	3B	5B	.....	1365B	2B	4B	6B	.....	1366B

[0046] 表 1

[0047] 其中,表 1 中所示的 LV0~LV5 分别表示 mini-LVDS 信号的六对差分数据线 S1~S6,表 1 中各单元格的内容表示 mini-LVDS 信号线上传输的数据,一列单元格中的数据表示同一时刻由 TCON 传输到 Driver IC 时需要显示的内容;1st Line 表示液晶显示面板扫描第一像素行时,数据线上需要加载的数据,2ndLine 表示液晶显示面板扫描第二像素行时,数据线上需要加载的数据,依次类推;其中,每个单元格内的数字部分表示亚像素在像素阵列中对应的位置。

[0048] 采用表 1 所示的 Data mapping,第一像素行对应的 TFT 开启时,S1~S6 数据线上依次对应表 1 中第一列的数据,即 2R、2G、2B、1R、1G、1B,依次类推,通过阵列基板上数据线,将电压信号加载到该数据线连接的第一像素行中的各亚像素。

[0049] 如图 5 所示的第一种阵列基板中的亚像素进行反转时,数据线上的电压变化如图 7 所示,同样以红色显示画面为例,在一个时钟周期内,数据线 S2 上的驱动电压能够在较长的时间内保持在 Gamma1 电压,大大减小了能量的损耗,从而能够降低液晶显示器的整体功耗。

[0050] 同时图 5 所示的第一种阵列基板与背景技术中图 3 所示的阵列基板相比,在相同分辨率下,图 5 所示的第一种阵列基板采用六条数据线,而图 3 所示的阵列基板采用七条数据线,即需要额外添加一条数据线,通常 Driver IC 通道数与显示像素的数量一一对应,图 5 所示的连接方法不需要额外的数据线,传统的 Driver IC 即可使用,而背景技术中图 3 所示的阵列基板中需要额外的至少一个数据通道,则需要传统的 Driver IC 基础上修改增加通道数,因此,图 5 所示的第一种阵列基板增强了 Source Driver IC 的通用性。

[0051] 实施例二、其阵列基板的像素阵列的排列与实施例一相同,该阵列基板还包括额外增加的至少三条特殊数据线,额外增加的特殊数据线的数量与亚像素类型的数量相等,例如,若亚像素类型包括三种(R 亚像素、G 亚像素和 B 亚像素),则需要额外增加三条数据线;又如,若亚像素类型包括四种(R 亚像素、G 亚像素、B 亚像素和 W 亚像素),则需要额外增加四条数据线;本实施例以亚像素类型包括 R 亚像素、G 亚像素和 B 亚像素为例进行说明,其他情况与此类似,此处不再赘述。

[0052] 该阵列基板额外增加的三条特殊数据线分别为第一特殊数据线、第二特殊数据线和第三特殊数据线;其中,第一特殊数据线、第二特殊数据线与第三特殊数据线分别与同一像素单元中的不同类型的亚像素连接,且与第一特殊数据线、第二特殊数据线与第三特殊数据线连接的所有像素单元中同一类型的亚像素极性相同,且与第一特殊数据线、第二特殊数据线与第三特殊数据线连接的所有像素单元中的亚像素分别位于第一像素列、第二像素列和第三像素列。

[0053] 如图 8 所示的本发明实施例第三种阵列基板,包括:数据线 S1~S6、栅线 G1~G3 和像素阵列 (3×6),其中像素阵列中的每个亚像素通过开关元件分别与数据线 S1~S6 和栅线 G1~G3 连接;

[0054] 该第三种阵列基板的像素阵列中同一像素列中的所有亚像素的类型相同,且该第三种阵列基板的任意相邻两个像素列中的亚像素的类型不同,如图 8 所示,第一像素列中的亚像素均为 R 亚像素,第二像素列中的亚像素均为 G 亚像素,第三像素列中的亚像素均为 B 亚像素,依次类推;且该第三种阵列基板的像素阵列中任一亚像素的极性与该亚像素相邻的且位于像素阵列的同一像素行及同一像素列的亚像素的极性相反;

[0055] 该第三种阵列基板还包括额外增加的三条特殊数据线,如图 8 所示,第一特殊数据线 Sa、第二特殊数据线 Sb 和第三特殊数据线 Sc;其中,第一特殊数据线 Sa 与像素阵列的第一像素列第二像素行中的 R- 连接,第二特殊数据线 Sb 与第二像素列第二像素行中的 G+ 连接,第三特殊数据线 Sc 与第三像素列第二像素行中的 B- 连接,位于同一像素行且位于相邻的三个像素列的亚像素组成一个像素单元,如图 8 中位于第一像素行且分别位于第一像素列、第二像素列和第三像素列的 R+、G- 和 B+ 组成一个像素单元,位于第二像素行且分别位于第一像素列、第二像素列和第三像素列的 R+、G- 和 B+ 组成一个像素单元,依次类推;

[0056] 当然,阵列基板中的第一特殊数据线 Sa 也可以与像素阵列的第一像素列中的 R+ 连接,第二特殊数据线 Sb 也可以与第二像素列中同 G- 连接,第三特殊数据线 Sc 与第三像素列中 B+ 连接。

[0057] 该第三种阵列基板的数据线 S1~S6、栅线 G1~G3 与像素阵列中的各个亚像素的连接与图 5 所示的阵列基板类似,此处不再赘述。

[0058] 图 8 所示的第三种阵列基板对应的 Data mapping 如表 2 所示,仍以 1366\*768 分辨率为例进行说明。

[0059]

	1st Line						2nd Line					
LV0	DUMMY	2R	4R	.....	1364R	1366R	1R	3R	5R	.....	1365R	DUMMY
LV1	DUMMY	2G	4G	.....	1364G	1366G	1G	3G	5G	.....	1365G	DUMMY
LV2	DUMMY	2B	4B	.....	1364B	1366B	1B	3B	5B	.....	1365B	DUMMY
LV3	1R	3R	5R	.....	1365R	DUMMY	2R	4R	6R	.....	1366R	DUMMY
LV4	1G	3G	5G	.....	1365G	DUMMY	2G	4G	6G	.....	1366G	DUMMY
LV5	1B	3B	5B	.....	1365B	DUMMY	2B	4B	6B	.....	1366B	DUMMY

[0060] 表 2

[0061] 需要说明的是,表 2 中各物理量含义与表 1 相同,此处不再赘述。其中,在显示信号前端增加 DUMMY (空) 信号,如图 8 所示的阵列基板,第一像素行的亚像素加载信号时,由于数据线 Sa~Sc 没有连接第一像素行中的亚像素,因此需要在显示的有效数据前插入 DUMMY (空) 信号。以上数据处理的过程,皆在 TCON 内部进行数据映射的阶段完成。

[0062] 如图 9 所示的本发明实施例第四种阵列基板,包括:数据线 S1~S9、栅线 G1~G3 和像素阵列 (3×9),其中像素阵列中的每个亚像素通过开关元件分别与数据线 S1~S9 和栅线 G1~G3 连接;

[0063] 如图 9 所示的第四种阵列基板的像素阵列中同一像素列中的所有亚像素的类型相同,且该第三种阵列基板的任意相邻两个像素列中的亚像素的类型不同;且任一亚像素

的极性与该亚像素相邻的且位于像素阵列的同一像素行及同一像素列的亚像素的极性相反；

[0064] 如图 9 所示的第四种阵列基板还包括额外增加的三条数据线,即第一特殊数据线 Sa、第二特殊数据线 Sb 和第三特殊数据线 Sc ;其中,第一特殊数据线 Sa 与像素阵列的第一像素列及第二像素行中的 R- 连接,第二特殊数据线 Sb 与第二像素列第二像素行中的 G+ 连接,第三特殊数据线 Sc 与第三像素列第二像素行中的 B- 连接 ;当然,本实施例的第一特殊数据线 Sa 也可以与像素阵列的第一像素列第一像素行中的 R+ 连接,第二特殊数据线 Sb 也可以与第二像素列第一像素行中的 G- 连接,第三特殊数据线 Sc 与第三像素列第一像素行中的 B+ 连接。

[0065] 该第四种阵列基板的数据线 S1~S9、栅线 G1~G3 与像素阵列中的各个亚像素的连接与图 5 所示的阵列基板类似,此处不再赘述。

[0066] 优选的,本实施例阵列基板中每条数据线(不包括额外增加的特殊数据线)连接两个像素列中类型相同且极性相同的亚像素,且与该数据线连接的所有亚像素连接不同的栅线。

[0067] 具体的,可以将三个相邻且分别包含 R 亚像素、G 亚像素和 B 亚像素的像素列设为一组,依次将多个像素列分成多个组,则与同一条数据线连接的至少两个像素列可以是相邻的组中亚像素类型相同的像素列,如图 8 和图 9 所示的阵列基板,也可以是不相邻的组中亚像素类型相同的像素列。

[0068] 需要说明的是,图 8 和图 9 所示的实施例均以同一条数据线连接两个同类型像素列中极性相同的亚像素为例进行说明的,同一条数据线连接三个及三个以上同类型像素列中极性相同的亚像素的情况与其类此,此处不再赘述。

[0069] 本发明实施例二的阵列基板在现有的阵列基板(图 1 所示的阵列基板)的基础上额外增加了三条数据线,分别连接像素的 R、G、B 三个亚像素 ;与实施例一的阵列基板的连接方式相比,其优点在于 Array 走线区域更容易实现,可以兼容使用常规 Z-Inversion Data mapping。

[0070] 实施例三、本实施例提供的阵列基板包括 :设置于衬底基板上的数据线、栅线及像素阵列,像素阵列中的每个亚像素通过开关元件分别与数据线和栅线连接 ;本实施例阵列基板的像素阵列的排列方式与实施例一不同,本实施例像素阵列中位于同一像素行中的所有亚像素的类型相同,且每个像素列包括至少一个像素单元,其中每个所述像素单元至少包括 R 亚像素、G 亚像素和 B 亚像素。

[0071] 本实施例阵列基板中每条数据线连接至少一个像素列的至少一个像素单元,且与同一条数据线连接的所有像素单元中同一类型的亚像素的极性相同。

[0072] 如图 10 所示的第五种阵列基板,包括 :数据线 S1~S4、栅线 G1~G9 和像素阵列,其中像素阵列为 9 (行)×3 (列),第一像素行中的亚像素均为 R 亚像素,第二像素行中的亚像素均为 G 亚像素,第三像素行中的亚像素均为 B 亚像素,第四像素行中的亚像素均为 R 亚像素,依次类推 ;第一像素列包括三个像素单元,第一个像素单元包括第一像素行第一像素列中的 R+、第二像素行第一像素列中的 G- 和第三像素行第一像素列中的 B+ ;第二个像素单元包括第四像素行第一像素列中的 R-、第五像素行第一像素列中的 G+ 和第六像素行第一像素列中的 B- ;第三个像素单元包括第七像素行第一像素列中的 R+、第八像素行第一像素列

中的 G- 和第九像素行第一像素列中的 B+, 依次类推。

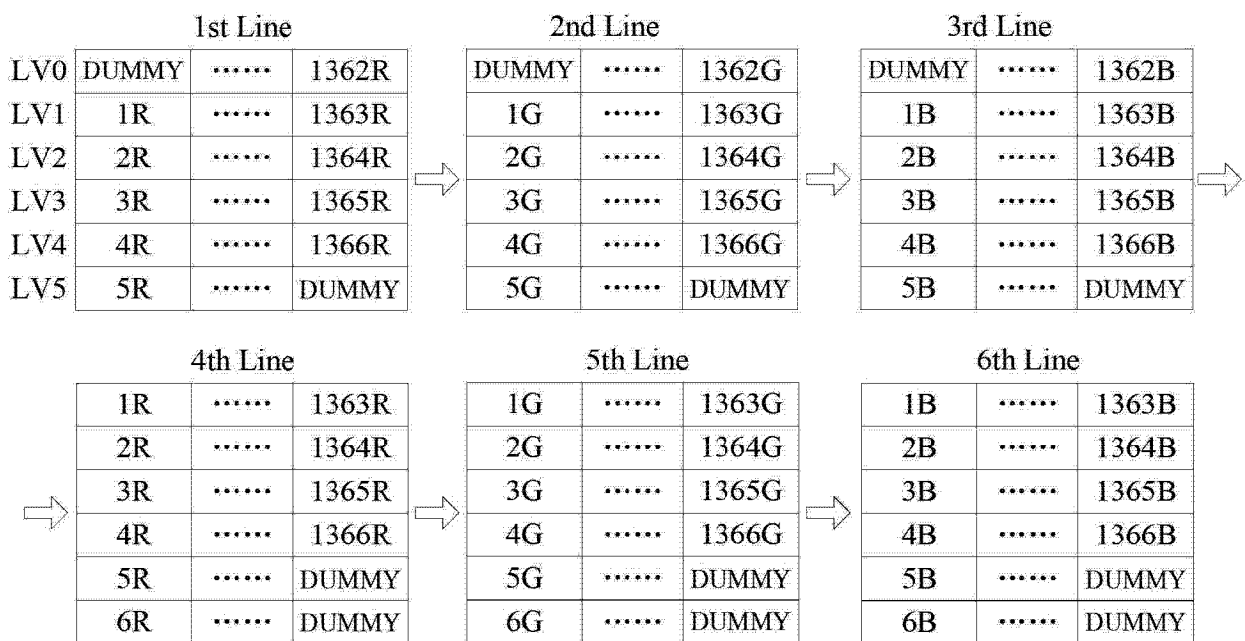
[0073] 本实施例数据线 S1 连接第一像素列的第二个像素单元 ; 数据线 S2 连接第一像素列的第一个像素单元、第三个像素单元和第二像素列的第二个像素单元, 依次类推 ; 其中, 与每条数据线连接的所有像素单元中同一类型的亚像素的极性相同, 如图 10 所示, 与数据线 S2 连接的三个像素单元中 R 亚像素均为负极、G 亚像素均为正极和 B 亚像素均为负极。

[0074] 优选的, 每条数据线连接两个像素列中同一类型的亚像素的极性相同的像素单元 ; 如图 10 所示, 数据线 S2 连接第一像素列和第二像素列中的像素单元, 数据线 S3 连接第二像素列和第三像素列中的像素单元。

[0075] 需要说明的是, 与同一条数据线连接的两个像素列可以为相邻的像素列, 也可以为不相邻的像素列。

[0076] 图 10 所示的第五种阵列基板对应的 Data mapping 如表 3 所示。

[0077]



[0078] 表 3

[0079] 表 3 中各物理量的含义与表 1、表 2 相同, 此处不再赘述。由于图 10 所示的阵列基板中像素阵列的排列方式与图 5 和图 8 所示的阵列基板不同, 图 10 所示的像素阵列中同一像素行的亚像素类型相同, 如第一像素行为 R 亚像素, 第二像素行为 G 亚像素, 第三像素行为 B 亚像素, 依次类推。因此, 在 TCON 内部进行数据映射时, 将第一像素行中所有的 R 亚像素数据映射到 mini-LVDS 的第一行对应的数据位上, 依次类推。

[0080] 本实施例阵列基板中像素阵列的像素列采用 R 亚像素、G 亚像素、B 亚像素依次垂直排列的方式, 将相邻的三个亚像素 (R 亚像素、G 亚像素和 B 亚像素) 作为一个整体, 并与数据线连接, 其优点在于改变像素阵列的排列方式, 能够进一步简化 Array 走线难度, 同时减少 source output channel 数量, 能够很大程度上降低成本。

[0081] 实施例四、本实施例提供的阵列基板的像素阵列的排列方式与实施例一相同, 但像素阵列中的每个亚像素与数据线、栅线的连接方式不同, 具体为 :

[0082] 每条数据线连接至少一个像素列的至少一个像素单元, 且与同一条数据线连接的

所有像素单元中同一类型的亚像素的极性相同,其中,每个像素列包括至少一个像素单元,其中每个像素单元包括 R 亚像素、G 亚像素和 B 亚像素。

[0083] 如图 11 所示的第六种阵列基板,包括:数据线 S<sub>1</sub>~S<sub>3</sub>、栅线 G<sub>1</sub>~G<sub>9</sub> 和像素阵列,其中像素阵列为 3 (行)×6 (列),第一像素列中的亚像素均为 R 亚像素,第二像素列中的亚像素均为 G 亚像素,第三像素列中的亚像素均为 B 亚像素,第四像素列中的亚像素均为 R 亚像素,依次类推;第一像素行包括两个像素单元,第一个像素单元包括第一像素行第一像素列的 R<sup>+</sup>、第一像素行第二像素列的 G<sup>-</sup> 和第一像素行第三像素列的 B<sup>+</sup>;第二像素单元包括第一像素行第四像素列的 R<sup>-</sup>、第一像素行第五像素列的 G<sup>+</sup> 和第一像素行第六像素列的 B<sup>-</sup>;依次类推;

[0084] 本实施例中数据线 S<sub>1</sub> 连接第二像素行的第一个像素单元;数据线 S<sub>2</sub> 连接第一像素行的第一个像素单元、第二像素行的第二个像素单元和第三像素行的第一个像素单元;数据线 S<sub>3</sub> 连接第一像素行的第二个亚像素组和第三像素行的第二个亚像素组;其中,与每条数据线连接的所有像素单元中同一类型的亚像素的极性相同,如图 11 所示,与数据线 S<sub>2</sub> 连接的所有像素单元中的 R 亚像素均为正极、G 亚像素均为负极和 B 亚像素均为正极。

[0085] 优选的,每条所述数据线连接两个像素列中同一类型的亚像素的极性相同的像素单元,如图 11 所示,数据线 S<sub>2</sub> 连接第一像素行、第二像素行和第三像素行中的像素单元,数据线 S<sub>3</sub> 连接第二像素列和第三像素列中的像素单元。

[0086] 需要说明的是,与同一条数据线连接的两个像素行可以为相邻的像素行,也可以为不相邻的像素行。

[0087] 本实施例的阵列基板与实施例三的阵列基板采用相同的 Data mapping,如表 3 所示,此处不再赘述。

[0088] 本实施例阵列基板中像素阵列的像素行采用 R 亚像素、G 亚像素、B 亚像素依次水平排列的方式,将相邻的三个亚像素(R 亚像素、G 亚像素和 B 亚像素)作为一个整体,并与数据线连接,能够进一步简化 Array 走线难度,同时减少 source output channel 数量,能够很大程度上降低成本。

[0089] 本发明实施例亚像素的类型至少包括 R 亚像素、B 亚像素和 G 亚像素,亚像素的类型还可能包括 W (White,白色) 亚像素、Y (Yellow,黄色) 亚像素等其他类型的亚像素。

[0090] 下面仅以图 5 的连接方式为例,对像素阵列包括 R 亚像素、B 亚像素、G 亚像素和 W 亚像素的阵列基板进行说明,需要说明的是,像素阵列包括其他类型亚像素或更多的亚像素类型都与此类似,此处不再一一举例;像素阵列包括其他类型亚像素或更多的亚像素类型的情况下,各亚像素与数据线及栅线的其他连接方式均与上述实施例类似,此处不再一一举例。

[0091] 如图 12 所示,本发明实施例的第七种阵列基板,其像素阵列为 4 (行)×8 (列),第一像素列中的亚像素均为 R 亚像素,第二像素列中的亚像素均为 G 亚像素,第三像素列中的亚像素均为 B 亚像素,第四像素列中的亚像素均为 W 亚像素,第五像素列中的亚像素均为 R 亚像素,依次类推;

[0092] 其中,像素阵列中任一亚像素的极性与该亚像素相邻的且位于像素阵列的同一像素行及同一像素列的亚像素的极性相反,如图 12 所示的像素阵列中位于第二像素行第二像素列的 G 亚像素的极性为正极性(G<sup>+</sup>),与其相邻的且位于同一像素行(即第二像素行)的

亚像素为位于第二像素行第一像素列的负极性 R 亚像素(R-) 及位于第二像素行第三像素列的负极性 B 亚像素(B-), 与其相邻的且位于同一像素列(即第二像素列)的亚像素为位于第一像素行第二像素列的负极性 G 亚像素(G-)及位于第三像素行第二像素列的负极性 G 亚像素(G-)。

[0093] 本实施例中每条数据线连接至少一个像素列中类型相同且极性相同的亚像素, 且与同一条数据线连接的亚像素连接于不同的栅线。如图 12 所示的阵列基板, 数据线 S1 连接负极性 R 亚像素, 数据线 S2 连接正极性 G 亚像素, 数据线 S3 连接负极性 B 亚像素, 数据线 S4 连接正极性 W 亚像素, 数据线 S5 连接正极性 R 亚像素, 数据线 S6 连接负极性 G 亚像素; 数据线 S7 连接正极性 B 亚像素; 数据线 S8 连接负极性 W 亚像素; 栅线 G1~G4 分别连接像素阵列中第一像素行、第二像素行、第三像素行和第四像素行。

[0094] 优选的, 每条数据线连接两个像素列中类型相同且极性相同的亚像素。

[0095] 如图 12 所示的阵列基板, 数据线 S1 连接第一像素列中的负极性 R 亚像素(R-)和第五像素列中的 R-, 数据线 S2 连接第二像素列中的正极性 G 亚像素(G+)和第六像素列中的 G+, 数据线 S3 连接第三像素列中的负极性 B 亚像素(B-)和第七像素列中的 B-, 数据线 S4 连接第四像素列中的正极性 W 亚像素(R+)和第八像素列中的 R+, 依次类推。

[0096] 本发明实施例提供了一种液晶显示面板, 包括上述任一结构的阵列基板。

[0097] 本发明实施例提供了一种液晶显示装置, 包括上述的液晶显示面板。

[0098] 尽管已描述了本发明的优选实施例, 但本领域内的技术人员一旦得知了基本创造性概念, 则可对这些实施例作出另外的变更和修改。所以, 所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。

[0099] 本发明实施例阵列基板中每条数据线连接至少一种类型的亚像素, 且连接在同一条数据线上的同一类型的亚像素的极性相同且连接于不同的栅线, 通过改变阵列基板中亚像素与数据线和栅线的连接方式, 使阵列基板在极性反转模式驱动时, 能够大大降低能量的损耗, 即使在彩色显示画面下, 也能够大大降低能量的损耗, 从而降低了液晶显示面板的整体功耗。

[0100] 显然, 本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样, 倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内, 则本发明也意图包含这些改动和变型在内。

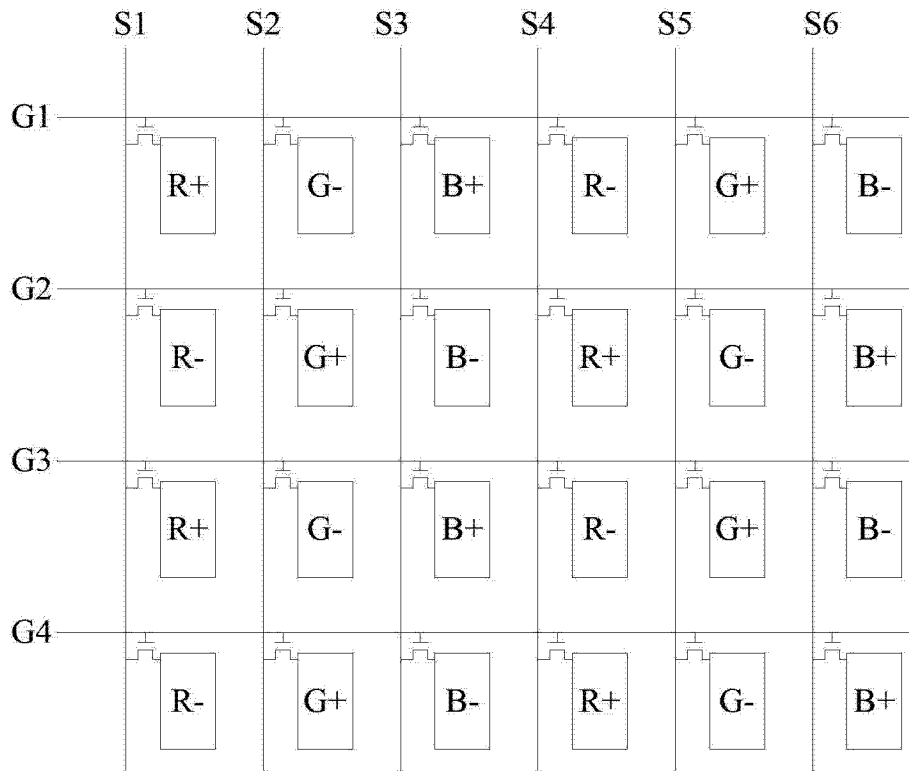


图 1

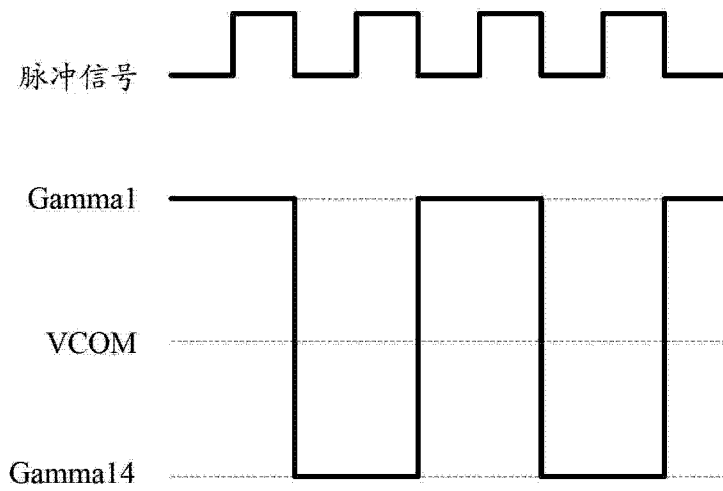


图 2

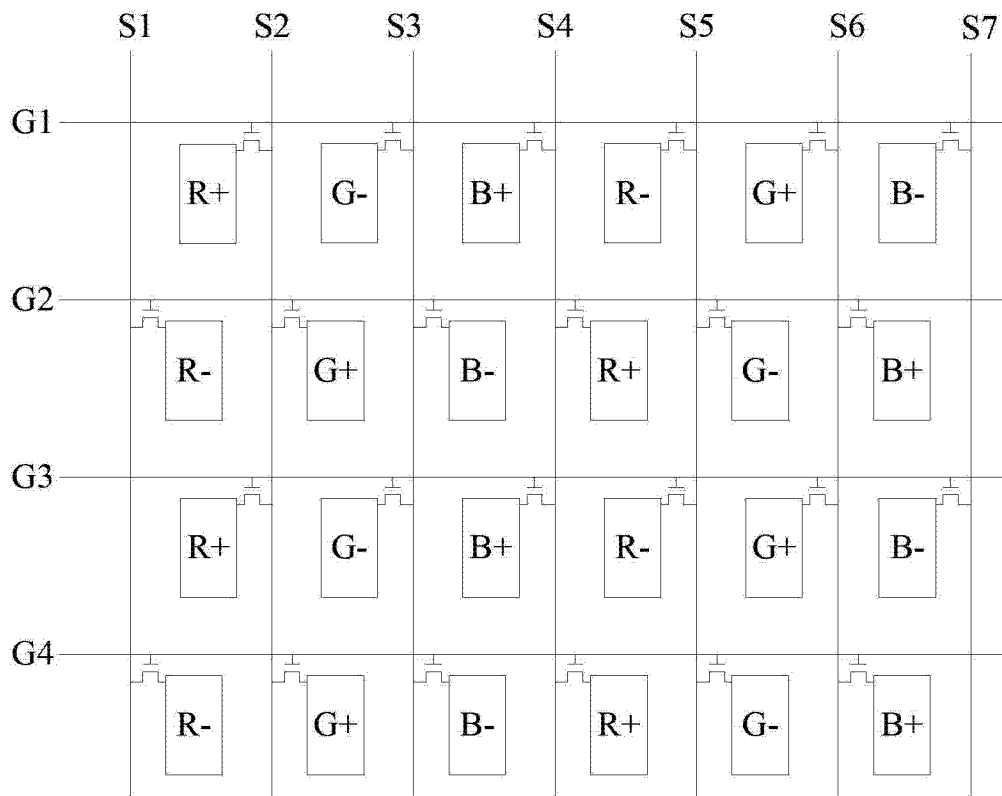


图 3

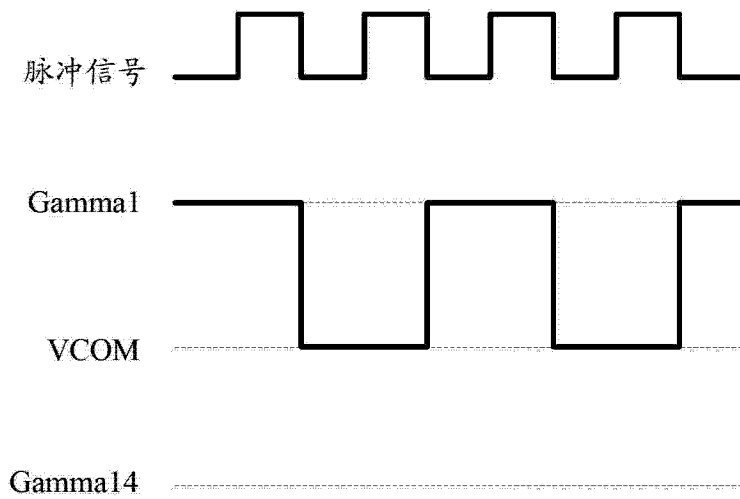


图 4

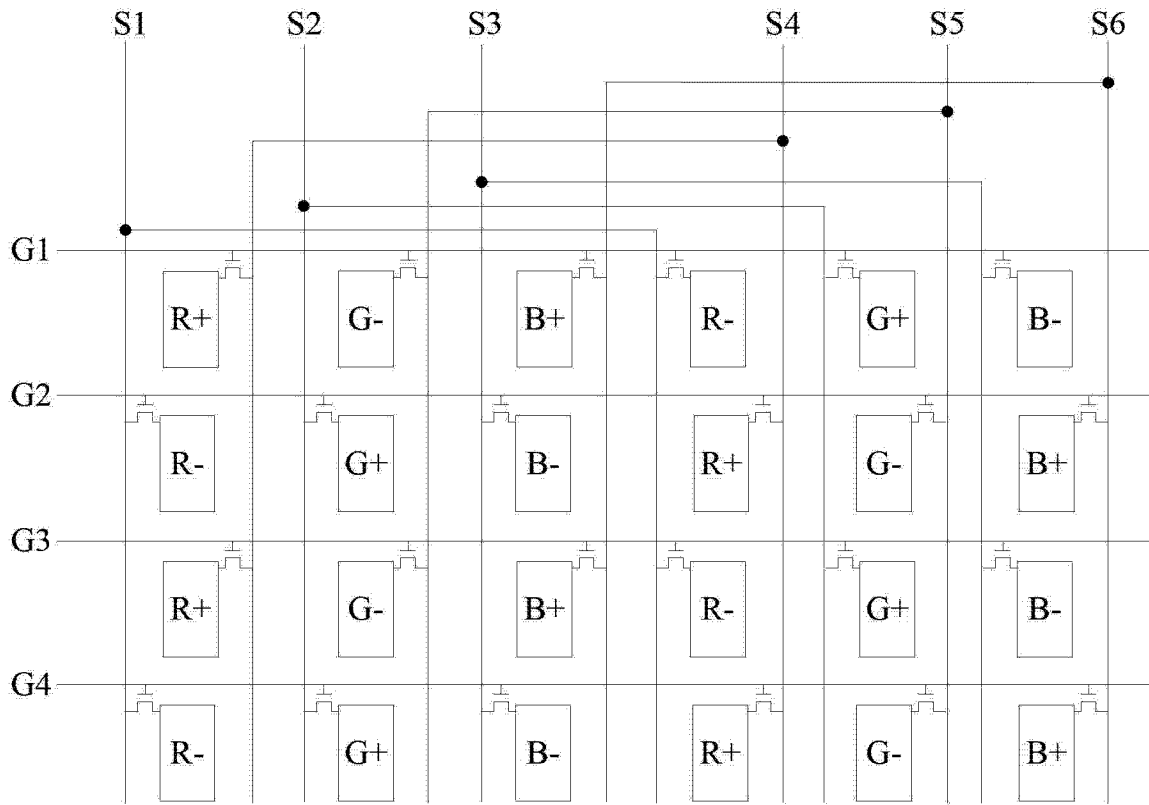


图 5

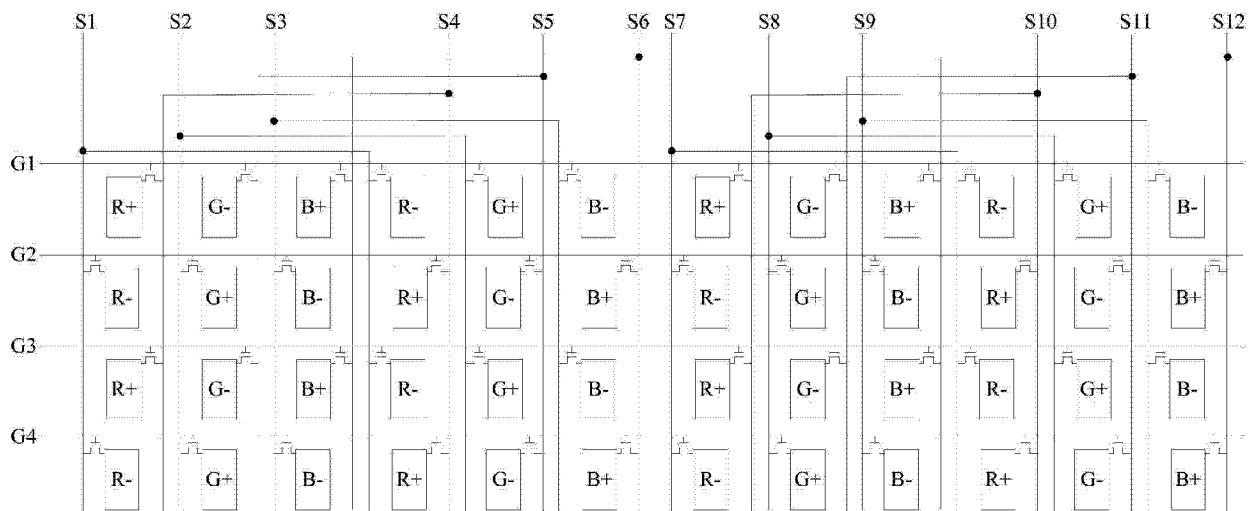


图 6

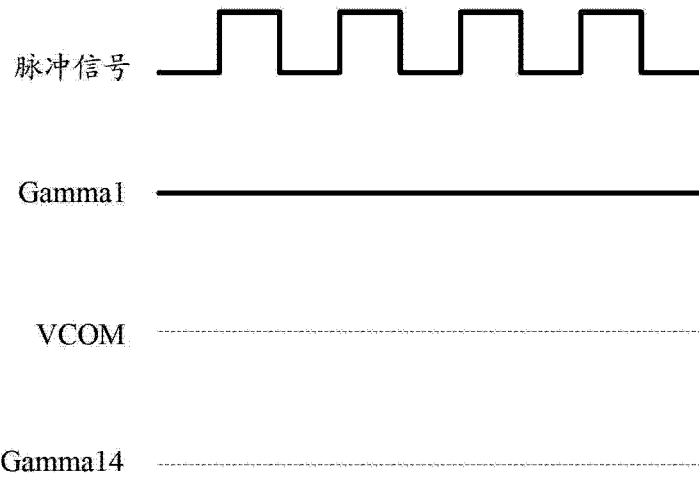


图 7

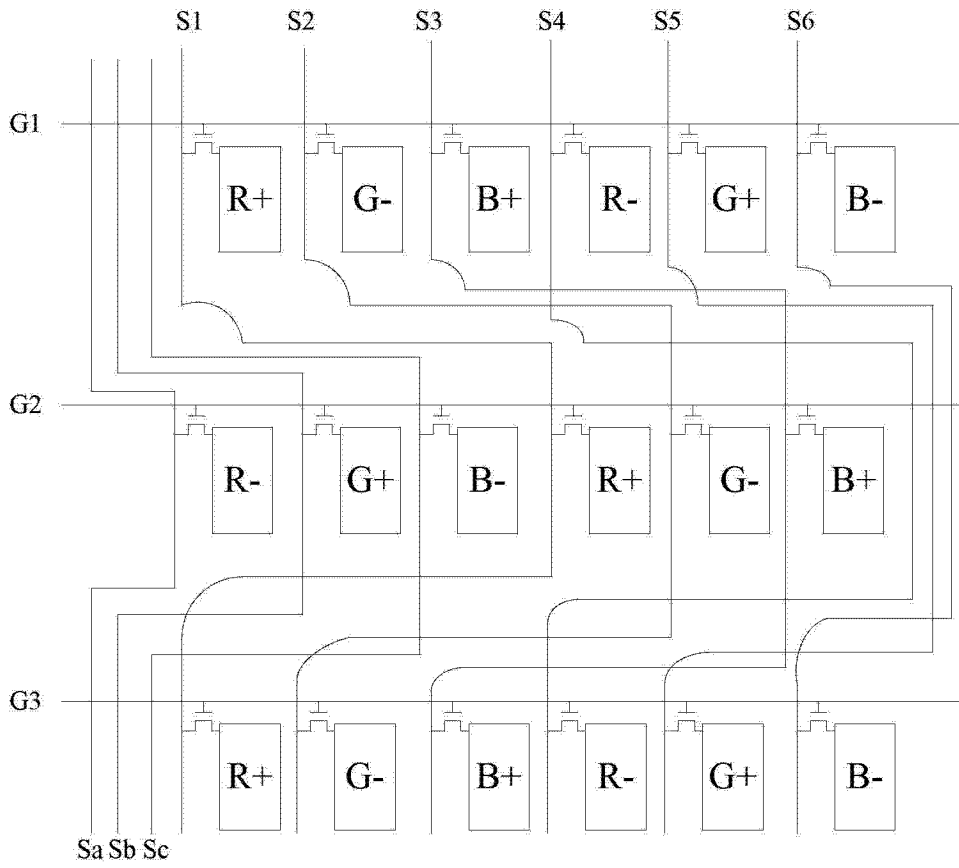


图 8

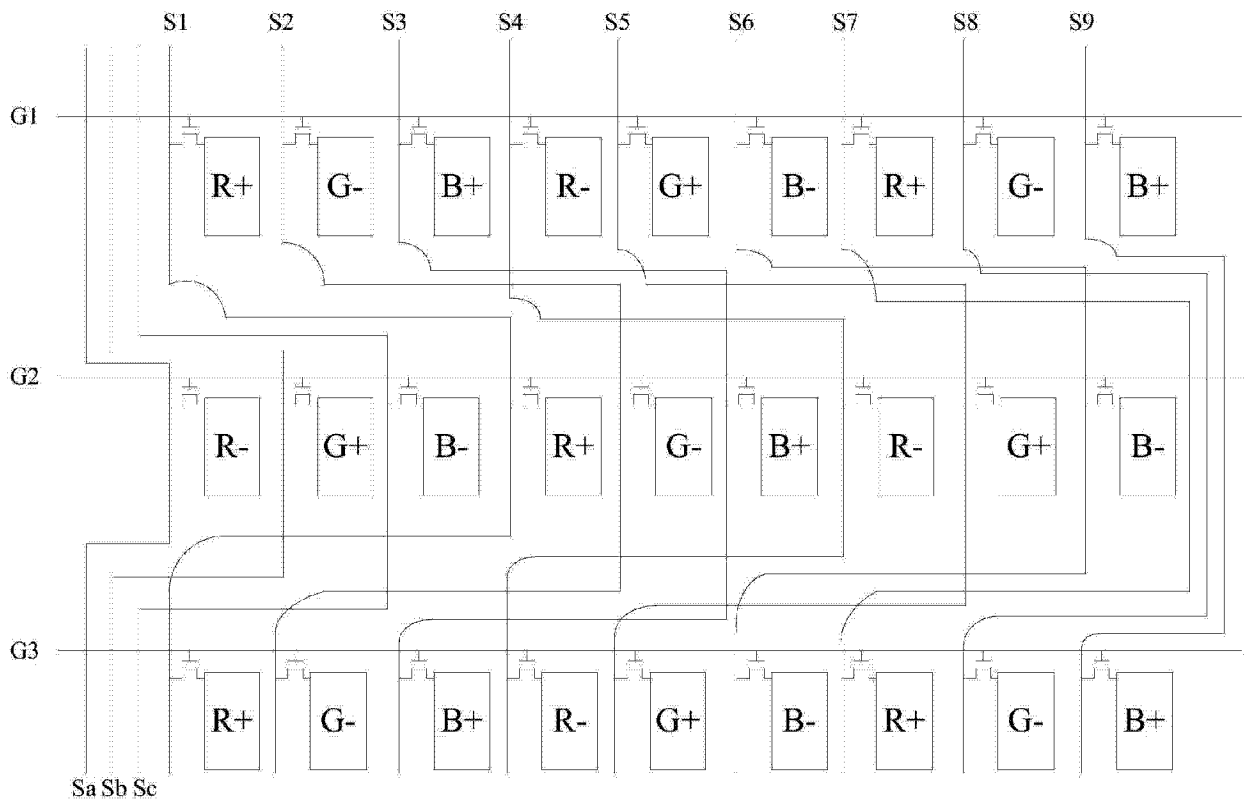


图 9

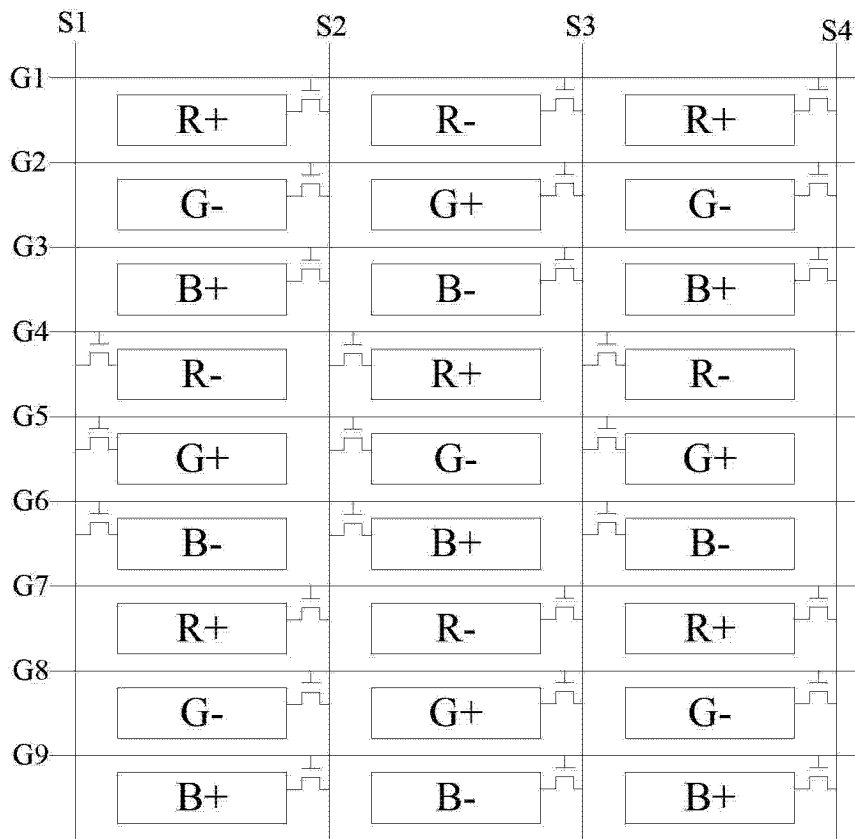


图 10

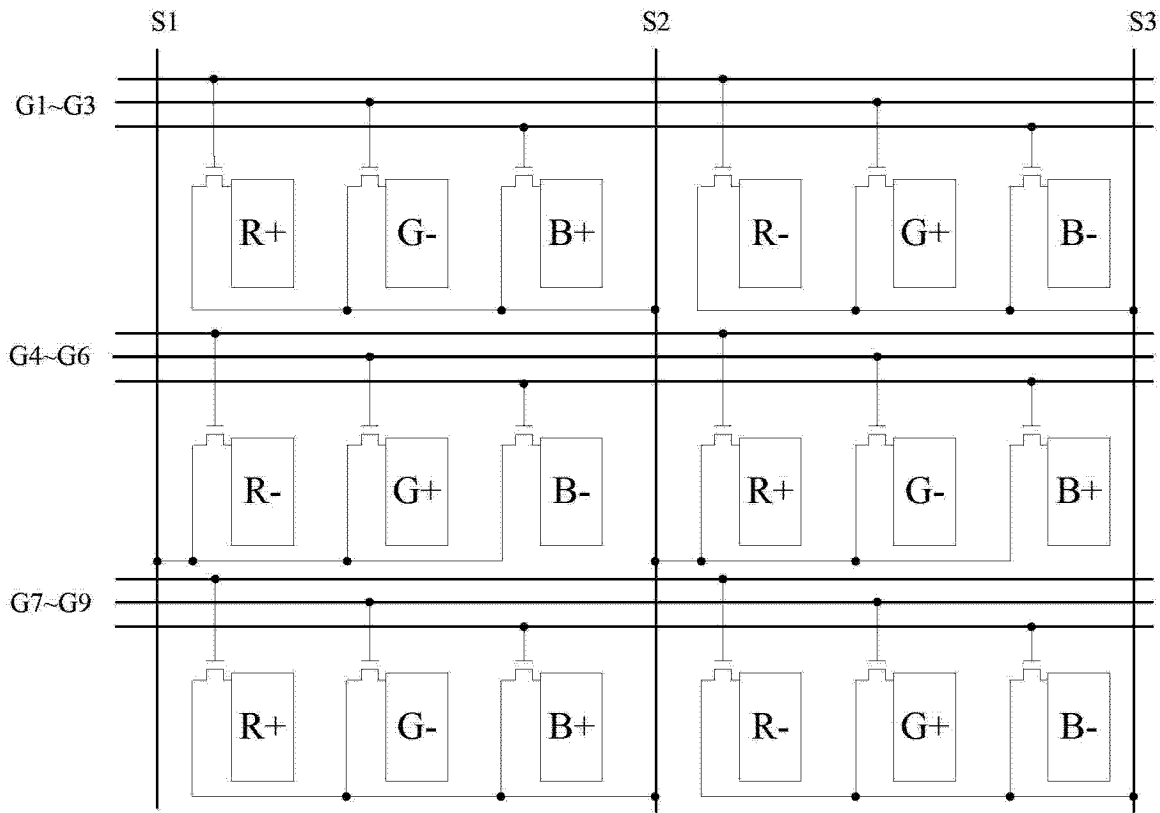


图 11

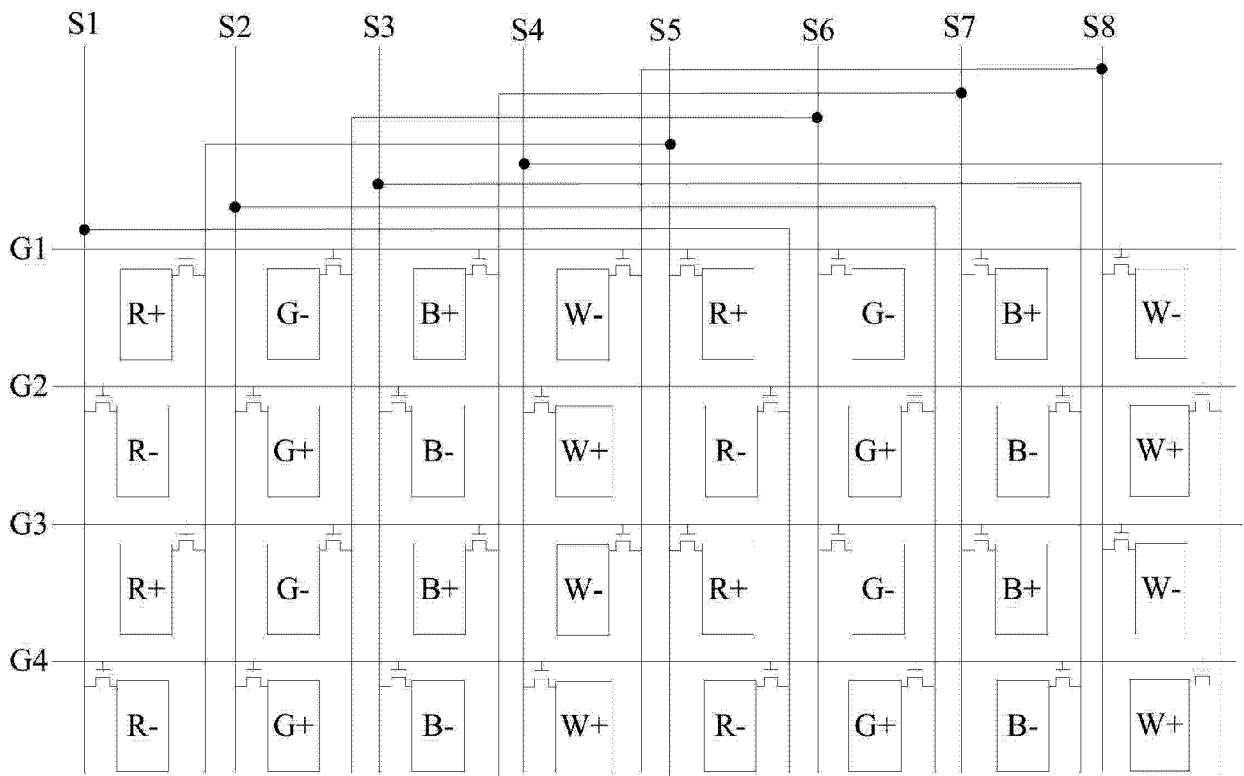


图 12

专利名称(译)	一种阵列基板、液晶显示面板和液晶显示装置		
公开(公告)号	<a href="#">CN102707525A</a>	公开(公告)日	2012-10-03
申请号	CN201210164588.5	申请日	2012-05-24
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	段欣		
发明人	段欣		
IPC分类号	G02F1/1362 G02F1/133 H01L27/02		
CPC分类号	G02F1/136286 G02F1/1362 H01L27/124 G02F1/133 G09G3/3607 G09G3/3614 G09G3/3648 G09G2300/0426 G09G2310/0218 G09G2310/06 G09G2330/021 G09G3/364		
代理人(译)	黄志华		
其他公开文献	CN102707525B		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明实施例涉及液晶显示技术领域，特别涉及一种阵列基板、液晶显示面板和液晶显示装置，用于解决现有的阵列基板中亚像素进行反转模式驱动时，在彩色显示画面下，会造成能量的损耗的问题。本发明实施例的阵列基板，包括：设置于衬底基板上的数据线、栅线及像素阵列；每条数据线连接像素阵列中至少一种类型的亚像素，且连接于同一条数据线上的同一类型的亚像素的极性相同，且同一条数据线上连接的每个亚像素连接于不同的栅线。本发明实施例通过改变阵列基板中亚像素与数据线和栅线的连接方式，使阵列基板在极性反转模式驱动时，能够大大降低能量的损耗。

