



## (12)发明专利

(10)授权公告号 CN 106527004 B

(45)授权公告日 2019.07.05

(21)申请号 201611254564.3

审查员 游瑜婷

(22)申请日 2016.12.29

(65)同一申请的已公布的文献号

申请公布号 CN 106527004 A

(43)申请公布日 2017.03.22

(73)专利权人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明  
大道9-2号

(72)发明人 夏青 柴立

(74)专利代理机构 广州三环专利商标代理有限  
公司 44202

代理人 郝传鑫 熊永强

(51)Int.Cl.

G02F 1/1362(2006.01)

G02F 1/1343(2006.01)

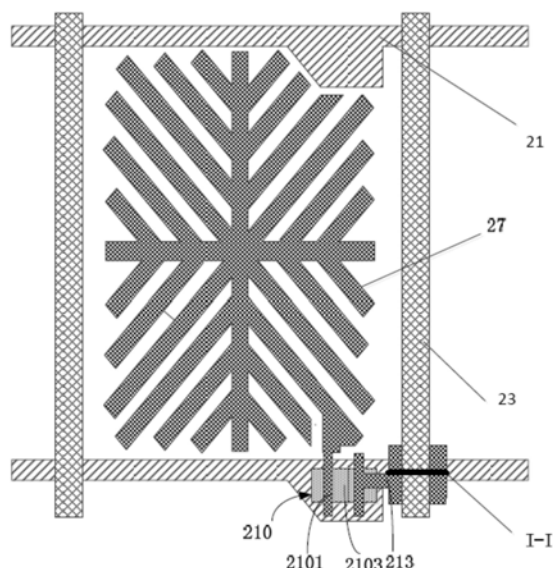
权利要求书1页 说明书3页 附图2页

### (54)发明名称

阵列基板、液晶显示面板及阵列基板制造方  
法

### (57)摘要

本发明提供的阵列基板,其包括形成于基板  
第一金属层、绝缘层、位于绝缘层上的TFT开关、  
位于所述绝缘层上的与TFT开关的漏极连接像素  
电极、覆盖像素电极的第一钝化层及位于所述第  
一钝化层的第二金属层;所述第一钝化层上设有  
过孔,所述第二金属层通过所述过孔与所述TFT  
开关的源极连接;所述像素电极、TFT开关的源极  
和漏极在ITO材料层形成。所述阵列基板的数据  
线是形成于像素电极之上,在制作过程中使得沟  
道蚀刻与第二金属层不在同一道制程,在制作沟  
道的过程中,避免因第二金属层形成小丘凸起导  
致静电击穿。本发明还提供一种液晶显示面板。



1. 一种阵列基板, 其特征在于, 包括形成于基板的第一金属层、位于所述第一金属层上的绝缘层、位于绝缘层上的TFT开关、位于所述绝缘层上的与TFT开关的漏极连接像素电极、覆盖像素电极的第一钝化层及位于所述第一钝化层上的第二金属层; 所述第一钝化层上设有过孔, 所述第二金属层通过所述过孔与所述TFT开关的源极连接; 所述像素电极、TFT开关的源极和漏极在ITO材料层形成。

2. 如权利要求1所述的一种阵列基板, 其特征在于, 所述第一金属层与第二金属层交叉设置, 所述过孔位于所述第一金属层与第二金属层交叉位置。

3. 如权利要求1所述的一种阵列基板, 其特征在于, 所述第一金属层为扫描线, 所述第二金属层为数据线。

4. 如权利要求1所述的阵列基板, 其特征在于, 所述第二金属层上覆盖有第二钝化层。

5. 如权利要求1所述的阵列基板, 其特征在于, 所述第二金属层为铝、钼铝合金制成。

6. 如权利要求1所述的阵列基板, 其特征在于, 所述像素电极为透明导电材料制成。

7. 一种液晶显示面板, 其特征在于, 所述液晶显示面板包括如权利要求1-6任一项所述阵列基板、彩膜基板及夹持于所述阵列基板与彩膜基板之间的液晶层, 所述阵列基板包括形成于基板的第一金属层、绝缘层、TFT开关、与所述TFT漏极连接的像素电极、第一钝化层及第二金属层, 所述第一金属层与第二金属层交叉设置且绝缘, 所述第一钝化层上设有过孔, 所述过孔位于所述第一金属层与第二金属层交叉位置, 所述第二金属层通过所述过孔与所述TFT开关的源极连接。

8. 如权利要求7所述的液晶显示面板, 其特征在于, 所述第一金属层为扫描线, 所述第二金属层为数据线。

9. 一种阵列基板制造方法, 其特征在于, 包括, 在基板上依次形成栅极、绝缘层及氧化物半导体层;

在所述氧化物导体层及所述绝缘层上形成ITO材料层;

图案化所述ITO材料层形成源极、漏极及与漏极连接的像素电极; 其中源极与漏极之间形成沟道;

在所述源极、漏极及像素电极上形成具有过孔的第一钝化层;

形成覆盖所述第一钝化层的金属层, 并且该金属层通过所述过孔与所述源极连接。

10. 如权利要求9所述的阵列基板制造方法, 其特征在于, 所述在所述源极、漏极及像素电极上形成具有过孔的第一钝化层的步骤通过图案化构图工艺形成。

## 阵列基板、液晶显示面板及阵列基板制造方法

### 技术领域

[0001] 本发明涉及显示屏技术领域,尤其涉及一种阵列基板、阵列基板制造方法及液晶显示面板。

### 背景技术

[0002] 低温多晶硅(low temperature poly-silicon,简称为LTPS)薄膜晶体管液晶显示器有别于传统的非晶硅薄膜晶体管液晶显示器而被广泛应用。目前LTPS-TFT阵列基板生产制造过程中,因为设计与工艺是搭配进行的,目前5mask工艺顺序是依次形成M1(第一金属层)、G-SiNx(绝缘层)/a-Si(半导体层)/N、欧姆接触层、M2(第二金属层)、PV钝化层、ITO像素电极,在第一金属层制作栅极,在第二金属层制作源极和漏极,此设计在沟道蚀刻过程中,因为M2一般用Al材料,Al容易发生小丘凸起,M2容易出现尖端发电导致静电释放击穿风险。

### 发明内容

[0003] 本发明提供一种阵列基板,避免第二金属层用于制作源极和漏极,产生离子轰击穿透风险,提升了阵列基板良率。

[0004] 本发明提供的阵列基板,其包括形成于基板第一金属层、绝缘层、像素电极、第一钝化层及第二金属层,所述第一钝化层上设有过孔,所述第二金属层通过所述过孔与所述像素电极连接;所述像素电极、TFT开关的源极和漏极在ITO材料层形成。

[0005] 其中,所述第一金属层为扫描线,所述第二金属层为漏极线及数据线,所述数据线通过所述过孔与所述像素电极连接。

[0006] 其中,所述扫描线为多个且纵向排布,所述数据线为多个且横向排布,所述扫描线与所述数据线交叉形成多个像素单元。

[0007] 其中,所述第二金属层上覆盖有第二钝化层。

[0008] 其中,所述过孔正投影于设于所述扫描线与所述数据线交叉的区域。

[0009] 其中,所述第二金属层为铝、钼铝合金制成。

[0010] 其中,所述像素电极为透明导电材料制成。

[0011] 本申请所述的液晶显示面板,包括阵列基板、彩膜基板及夹持于所述阵列基板与彩膜基板之间的液晶层,所述阵列基板包括形成于基板的第一金属层、绝缘层、像素电极、第一钝化层及第二金属层,所述第一钝化层上设有过孔,所述第二金属层通过所述过孔与所述像素电极连接。

[0012] 其中,所述第一金属层为扫描线,所述第二金属层为漏极线及数据线,所述扫描线与所述数据线交叉形成多个像素单元,所述数据线通过所述过孔与所述像素电极连接。

[0013] 其中,所述过孔正投影于设于所述扫描线与所述数据线交叉的区域。

[0014] 本发明提供一种阵列基板制造方法,包括,在基板上依次形成栅极、绝缘层及氧化物半导体层;

[0015] 在所述氧化物导体层及所述绝缘层上形成ITO材料层；

[0016] 图案化所述ITO材料层形成源极、漏极及与漏极连接的像素电极；其中源极与漏极之间形成沟道；

[0017] 在所述源极、漏极及像素电极上形成具有过孔的第一钝化层；

[0018] 形成覆盖所述第一钝化层的金属层，并且该金属层通过所述过孔与所述源极连接。

[0019] 本发明所述的阵列基板的第二金属层是形成于像素电极及第一钝化层之后，避免第二金属层形成于氧化物半导体层之上而在制造过程中使第二金属层产生静电穿透现象。

## 附图说明

[0020] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0021] 图1为本发明较佳实施方式的阵列基板俯视结构示意图，属于透视图，不同的剖面线代表不同的层；

[0022] 图2为图1所述的阵列基板I-I方向剖视图。

[0023] 图3是本发明阵列基板制造方法流程图。

## 具体实施方式

[0024] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。本申请所述的图案化构图工艺包括成膜、显影、曝光、蚀刻等构图工艺。

[0025] 请参阅图1与图2，本申请提供一种阵列基板，主要是指低温多晶硅（low temperature poly-silicon，简称为LTPS）薄膜晶体管液晶阵列基板，其包括形成于基板10的第一金属层211、绝缘层212、TFT开关210、与所述TFT210漏极2101连接的像素电极27、第一钝化层214及第二金属层215，所述第一金属层211与第二金属层215交叉设置且绝缘，所述第一钝化层214上设有过孔216，所述过孔216位于所述第一金属层211与第二金属层215交叉位置，所述第二金属层215通过所述过孔216与TFT开关210的源极213，进而使保证第二金属层215将信号通过TFT开关传递给所述像素电极27。像素电极27、TFT开关的源极和漏极在ITO材料层形成

[0026] 进一步的，所述第二金属层215上覆盖有第二钝化层217。所述第二金属层也可以是透明材料形成。

[0027] 请一并参阅图1，图1为阵列基板部分俯视图，本实施例以一个像素单元为例进行说明。

[0028] 所述基板10通常为透明玻璃板。第一金属层211上还形成有低温多晶硅层、缓冲层等图未示。所述绝缘层212采用氧化硅（SiO<sub>x</sub>）、氮化硅（SiN<sub>x</sub>）与氮氧化硅（SiN<sub>x</sub>O<sub>y</sub>）中的一种

制成。

[0029] 所述第一金属层211为扫描线21,所述第二金属层215为数据线23。所述扫描线21为多个且纵向排布,所述数据线23为多个且横向排布,所述扫描线21与所述数据线23交叉形成多个像素单元,参阅图1,所述像素电极27位于像素单元内。

[0030] 本实施例中,所述第一钝化层214上开设有所述过孔216,过孔216并位于所述扫描线21与所述数据线23交叉的区域。也就是说所述过孔216开设于位于所述扫描线21与所述数据线23交叉的区域的所述第一钝化层214部分上。

[0031] 本实施例中,所述第二金属层215为铝、钼铝合金制成。相较于现有技术第二金属层形成于TFT开关210的氧化物半导体沟道层2103之后,本申请在阵列基板制作过程中,像素电极先形成,而第二金属层215还未制成,而像素电极为ITO,无小丘凸起问题,所以避免了沟道蚀刻过程中第二金属层(小丘凸起)诱发静电击穿第二金属层。

[0032] 本实施例中,所述像素电极为ITO(Indium tin oxide氧化铟锡)等透明导电材料制成。

[0033] 本发明所述的阵列基板在制造过程中,工艺顺序为依次形成第一金属层211、绝缘层212、TFT开关、像素电极27、第一钝化层214、第二金属层215及第二钝化层217。在第一钝化层214设置过孔216使TFT开关的源极213通过过孔216与数据线23进行连接,避免在半导体层沟道2103蚀刻与第二金属层215在同一层中制成,进而避免第二金属层215产生离子轰击击穿数据线,27。同时源极通过过孔216与第二金属层215进行连接,保证数据信号正常传输到像素电极27,保证了像素正常工作。

[0034] 而且像素电极27是在第二金属层215下方,ITO像素电极27比较薄,相较于像素电极27覆盖过孔与第二金属层215接触导致接触阻抗过高来说,本申请将像素电极27设于第二金属层215下方,避免上述问题产生,提高了阵列基板品质。

[0035] 本发明还提供一种液晶显示面板,所述液晶显示面板包括所述的阵列基板、彩膜基板及夹持于所述阵列基板与彩膜基板之间的液晶层。

[0036] 本发明还提供一种阵列基板制造方法,包括:

[0037] 步骤S1,在基板上依次形成栅极、绝缘层及氧化物半导体层。

[0038] 步骤S2,在所述氧化物导体层及所述绝缘层上形成ITO材料层。

[0039] 步骤S3,图案化所述ITO材料层形成源极、漏极及与漏极连接的像素电极;其中源极与漏极之间形成沟道。所述源极、漏极的形成通过图案化构图工艺形成,其中包括了干蚀刻工艺,由于源极、漏极及与漏极连接的像素电极均是ITO材料形成,不存在干蚀刻过程中出现像金属层因蚀刻形成凸起产生静电击穿的现象,保证了该步骤的品质。

[0040] 步骤S4,在所述源极、漏极及像素电极上形成具有过孔的第一钝化层。所述第一钝化层通过图案化构图工艺形成,与现有技术相同。

[0041] 步骤S5,形成覆盖所述第一钝化层的金属层,并且该金属层通过所述过孔与所述源极连接,同样保证源极的功能。

[0042] 以上所揭露的仅为本发明一种较佳实施例而已,当然不能以此来限定本发明之权利范围,本领域普通技术人员可以理解实现上述实施例的全部或部分流程,并依本发明权利要求所作的等同变化,仍属于发明所涵盖的范围。

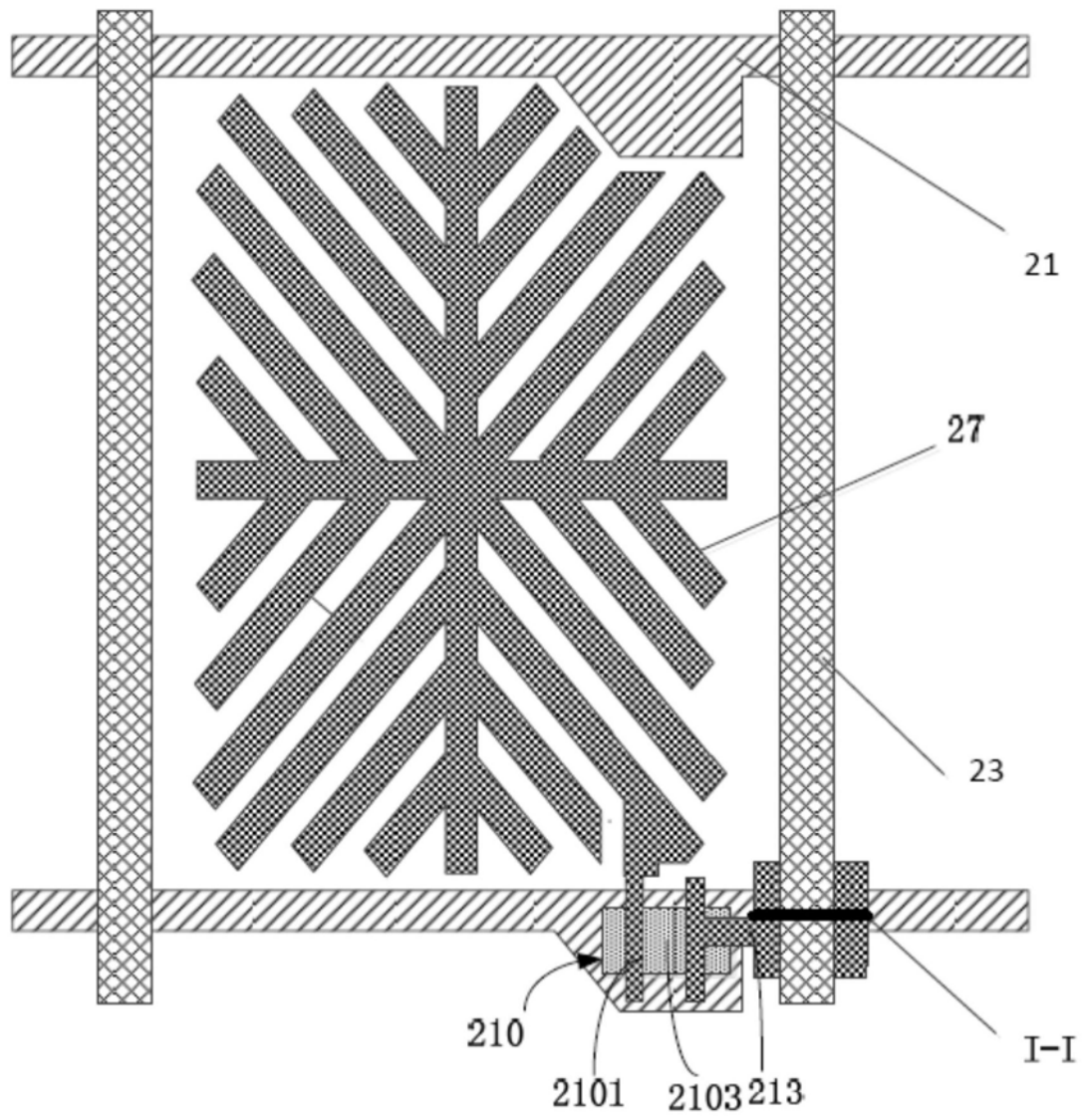


图1

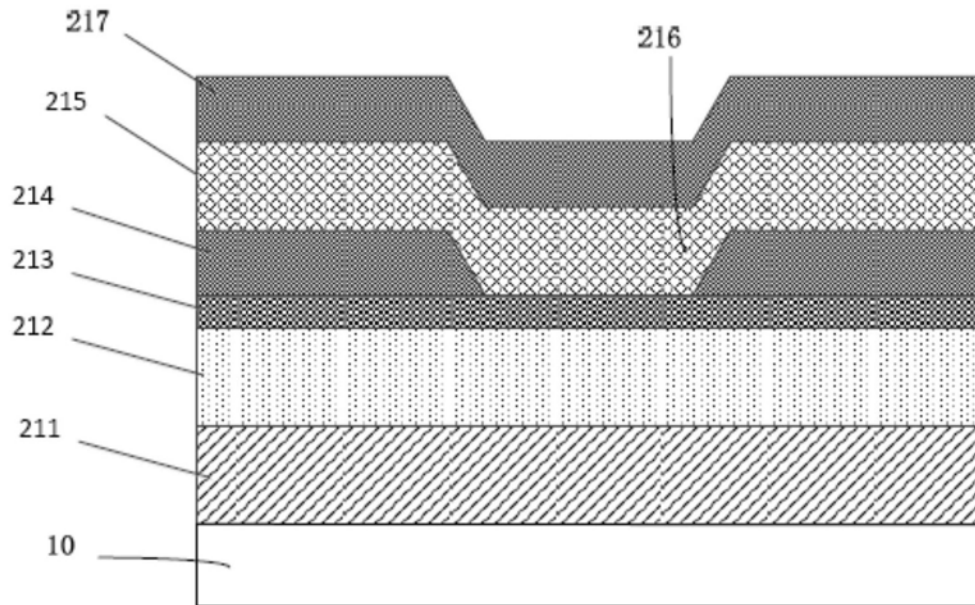


图2



图3

|                |                                                    |         |            |
|----------------|----------------------------------------------------|---------|------------|
| 专利名称(译)        | 阵列基板、液晶显示面板及阵列基板制造方法                               |         |            |
| 公开(公告)号        | <a href="#">CN106527004B</a>                       | 公开(公告)日 | 2019-07-05 |
| 申请号            | CN201611254564.3                                   | 申请日     | 2016-12-29 |
| [标]申请(专利权)人(译) | 深圳市华星光电技术有限公司                                      |         |            |
| 申请(专利权)人(译)    | 深圳市华星光电技术有限公司                                      |         |            |
| 当前申请(专利权)人(译)  | 深圳市华星光电技术有限公司                                      |         |            |
| [标]发明人         | 夏青<br>柴立                                           |         |            |
| 发明人            | 夏青<br>柴立                                           |         |            |
| IPC分类号         | G02F1/1362 G02F1/1343                              |         |            |
| CPC分类号         | G02F1/13439 G02F1/136204 G02F1/136227 G02F1/136286 |         |            |
| 代理人(译)         | 熊永强                                                |         |            |
| 其他公开文献         | CN106527004A                                       |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a>     |         |            |

#### 摘要(译)

本发明提供的阵列基板，其包括形成于基板第一金属层、绝缘层、位于绝缘层上的TFT开关、位于所述绝缘层上的与TFT开关的漏极连接像素电极、覆盖像素电极的第一钝化层及位于所述第一钝化层的第二金属层；所述第一钝化层上设有过孔，所述第二金属层通过所述过孔与所述TFT开关的源极连接；所述像素电极、TFT开关的源极和漏极在ITO材料层形成。所述阵列基板的数据线是形成于像素电极之上，在制作过程中使得沟道蚀刻与第二金属层不在同一道制程，在制作沟道的过程中，避免因第二金属层形成小丘凸起导致静电击穿。本发明还提供一种液晶显示面板。

