



(12)发明专利

(10)授权公告号 CN 105278193 B

(45)授权公告日 2018.09.18

(21)申请号 201510815041.0

(22)申请日 2015.11.19

(65)同一申请的已公布的文献号

申请公布号 CN 105278193 A

(43)申请公布日 2016.01.27

(73)专利权人 深圳市华星光电技术有限公司

地址 518006 广东省深圳市光明新区塘明大道9-2号

(72)发明人 黄秋平

(74)专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280

代理人 梁恺峥

(51)Int.Cl.

G02F 1/1362(2006.01)

G02F 1/1333(2006.01)

(56)对比文件

CN 104360557 A,2015.02.18,

CN 104133328 A,2014.11.05,

CN 104011587 A,2014.08.27,

CN 103003743 A,2013.03.27,

US 2009056990 A1,2009.03.05,

审查员 秦琦冰

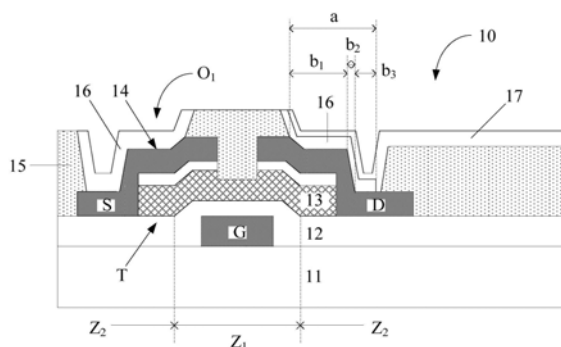
权利要求书2页 说明书4页 附图3页

(54)发明名称

阵列基板及其制造方法、液晶显示面板

(57)摘要

本发明提供一种阵列基板,包括:依次形成于基板上的绝缘层和半导体图案;形成于绝缘层和半导体图案上的金属走线层;形成于金属走线层上且形成有第一接触孔的第一钝化层,所述第一接触孔暴露位于半导体图案的边缘的金属走线层;形成于第一接触孔中且覆盖第一接触孔所暴露的金属走线层的导电层。本发明还提供一种该阵列基板的制造方法以及液晶显示面板。本发明能够防止在薄膜晶体管的源极和漏极处发生断线,确保其与对应信号走线的电连接,且有利于提高开口率。



1. 一种阵列基板,其特征在于,所述阵列基板包括:
基板;
依次形成于所述基板上的绝缘层和半导体图案;
金属走线层,形成于所述绝缘层和所述半导体图案上;
第一钝化层,形成于所述金属走线层上,且所述第一钝化层形成有第一接触孔,所述第一接触孔暴露位于所述半导体图案的边缘的所述金属走线层;所述半导体图案为台阶结构,沿所述基板的延伸方向,所述第一接触孔的开口尺寸等于所述台阶结构的最上层的全部或部分的尺寸、中间层的尺寸以及最下层的全部或部分的尺寸之和;
导电层,形成于所述第一接触孔中且覆盖所述第一接触孔所暴露的所述金属走线层。
2. 根据权利要求1所述的阵列基板,其特征在于,所述金属走线层为所述阵列基板的薄膜晶体管的源极和漏极中的至少一者。
3. 根据权利要求2所述的阵列基板,其特征在于,所述金属走线层至少包括所述薄膜晶体管的漏极,所述阵列基板还包括:
像素电极层,形成于所述第一钝化层上且位于所述第一接触孔的外围,所述像素电极层通过所述导电层与所述薄膜晶体管的漏极电连接。
4. 根据权利要求3所述的阵列基板,其特征在于,所述导电层和所述像素电极层由同一光罩制程形成。
5. 根据权利要求2所述的阵列基板,其特征在于,所述金属走线层至少包括所述薄膜晶体管的漏极,所述阵列基板还包括:
公共电极层,形成于所述第一钝化层上,且位于所述第一接触孔的外围;
第二钝化层,形成于所述公共电极层上且形成有暴露所述导电层的第二接触孔;
像素电极层,形成于所述第二钝化层上,且通过所述导电层与所述薄膜晶体管的漏极电连接。
6. 根据权利要求5所述的阵列基板,其特征在于,所述导电层和所述公共电极层由同一光罩制程形成。
7. 根据权利要求1所述的阵列基板,其特征在于,所述半导体图案呈矩形设置,所述金属走线层包括沿所述半导体图案的第一边缘设置的第一走线部、沿垂直于所述第一边缘的第二边缘和第三边缘设置的第二走线部和第三走线部以及位于所述第二走线部和所述第三走线部之间的第四走线部,所述第四走线部与所述第一走线部电连接且指向所述半导体图案的内部。
8. 一种液晶显示面板,其特征在于,包括权利要求1-7任意一项所述的阵列基板以及与所述阵列基板相对间隔的彩膜基板。
9. 一种阵列基板的制造方法,其特征在于,所述方法包括:
在基板上依次形成绝缘层和半导体图案;
在所述绝缘层和所述半导体图案上形成一金属走线层;在所述金属走线层上形成第一钝化层,且所述第一钝化层形成有暴露所述金属走线层的表面的第一接触孔;其中,所述半导体图案为台阶结构,沿所述基板的延伸方向,所述第一接触孔的开口尺寸等于所述台阶结构的最上层的全部或部分的尺寸、中间层的尺寸以及最下层的全部或部分的尺寸之和;
在所述第一接触孔中形成导电层,且所述导电层覆盖所述金属走线层被暴露的表面。

10. 根据权利要求9所述的方法, 其特征在于, 所述金属走线层为所述阵列基板的薄膜晶体管的源极和漏极中的至少一者。

阵列基板及其制造方法、液晶显示面板

技术领域

[0001] 本发明涉及液晶显示技术领域,具体而言涉及一种阵列基板及其制造方法、液晶显示面板。

背景技术

[0002] 在当前的液晶显示器(Liquid Crystal Display,LCD)的阵列基板的结构中,薄膜晶体管的栅极设置于基板上,导致形成于栅极上的栅极绝缘层为高度不均匀的层结构,即栅极绝缘层包括位于栅极上方的高度较大的第一区域和对应栅极外围的高度较小的第二区域,从而使得形成于栅极绝缘层上的半导体图案层在对应第一区域和第二区域的交界位置处具有台阶结构,进一步导致形成于半导体图案层上的源极和漏极在对应第一区域和第二区域的交界位置处也具有台阶结构。该台阶结构通常具有4000~7000 Å(埃)的高度差,而当前薄膜晶体管的源极和漏极由于需要保证像素开口率一般被设计的较薄、较窄,因此极易在该台阶结构处发生断线,影响其与对应信号走线的电连接。

发明内容

[0003] 有鉴于此,本发明提供一种阵列基板及其制造方法、液晶显示面板,能够防止在薄膜晶体管的源极和漏极处发生断线,确保薄膜晶体管的源极和/或漏极与对应信号走线的电连接。

[0004] 本发明实施例提供的一种阵列基板,包括:基板;依次形成于基板上的绝缘层和半导体图案;金属走线层,形成于绝缘层和半导体图案上;第一钝化层,形成于金属走线层上,且第一钝化层形成有第一接触孔,所述第一接触孔暴露位于半导体图案的边缘的金属走线层;其中,所述半导体图案为台阶结构,沿所述基板的延伸方向,所述第一接触孔的开口尺寸等于所述台阶结构的最上层的全部或部分的尺寸、中间层的尺寸以及最下层的全部或部分的尺寸之和;导电层,形成于第一接触孔中且覆盖第一接触孔所暴露的金属走线层。

[0005] 其中,金属走线层为阵列基板的薄膜晶体管的源极和漏极中的至少一者。

[0006] 其中,金属走线层至少包括薄膜晶体管的漏极,所述阵列基板还包括:像素电极层,形成于第一钝化层且位于第一接触孔的外围,像素电极层通过导电层与薄膜晶体管的漏极电连接。

[0007] 其中,导电层和像素电极层由同一光罩制程形成。

[0008] 其中,金属走线层至少包括薄膜晶体管的漏极,所述阵列基板还包括:公共电极层,形成于第一钝化层上,且位于第一接触孔的外围;第二钝化层,形成于公共电极层上且形成有暴露导电层的第二接触孔;像素电极层,形成于第二钝化层上,且通过导电层与薄膜晶体管的漏极电连接。

[0009] 其中,导电层和公共电极层由同一光罩制程形成。

[0010] 其中,半导体图案呈矩形设置,金属走线层包括沿半导体图案的第一边缘设置的第一走线部、沿垂直于第一边缘的第二边缘和第三边缘设置的第二走线部和第三走线部以

及位于第二走线部和第三走线部之间的第四走线部,第四走线部与第一走线部电连接且指向半导体图案的内部。

[0011] 本发明实施例提供一种液晶显示面板,包括前述阵列基板以及与该阵列基板相对间隔的彩膜基板。

[0012] 本发明实施例提供一种阵列基板的制造方法,包括:在基板上依次形成绝缘层和半导体图案;在绝缘层和半导体图案上形成一金属走线层;在金属走线层上形成第一钝化层,且第一钝化层形成有暴露金属走线层的表面的第一接触孔;其中,所述半导体图案为台阶结构,沿所述基板的延伸方向,所述第一接触孔的开口尺寸等于所述台阶结构的最上层的全部或部分的尺寸、中间层的尺寸以及最下层的全部或部分的尺寸之和;在第一接触孔中形成导电层,且导电层覆盖金属走线层被暴露的表面。

[0013] 其中,金属走线层为阵列基板的薄膜晶体管的源极和漏极中的至少一者。

[0014] 本发明实施例的阵列基板及其制造方法、液晶显示面板,在第一钝化层开设的第一接触孔中增设导电层且该导电层覆盖被第一接触孔暴露的金属走线层,相当于在薄膜晶体管的源极和/或漏极处开孔并增加一层导电层,增加了源极和漏极的结构强度,从而防止发生断线,以确保薄膜晶体管的源极和漏极与对应的信号走线的电连接。

附图说明

[0015] 图1是本发明的阵列基板一实施例的结构剖视图;

[0016] 图2是图1所示阵列基板一实施例的结构俯视图;

[0017] 图3是本发明的阵列基板另一实施例的结构剖视图;

[0018] 图4是本发明的阵列基板另一实施例的结构俯视图;

[0019] 图5是本发明的液晶显示面板一实施例的结构剖视图;

[0020] 图6是本发明的阵列基板一实施例的制造方法的流程图。

具体实施方式

[0021] 下面将结合本发明实施例中的附图,对本发明所提供的示例性的实施例的技术方案进行清楚、完整地描述。

[0022] 图1是本发明的阵列基板一实施例的结构剖视图。如图1所示,所述阵列基板10包括基板11、绝缘层12、半导体图案(层)13、金属走线层14、第一钝化层15以及导电层16。

[0023] 其中,绝缘层12和半导体图案13依次形成于基板11上;金属走线层14形成于绝缘层12和半导体图案13上;第一钝化层15形成于金属走线层14上且第一钝化层15形成有第一接触孔 O_1 ,该第一接触孔 O_1 暴露金属走线层14的一部分,具体为第一接触孔 O_1 暴露位于半导体图案13的边缘的金属走线层14;导电层16形成于第一接触孔 O_1 中且覆盖第一接触孔 O_1 所暴露的那一部分金属走线层14。

[0024] 在本发明实施例中,绝缘层12为高度不均匀的层结构,即图1所示的第一区域 Z_1 的高度大于第二区域 Z_2 的高度,因此导致半导体图案13在对应第一区域 Z_1 和第二区域 Z_2 的交界位置处具有台阶结构,进一步导致金属走线层14在对应第一区域 Z_1 和第二区域 Z_2 的交界位置处也具有台阶结构,基于此,本发明实施例的第一接触孔 O_1 暴露位于半导体图案13的边缘的金属走线层14,可以理解为:沿基板11的延伸方向,第一接触孔 O_1 的开口尺寸 a 等于

台阶结构的最上层(全部或部分)的尺寸 b_1 、中间层的尺寸 b_2 以及最下层(全部或部分)的尺寸 b_3 之和,即 $a=b_1+b_2+b_3$ 。其中,所述尺寸均为沿基板11的同一延伸方向上的长度。

[0025] 对应地,导电层16覆盖第一接触孔 O_1 所暴露的金属走线层14,结合图1和图2所示,在所述金属走线层14为阵列基板10的薄膜晶体管T的源极S和漏极D所在的源漏极层时,与现有技术相比,本发明实施例相当于在源极S和漏极D处开孔并增加一层导电层,增加了源极S和漏极D的结构强度(厚度),从而防止薄膜晶体管T的源极S和漏极D发生断线,以确保其与对应的信号走线(例如数据线、扫描线)的电连接,并且第一接触孔 O_1 位于漏极D所在的非显示区域而非像素电极所在的显示区域,因此有利于提高开口率。当然,金属走线层14还可以仅为薄膜晶体管T的源极S和漏极D的其中一者。

[0026] 本发明实施例的上述结构可以适用于不同结构的阵列基板10,例如继续参阅图1所示,阵列基板10还包括薄膜晶体管T的栅极G和像素电极层17,栅极G形成于基板11上且绝缘层12形成于栅极G上以作为栅极绝缘层,像素电极层17形成于第一钝化层15上且位于第一接触孔 O_1 的外围,该像素电极层17通过导电层16与薄膜晶体管T的漏极D电连接,导电层16能够确保漏极D与像素电极层17的电连接。可选地,导电层16和像素电极层17由同一光罩制程形成。

[0027] 当然,上述结构也可以适用于图3所示结构的阵列基板10,以下所示相同结构元件仍采用与图1相同的标号以便于描述。参阅图3所示,阵列基板10还包括薄膜晶体管T的栅极G、像素电极层17、公共电极层18以及第二钝化层19,公共电极层18形成于第一钝化层15上且位于第一接触孔 O_1 的外围,第二钝化层19形成于公共电极层18上且形成有暴露导电层16的第二接触孔 O_2 ,该第二接触孔 O_2 与第一接触孔 O_1 相通,像素电极层17形成于第二钝化层19上且通过导电层16与薄膜晶体管T的漏极D电连接。可选地,导电层16和公共电极层18由同一光罩制程形成。

[0028] 本发明实施例还可以满足具有不同W/L(宽长比)的漏极D走线设计需求,如图4所示,半导体图案13呈矩形设置,金属走线层14(漏极D)包括沿半导体图案13的第一边缘设置的第一走线部141、沿垂直于第一边缘的第二边缘和第三边缘设置的第二走线部142和第三走线部143以及位于第二走线部142和第三走线部143之间的第四走线部144,第四走线部144与第一走线部141电连接且指向半导体图案13的内部。该设计既可以减少漏极D断线的风险,又可以增加薄膜晶体管T的W/L设计的灵活度,利于实现不同的W/L。

[0029] 本发明实施例还提供一种图5所示的液晶显示面板50,其包括阵列基板10以及与阵列基板10相对间隔的彩膜基板51。由于液晶显示面板50也具有阵列基板10的上述设计,因此亦具有相同的有益效果。

[0030] 图6是本发明的阵列基板一实施例的制造方法的流程图。如图6所示,本实施例的制造方法包括以下步骤:

[0031] S61:在基板上依次形成绝缘层和半导体图案;

[0032] S62:在绝缘层和半导体图案上形成一金属走线层;

[0033] S63:在金属走线层上形成第一钝化层,且第一钝化层形成有暴露金属走线层的表面的第一接触孔;

[0034] S64:在第一接触孔中形成导电层,且导电层覆盖金属走线层被暴露的表面。

[0035] 其中,金属走线层为阵列基板的薄膜晶体管的源极和漏极中的至少一者。该方法

用于制造上述图1～图4任意结构的阵列基板10。

[0036] 在此基础上,以上所述仅为本发明的实施例,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,例如各实施例之间技术特征的相互结合,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

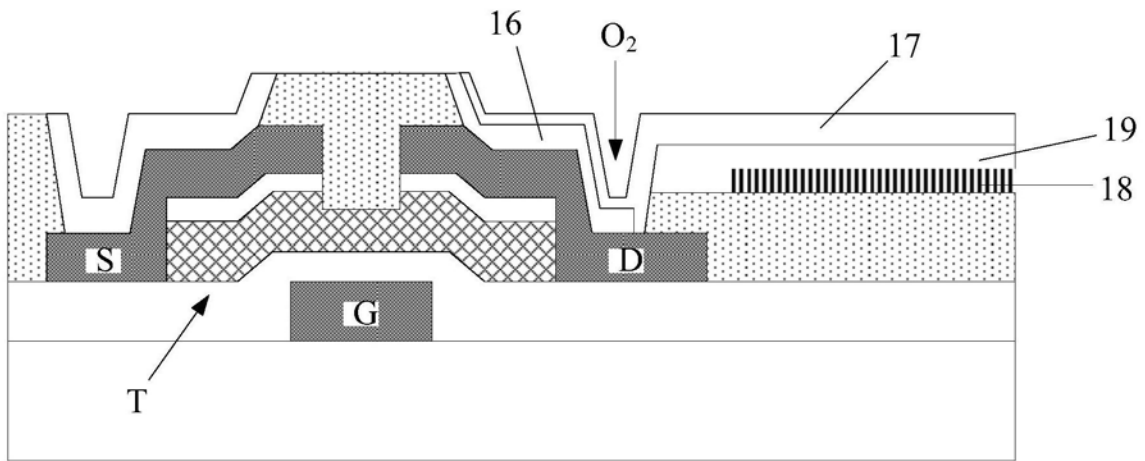


图3

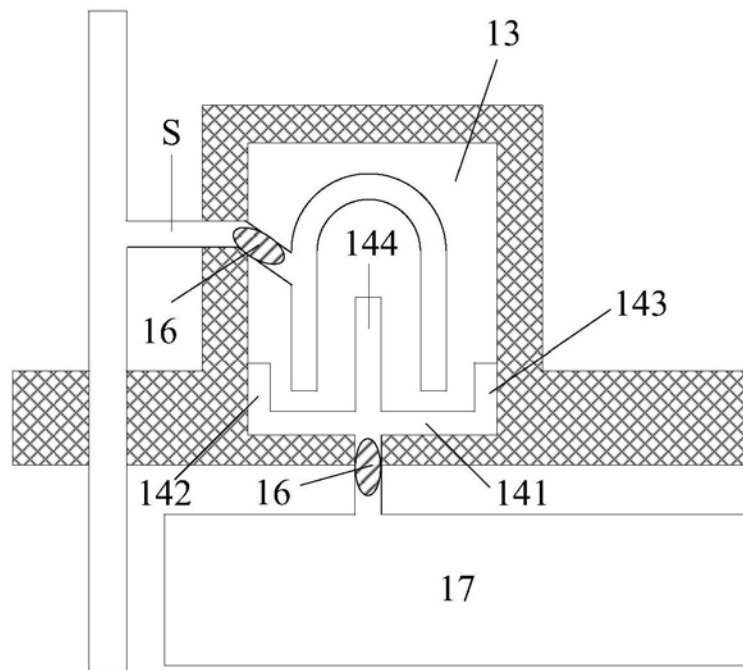


图4

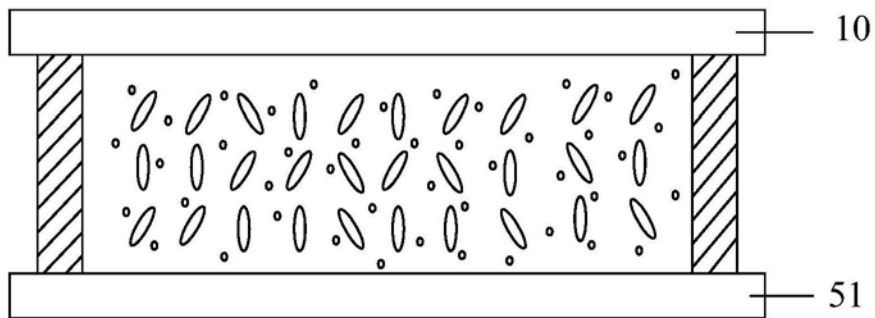
50

图5

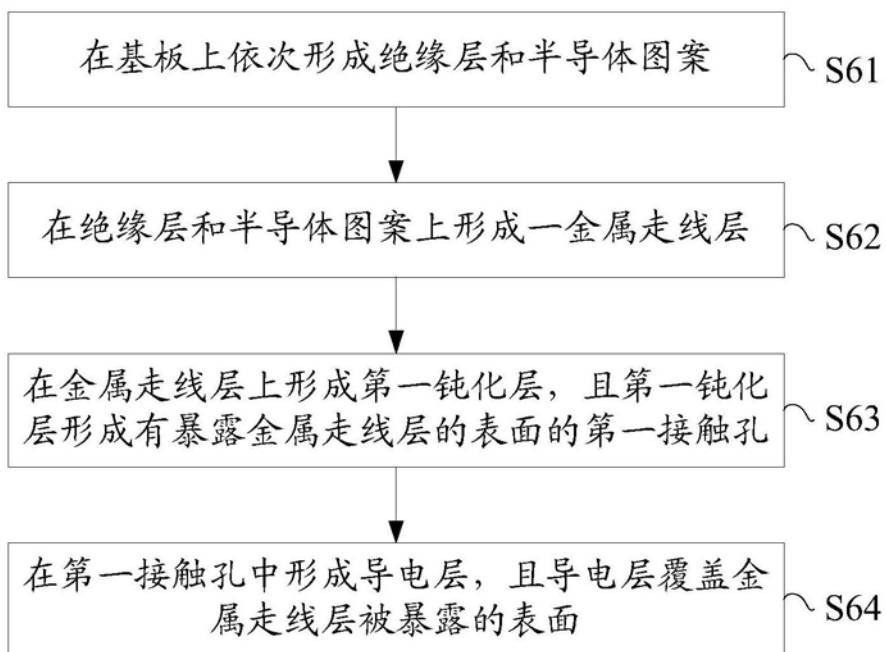


图6

专利名称(译)	阵列基板及其制造方法、液晶显示面板		
公开(公告)号	CN105278193B	公开(公告)日	2018-09-18
申请号	CN201510815041.0	申请日	2015-11-19
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	黄秋平		
发明人	黄秋平		
IPC分类号	G02F1/1362 G02F1/1333		
CPC分类号	G02F1/1333 G02F1/136227 G02F1/136286		
其他公开文献	CN105278193A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种阵列基板，包括：依次形成于基板上的绝缘层和半导体图案；形成于绝缘层和半导体图案上的金属走线层；形成于金属走线层上且形成有第一接触孔的第一钝化层，所述第一接触孔暴露位于半导体图案的边缘的金属走线层；形成于第一接触孔中且覆盖第一接触孔所暴露的金属走线层的导电层。本发明还提供一种该阵列基板的制造方法以及液晶显示面板。本发明能够防止在薄膜晶体管的源极和漏极处发生断线，确保其与对应信号走线的电连接，且有利于提高开口率。

