



(12) 发明专利申请

(10) 申请公布号 CN 104834138 A

(43) 申请公布日 2015. 08. 12

(21) 申请号 201510271833. 6

(22) 申请日 2015. 05. 25

(71) 申请人 深圳市华星光电技术有限公司

地址 518132 广东省深圳市光明新区塘明大道 9—2 号

(72) 发明人 徐洪远

(74) 专利代理机构 深圳市德力知识产权代理事

务所 44265

代理人 林才桂

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

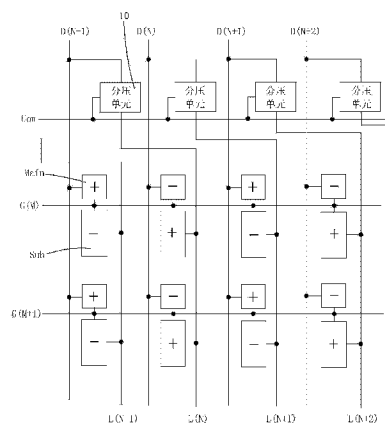
权利要求书2页 说明书5页 附图4页

(54) 发明名称

高画质液晶显示器像素电路

(57) 摘要

本发明提供一种高画质液晶显示器像素电路,多个子像素呈阵列式排布,每一子像素均分为主区(Main)与次区(Sub),对应每一列子像素分别设置一条数据信号线、一分压单元(10)、与一条走线;第N条数据信号线(D(N))电性连接并提供主数据信号电压至第N列子像素的主区(Main),相应的第N条走线(L(N))由所述分压单元(10)引出,电性连接并提供经分压单元(10)对主数据信号电压进行分压得到的次数数据信号电压至下一列第N+1列子像素的次区(Sub);第N条数据信号线(D(N))提供的主数据信号电压与下一条第N+1条数据信号线(D(N+1))提供的主数据信号电压的极性相反。该像素电路能够降低色偏,减少液晶显示面板的闪烁,提高显示画质。



1. 一种高画质液晶显示器像素电路,其特征在于,多个子像素呈阵列式排布,每一子像素均分为主区(Main)与次区(Sub),对应每一行子像素分别设置一条扫描线,对应每一列子像素分别设置一条数据信号线、一分压单元(10)、与一条走线;

设M、N为正整数,第M条扫描线(G(M))同时电性连接并提供扫描信号至第M行子像素的主区(Main)与次区(Sub);第N条数据信号线(D(N))电性连接并提供主数据信号电压至第N列子像素的主区(Main),且所述第N条数据信号线(D(N))经由分压单元(10)电性连接至公共电极线(Com),相应的第N条走线(L(N))由所述分压单元(10)引出,电性连接并提供经分压单元(10)对主数据信号电压进行分压得到的次数数据信号电压至下一列第N+1列子像素的次区(Sub);

第N条数据信号线(D(N))提供的主数据信号电压与下一条第N+1条数据信号线(D(N+1))提供的主数据信号电压的极性相反。

2. 如权利要求1所述的高画质液晶显示器像素电路,其特征在于,所述分压单元(10)包括串联的第一电容(C1)与第二电容(C2);所述第一电容(C1)的一端电性连接于数据信号线,另一端电性连接于第二电容(C2)的一端;所述第二电容(C2)的另一端电性连接于公共电极线(Com);所述走线由所述第一电容(C1)与第二电容(C2)之间引出。

3. 如权利要求1所述的高画质液晶显示器像素电路,其特征在于,所述主区(Main)中包括第一薄膜晶体管(T1)、第一液晶电容(C1c1)、及第一存储电容(Cst1);所述次区(Sub)中包括第二薄膜晶体管(T2)、第二液晶电容(C1c2)、及第二存储电容(Cst2);

对于第M行第N列子像素,所述第一薄膜晶体管(T1)的栅极电性连接于第M条扫描线(G(M)),源极电性连接于第N条数据信号线(D(N));所述第一液晶电容(C1c1)与第一存储电容(Cst1)并联后一端电性连接于第一薄膜晶体管(T1)的漏极,另一端电性连接于一恒定电压;所述第二薄膜晶体管(T2)的栅极电性连接于第M条扫描线(G(M)),源极电性连接于对应于上一列第N-1列子像素的第N-1条走线(D(N-1));所述第二液晶电容(C1c2)与第二存储电容(Cst2)并联后一端电性连接于第二薄膜晶体管(T2)的漏极,另一端电性连接于一恒定电压;

对于第M行第N+1列子像素,所述第一薄膜晶体管(T1)的源极电性连接于第N+1条数据信号线(D(N+1));所述第二薄膜晶体管(T2)的源极电性连接于对应于第N列子像素的第N条走线(D(N))。

4. 如权利要求2所述的高画质液晶显示器像素电路,其特征在于,所述主区(Main)与次区(Sub)分别包括4个畴。

5. 如权利要求4所述的高画质液晶显示器像素电路,其特征在于,所述第N条数据信号线(D(N))向第N列子像素的主区(Main)内的4个畴提供主数据信号电压,所述第N条走线(L(N))向下一列第N+1列子像素的次区(Sub)内的4个畴提供次数数据信号电压;在所述第一电容(C1)与第二电容(C2)的分压作用下,所述主数据信号电压与次数数据信号电压的关系为:

$$V_{sub} = (C1 / (C1 + C2)) \times (V_{main} - V_{com}) + V_{com}$$

其中, V_{sub} 表示次数数据信号电压, V_{main} 表示主数据信号电压,C1表示第一电容,C2表示第二电容, V_{com} 表示公共电极电压。

6. 如权利要求1所述的高画质液晶显示器像素电路,其特征在于,通过第二金属层与

第一金属层形成所述第一电容 (C1)、及第二电容 (C2)。

7. 如权利要求 1 所述的高画质液晶显示器像素电路,其特征在于,通过 IT0 像素电极与第一金属层形成所述第一电容 (C1)、及第二电容 (C2)。

8. 如权利要求 5 所述的高画质液晶显示器像素电路,其特征在于,所述第一电容 (C1)、第二电容 (C2) 的大小分别由所述第一电容 (C1)、第二电容 (C2) 的面积确定。

9. 如权利要求 8 所述的高画质液晶显示器像素电路,其特征在于,通过改变第一电容 (C1) 与第二电容 (C2) 的面积来改变主数据信号电压与次数数据信号电压的差值。

高画质液晶显示器像素电路

技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及一种高画质液晶显示器像素电路。

背景技术

[0002] 液晶显示器 (Liquid Crystal Display, LCD) 具有机身薄、省电、无辐射等众多优点,得到了广泛的应用。如:液晶电视、移动电话、个人数字助理 (PDA)、数字相机、计算机屏幕或笔记本电脑屏幕等,在平板显示领域中占主导地位。

[0003] 现有市场上的液晶显示器大部分为背光型液晶显示器,其包括壳体、设于壳体内部的液晶显示面板及设于壳体内部的背光模组。液晶显示面板是液晶显示器的主要组件,但液晶显示面板本身不发光,需要借由背光模组提供的光源来正常显示影像。

[0004] 通常液晶显示面板由一彩色滤光片基板 (Color Filter, CF)、一薄膜晶体管阵列基板 (Thin Film Transistor Array Substrate, TFT Array Substrate) 以及一配置于两基板间的液晶层 (Liquid Crystal Layer) 所构成,并分别在两基板的相对内侧设置像素电极、公共电极,通过施加电压控制液晶分子改变方向,将背光模组的光线折射出来产生画面。

[0005] 液晶显示器包括扭曲向列 (Twisted Nematic, TN) 模式、电子控制双折射 (Electrically Controlled Birefringence, ECB) 模式、垂直配向 (Vertical Alignment, VA) 等多种显示模式,其中,VA 模式是一种具有高对比度、宽视野角、无须摩擦配向等优势模式的常见显示模式。但由于 VA 模式采用垂直转动的液晶,液晶分子双折射率的差异比较大,导致大视角下的色偏 (color shift) 问题比较严重。

[0006] 降低色偏是 VA 模式液晶显示器的发展要求。目前解决 VA 模式液晶显示器色偏的主流方法是采用多畴 (multi domain),如 8 畴显示的像素设计,使同一个子像素内主区 (main) 的 4 个畴与次区 (sub) 的 4 个畴的液晶分子转动角度不一样,从而改善色偏。色偏改善技术主要有电容耦合 (CC) 技术、电荷分享 (CS) 技术、公共电极电压 (Vcom) 调制技术、2D1G/2G1D 技术等。但多数色偏改善技术使得一个子像素主区与次区的液晶翻转极性都是相同的,没办法实现一个子像素主区与次区在一帧画面内显示相反的极性,导致液晶显示面板的闪烁 (flicker) 较明显,降低了显示画质。2D1G 色偏改善技术虽然能够解决面板闪烁的问题,但需要将数据信号线的数目增加一倍,数据信号线的覆晶薄膜端 (Chip on Film, COF) 的数目也需增倍,造成面板成本增高。

[0007] 图 1 所示为一种现有的改善 VA 模式液晶显示器色偏问题的像素电路的总体架构图,图 2 为对应于图 1 的具体电路图。结合图 1 与图 2,多个子像素呈阵列式排布,每一子像素均分为主区 Main 与次区 Sub,对应每一行子像素分别设置一条扫描线,对应每一列子像素分别设置一条数据信号线、一分压单元 100、与一条走线。设 M、N 为正整数,第 M 条扫描线 G(M) 同时电性连接并提供扫描信号至第 M 行子像素的主区 Main 与次区 Sub;第 N 条数据信号线 D(N) 电性连接并提供主数据信号电压至第 N 列子像素的主区 Main,且所述第 N 条数据信号线 D(N) 经由分压单元 100 电性连接至公共电极线 Com,相应的第 N 条走线 L(N)

由所述分压单元 100 引出,电性连接并提供不同于主数据信号电压的次数据信号电压至第 N 列子像素的次区 Sub。

[0008] 具体地,所述分压单元 100 包括串联的第一电容 C1 与第二电容 C2,第一电容 C1 的一端电性连接于数据信号线,另一端电性连接于第二电容 C2 的一端,第二电容 C2 的另一端电性连接于公共电极线 Com。所述第 N 条走线 L(N) 由所述一电容 C1 与第二电容 C2 之间引出,在所述第一电容 C1 与第二电容 C2 的分压作用下,次数据信号电压比主数据信号电压更接近于公共电极电压,即次数据信号电压与公共电压的压差一定小于主数据信号电压与公共电极电压的压差,使得施加给一个像素内主区 Main 与次区 Sub 的电压不同,达到改善色偏的目的。

[0009] 上述现有的像素电路虽然能够解决 VA 模式液晶显示器的色偏问题,但是,由于对应于第 N 列子像素的第 N 条数据信号线 D(N) 与相应的第 N 条走线 L(N) 所提供的主数据信号电压与次数据信号电压的极性相同,使得在同一帧画面中,施加给一个子像素内主区 Main 与次区 Sub 的电压极性相同,仍会造成液晶显示面板的闪烁较明显,显示画质降低。

发明内容

[0010] 本发明的目的在于提供一种高画质液晶显示器像素电路,在不增加数据信号线条数与 COF 端数目的前提下,既能够降低 VA 模式液晶显示器的色偏,又能够实现一个子像素主区与次区在一帧画面内显示相反的极性,减少液晶显示面板的闪烁,提高显示画质。

[0011] 为实现上述目的,本发明提供了一种高画质液晶显示器像素电路,多个子像素呈阵列式排布,每一子像素均分为主区与次区,对应每一行子像素分别设置一条扫描线,对应每一列子像素分别设置一条数据信号线、一分压单元、与一条走线;

[0012] 设 M、N 为正整数,第 M 条扫描线同时电性连接并提供扫描信号至第 M 行子像素的主区与次区;第 N 条数据信号线电性连接并提供主数据信号电压至第 N 列子像素的主区,且所述第 N 条数据信号线经由分压单元电性连接至公共电极线,相应的第 N 条走线由所述分压单元引出,电性连接并提供经分压单元对主数据信号电压进行分压得到的次数据信号电压至下一列第 N+1 列子像素的次区;

[0013] 第 N 条数据信号线提供的主数据信号电压与下一条第 N+1 条数据信号线提供的主数据信号电压的极性相反。

[0014] 所述分压单元包括串联的第一电容与第二电容;所述第一电容的一端电性连接于数据信号线,另一端电性连接于第二电容的一端;所述第二电容的另一端电性连接于公共电极线;所述走线由所述第一电容与第二电容之间引出。

[0015] 所述主区中包括第一薄膜晶体管、第一液晶电容、及第一存储电容;所述次区中包括第二薄膜晶体管、第二液晶电容、及第二存储电容;

[0016] 对于第 M 行第 N 列子像素,所述第一薄膜晶体管的栅极电性连接于第 M 条扫描线,源极电性连接于第 N 条数据信号线;所述第一液晶电容与第一存储电容并联后一端电性连接于第一薄膜晶体管的漏极,另一端电性连接于一恒定电压;所述第二薄膜晶体管的栅极电性连接于第 M 条扫描线,源极电性连接于对应于上一列第 N-1 列子像素的第 N-1 条走线;所述第二液晶电容与第二存储电容并联后一端电性连接于第二薄膜晶体管的漏极,另一端电性连接于一恒定电压;

[0017] 对于第 M 行第 N+1 列子像素,所述第一薄膜晶体管的源极电性连接于第 N+1 条数据信号线;所述第二薄膜晶体管的源极电性连接于对应于第 N 列子像素的第 N 条走线。

[0018] 所述主区次区分别包括 4 个畴。

[0019] 所述第 N 条数据信号线向第 N 列子像素的主区内的 4 个畴提供主数据信号电压,所述第 N 条走线向下一列第 N+1 列子像素的次区内的 4 个畴提供次数据信号电压;在所述第一电容与第二电容的分压作用下,所述主数据信号电压与次数据信号电压的关系为:

[0020] $V_{sub} = (C1 / (C1 + C2)) \times (V_{main} - V_{com}) + V_{com}$

[0021] 其中, V_{sub} 表示次数据信号电压, V_{main} 表示主数据信号电压, $C1$ 表示第一电容, $C2$ 表示第二电容, V_{com} 表示公共电极电压。

[0022] 通过第二金属层与第一金属层形成所述第一电容、及第二电容。

[0023] 通过 ITO 像素电极与第一金属层形成所述第一电容、及第二电容。

[0024] 所述第一电容、第二电容的大小分别由所述第一电容、第二电容的面积确定。

[0025] 通过改变第一电容与第二电容的面积来改变主数据信号电压与次数据信号电压的差值。

[0026] 本发明的有益效果:本发明提供一种高画质液晶显示器像素电路,将第 N 条数据信号线电性连接并提供主数据信号电压至第 N 列子像素的主区,将相应的第 N 条走线由分压单元引出,电性连接并提供经分压单元对主数据信号电压进行分压得到的次数据信号电压至下一列第 N+1 列子像素的次区,并设置第 N 条数据信号线提供的主数据信号电压与第 N+1 条数据信号线提供的主数据信号电压的极性相反,实现了在不增加数据信号线条数与 COF 端数目的前提下,既降低 VA 模式液晶显示器的色偏,又使得一个子像素主区与次区在一帧画面内显示相反的极性,从而减少液晶显示面板的闪烁,提高显示画质。

附图说明

[0027] 下面结合附图,通过对本发明的具体实施方式详细描述,将使本发明的技术方案及其它有益效果显而易见。

[0028] 附图中,

[0029] 图 1 为一种现有的改善 VA 模式液晶显示器色偏问题的像素电路的总体架构图;

[0030] 图 2 是对应于图 1 的具体电路图;

[0031] 图 3 是本发明高画质液晶显示器像素电路的总体架构图;

[0032] 图 4 是对应于图 3 的具体电路图。

具体实施方式

[0033] 为更进一步阐述本发明所采取的技术手段及其效果,以下结合本发明的优选实施例及其附图进行详细描述。

[0034] 请同时参阅图 3 与图 4,本发明提供一种高画质液晶显示器像素电路:多个子像素呈阵列式排布,每一子像素均分为主区 Main 与次区 Sub,对应每一行子像素分别设置一条扫描线,对应每一列子像素分别设置一条数据信号线、一分压单元 10、与一条走线。

[0035] 设 M、N 为正整数,第 M 条扫描线 G(M) 同时电性连接并提供扫描信号至第 M 行子像素的主区 Main 与次区 Sub;第 N 条数据信号线 D(N) 电性连接并提供主数据信号电压至第 N

列子像素的主区 Main,且所述第 N 条数据信号线 D(N) 经由分压单元 10 电性连接至公共电极线 Com,相应的第 N 条走线 L(N) 由所述分压单元 10 引出,电性连接并提供经分压单元 10 对主数据信号电压进行分压得到的次数据信号电压至下一列第 N+1 列子像素的次区 Sub。即,第 1 条数据信号线 D(1) 电性连接并提供主数据信号电压至第 1 列子像素的主区 Main,相应的第 1 条走线 L(1) 由所述分压单元 10 引出,电性连接并提供经分压单元 10 对主数据信号电压进行分压得到的次数据信号电压至第 2 列子像素的次区 Sub;第 2 条数据信号线 D(2) 电性连接并提供主数据信号电压至第 2 列子像素的主区 Main,相应的第 2 条走线 L(2) 由所述分压单元 10 引出,电性连接并提供经分压单元 10 对主数据信号电压进行分压得到的次数据信号电压至第 3 列子像素的次区 Sub;依次类推。

[0036] 特别值得一提的是,相邻的两条数据信号线提供的主数据信号电压的极性相反,设第 N 条数据信号线 D(N) 提供的主数据信号电压的极性为负,则第 N-1 条数据信号线 D(N-1) 与第 N+1 条数据信号线 D(N+1) 提供的主数据信号电压的极性为正。对于第 N 列子像素,每一个子像素的主区 Main 接收到的是第 N 条数据信号线 D(N) 提供的负极性的主数据信号电压,而次区 Sub 接收到的则是经分压单元 10 对第 N-1 条数据信号线 D(N-1) 提供的正极性的主数据信号电压进行分压得到的同样为正极性的次数据信号电压;对于第 N+1 列子像素,每一个子像素的主区 Main 接收到的是第 N+1 条数据信号线 D(N+1) 提供的正极性的主数据信号电压,而次区 Sub 接收到的则是经分压单元 10 对第 N 条数据信号线 D(N) 提供的负极性的主数据信号电压进行分压得到的同样为负极性的次数据信号电压。由此可见,本发明的像素电路实现了一个子像素主区 Main 与次区 Sub 在一帧画面内显示相反的极性,从而能够减少液晶显示面板的闪烁,提高显示画质。

[0037] 具体地,所述分压单元 10 包括串联的第一电容 C1 与第二电容 C2。所述第一电容 C1 的一端电性连接于数据信号线,另一端电性连接于第二电容 C2 的一端;所述第二电容 C2 的另一端电性连接于公共电极线 Com;所述走线由所述第一电容 C1 与第二电容 C2 之间引出。由于液晶显示面板的薄膜晶体管阵列基板包括第一金属层、第二金属层、及氧化铟锡(Indium Tin Oxide,ITO) 像素电极,所述第一电容 C1、及第二电容 C2 可以通过第二金属层与第一金属层形成,也可以通过 ITO 像素电极与第一金属层形成,具体的第一金属层、第二金属层和像素电极的结构及位置为现有技术,此处不再详述。所述第一电容 C1、第二电容 C2 的大小分别由所述第一电容 C1、第二电容 C2 的面积确定。

[0038] 所述主区 Main 中包括第一薄膜晶体管 T1、第一液晶电容 Clc1、及第一存储电容 Cst1;所述次区 Sub 中包括第二薄膜晶体管 T2、第二液晶电容 Clc2、及第二存储电容 Cst2。

[0039] 对于第 M 行第 N 列子像素,所述第一薄膜晶体管 T1 的栅极电性连接于第 M 条扫描线 G(M),源极电性连接于第 N 条数据信号线 D(N);所述第一液晶电容 Clc1 与第一存储电容 Cst1 并联后一端电性连接于第一薄膜晶体管 T1 的漏极,另一端电性连接于一恒定电压;所述第二薄膜晶体管 T2 的栅极电性连接于第 M 条扫描线 G(M),源极电性连接于对应于上一列第 N-1 列子像素的第 N-1 条走线 D(N-1);所述第二液晶电容 Clc2 与第二存储电容 Cst2 并联后一端电性连接于第二薄膜晶体管 T2 的漏极,另一端电性连接于一恒定电压。

[0040] 对于第 M 行第 N+1 列子像素,所述第一薄膜晶体管 T1 的源极电性连接于第 N+1 条数据信号线 D(N+1);所述第二薄膜晶体管 T2 的源极电性连接于对应于第 N 列子像素的第 N 条走线 D(N)。

[0041] 进一步地,所述主区 Main 与次区 Sub 分别包括多畴,例如所述主区 Main 与次区 Sub 分别包括 4 个畴,所述第 N 条数据信号线 D(N) 向第 N 列子像素的主区 Main 内的 4 个畴提供主数据信号电压,所述第 N 条走线 L(N) 向下一列第 N+1 列子像素的次区 Sub 内的 4 个畴提供次数据信号电压。在所述第一电容 C1 与第二电容 C2 的分压作用下,所述主数据信号电压与次数据信号电压的关系为:

$$[0042] \quad V_{\text{sub}} = (C1 / (C1 + C2)) \times (V_{\text{main}} - V_{\text{com}}) + V_{\text{com}} \quad (1)$$

[0043] 其中, V_{sub} 表示次数据信号电压, V_{main} 表示主数据信号电压, C1 表示第一电容, C2 表示第二电容, V_{com} 表示公共电极电压。

[0044] 由此可见,所述次数据信号电压不同于主数据信号电压,且次数据信号电压比主数据信号电压更接近于公共电极电压,即次数据信号电压与公共电压的压差小于主数据信号电压与公共电极电压的压差,使得施加给第 N 列子像素的主区 Main 与施加给第 N+1 列子像素的次区 Sub 的电压不同,能够进行多畴显示,改善 VA 模式液晶显示器的色偏问题,且不增加数据信号线的条数与 COF 数目,降低液晶显示面板的制造成本。

[0045] 由于所述第一电容 C1、第二电容 C2 的大小分别由所述第一电容 C1、第二电容 C2 的面积确定,根据 (1) 式可知:所述主数据信号电压与次数据信号电压之间的差值受到第一电容 C1 与第二电容 C2 的大小的影响,可以通过改变第一电容 C1 与第二电容 C2 的面积来改变主数据信号电压与次数据信号电压的差值。

[0046] 综上所述,本发明的高画质液晶显示器像素电路,将第 N 条数据信号线电性连接并提供主数据信号电压至第 N 列子像素的主区,将相应的第 N 条走线由分压单元引出,电性连接并提供经分压单元对主数据信号电压进行分压得到的次数据信号电压至下一列第 N+1 列子像素的次区,并设置第 N 条数据信号线提供的主数据信号电压与第 N+1 条数据信号线提供的主数据信号电压的极性相反,实现了在不增加数据信号线条数与 COF 端数目的前提下,既降低 VA 模式液晶显示器的色偏,又使得一个子像素主区与次区在一帧画面内显示相反的极性,从而减少液晶显示面板的闪烁,提高显示画质。

[0047] 以上所述,对于本领域的普通技术人员来说,可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形,而所有这些改变和变形都应属于本发明权利要求的保护范围。

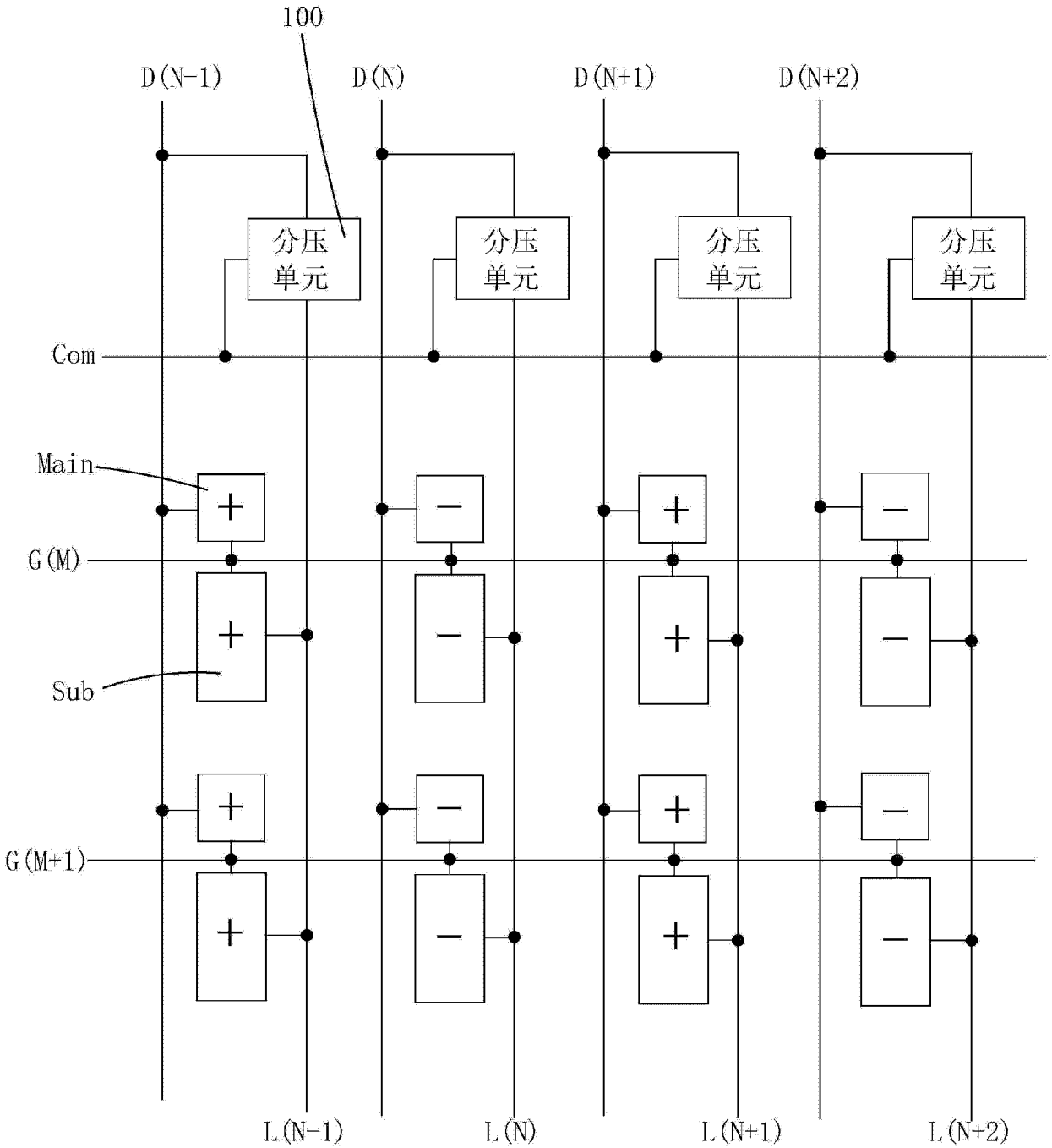


图 1

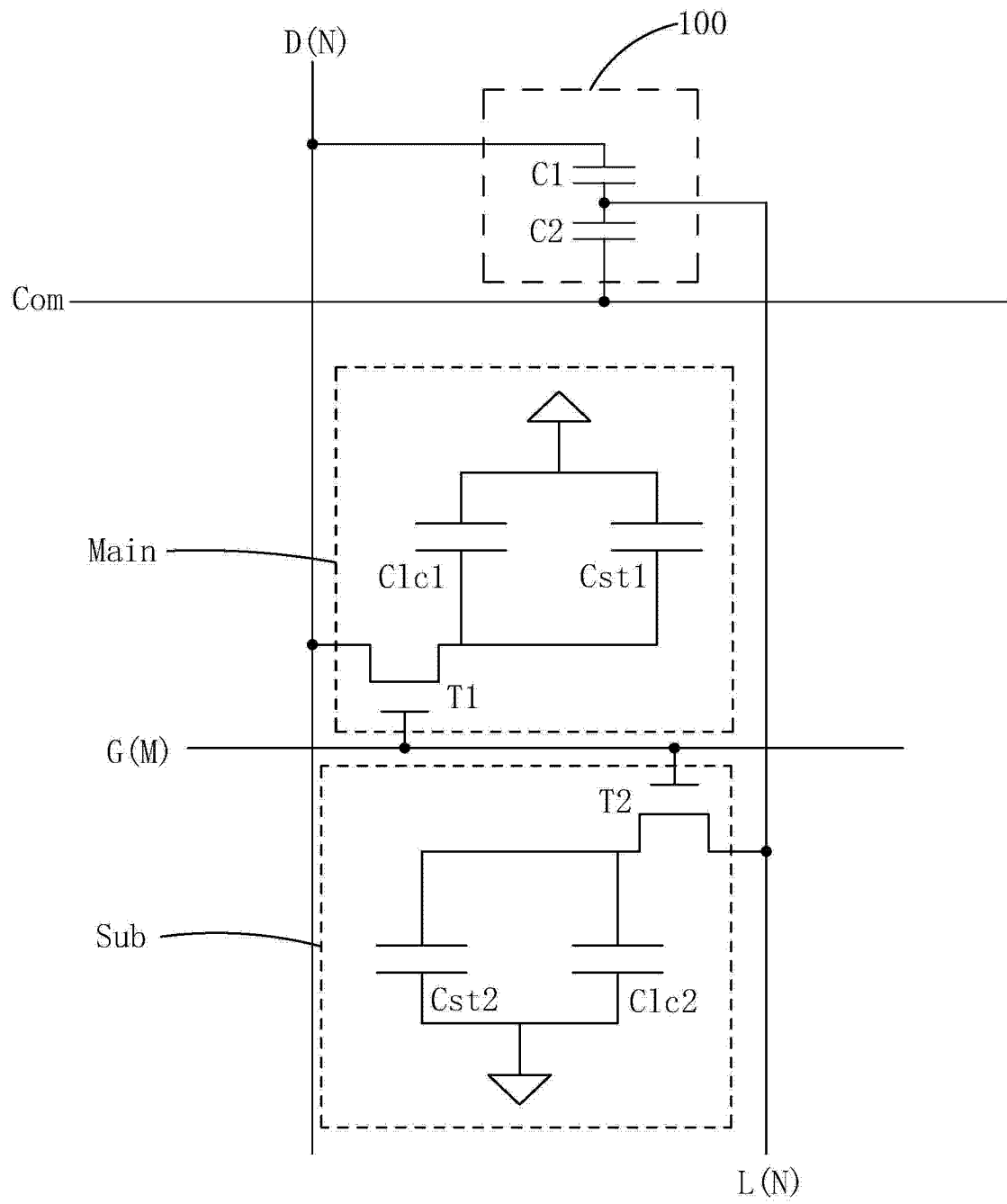


图 2

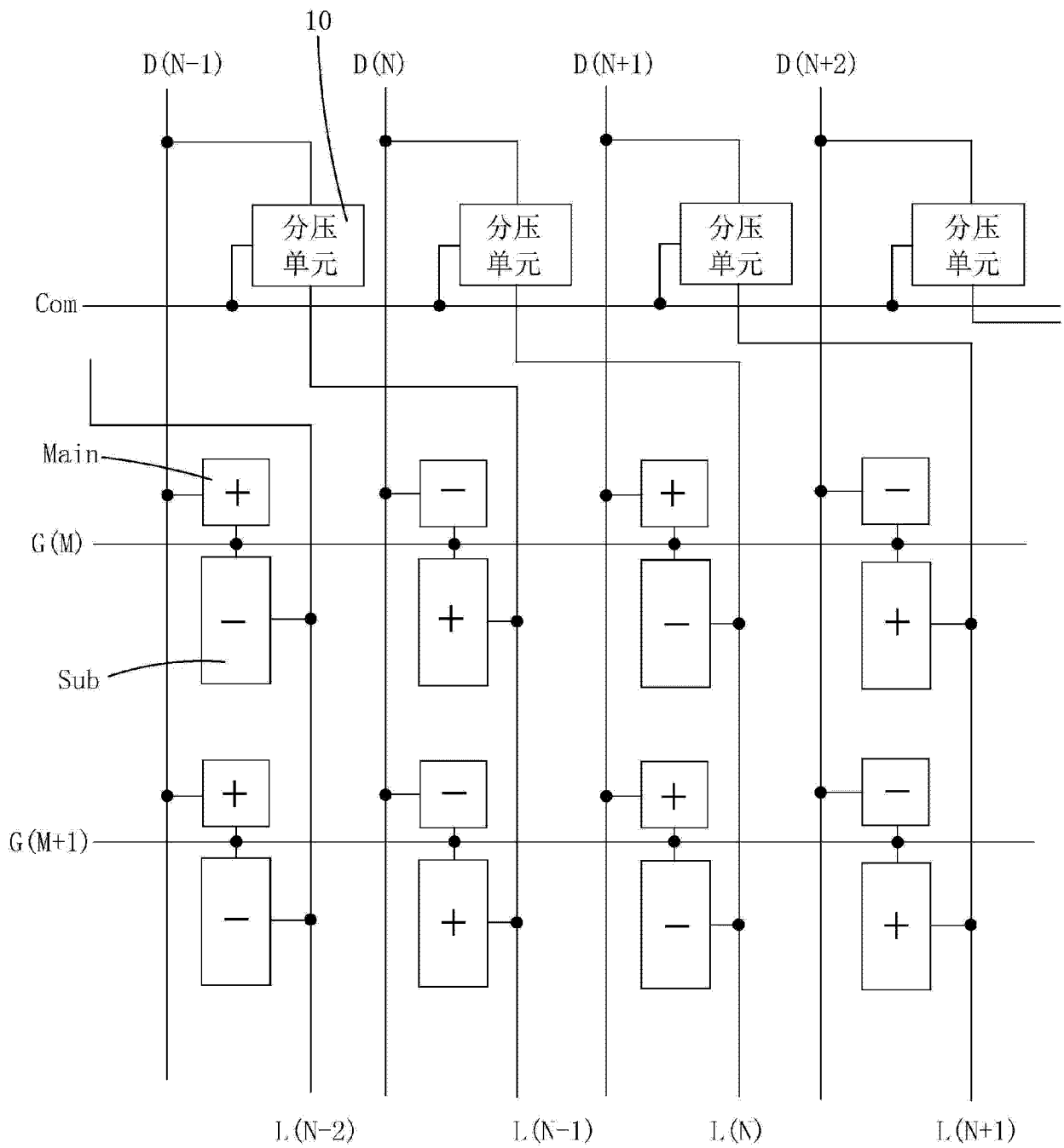


图 3

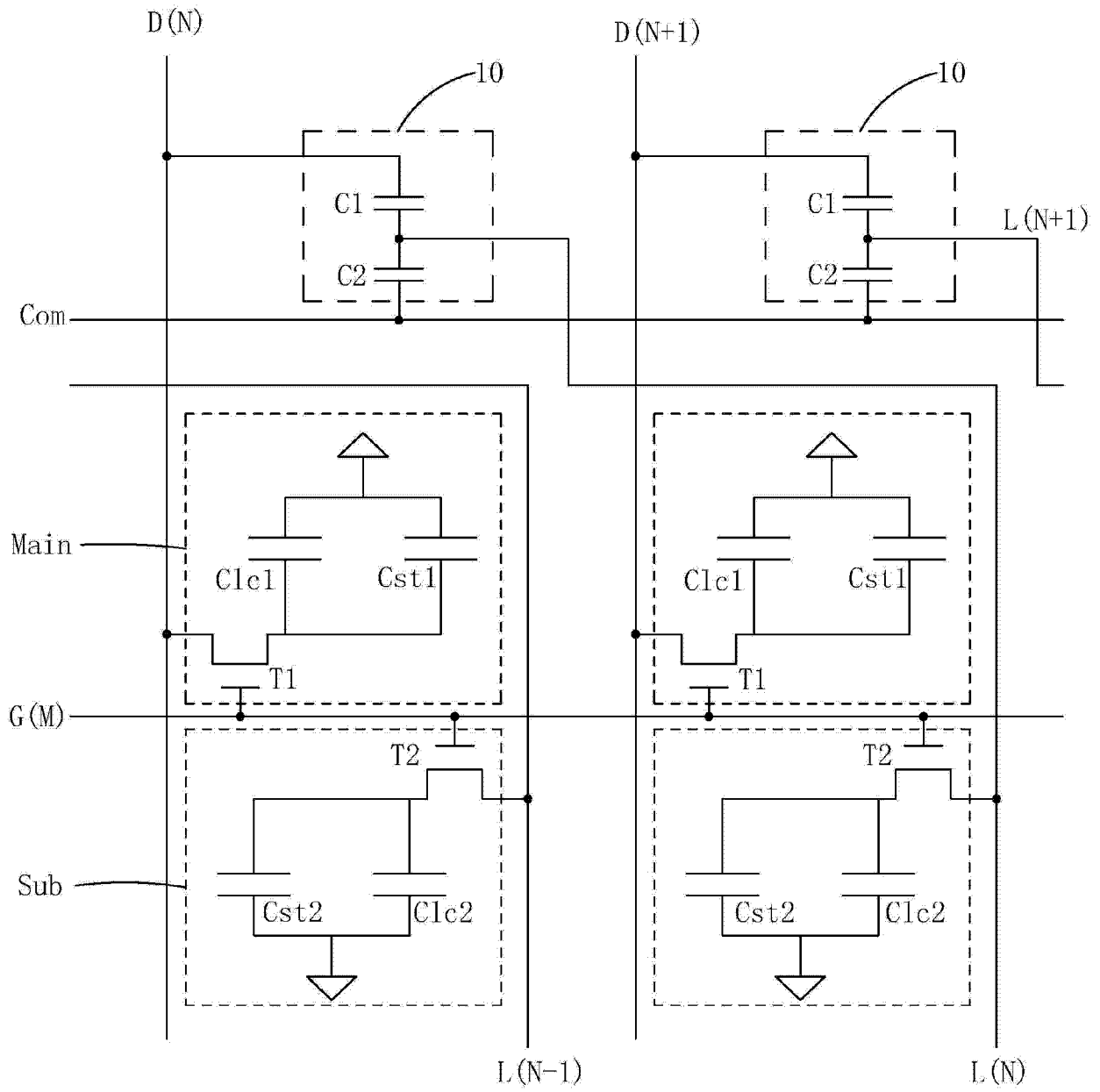


图 4

专利名称(译)	高画质液晶显示器像素电路		
公开(公告)号	CN104834138A	公开(公告)日	2015-08-12
申请号	CN201510271833.6	申请日	2015-05-25
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	徐洪远		
发明人	徐洪远		
IPC分类号	G02F1/1362 G02F1/1368		
CPC分类号	G02F1/136286 G02F1/1368 G09G3/3607 G09G3/3648 G09G3/3659 G09G2300/0447 H01L27/124 H01L27/1255 G09G3/3611		
其他公开文献	CN104834138B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种高画质液晶显示器像素电路，多个子像素呈阵列式排布，每一子像素均分为主区(Main)与次区(Sub)，对应每一列子像素分别设置一条数据信号线、一分压单元(10)、与一条走线；第N条数据信号线(D(N))电性连接并提供主数据信号电压至第N列子像素的主区(Main)，相应的第N条走线(L(N))由所述分压单元(10)引出，电性连接并提供经分压单元(10)对主数据信号电压进行分压得到的次数据信号电压至下一列第N+1列子像素的次区(Sub)；第N条数据信号线(D(N))提供的主数据信号电压与下一条第N+1条数据信号线(D(N+1))提供的主数据信号电压的极性相反。该像素电路能够降低色偏，减少液晶显示面板的闪烁，提高显示画质。

