



(12) 发明专利申请

(10) 申请公布号 CN 104076537 A

(43) 申请公布日 2014. 10. 01

(21) 申请号 201410277039. 8

(22) 申请日 2014. 06. 19

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

申请人 北京京东方光电科技有限公司

(72) 发明人 林子锦 赵海生 张铁林

(74) 专利代理机构 北京银龙知识产权代理有限公司

公司 11243

代理人 许静 黄灿

(51) Int. Cl.

G02F 1/13 (2006. 01)

G02F 1/1343 (2006. 01)

G02F 1/1368 (2006. 01)

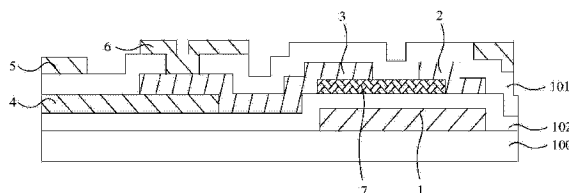
权利要求书2页 说明书7页 附图4页

(54) 发明名称

阵列基板及其制作方法、显示装置及测量方法

(57) 摘要

本发明涉及液晶显示技术领域,公开了一种阵列基板及其制作方法、显示装置及测量方法。所述阵列基板包括暴露在表面的电性连接块,通过在钝化层中制作钝化层过孔,露出薄膜晶体管的漏电极或像素电极,使得所述电性连接块填充所述钝化层过孔,与漏电极或像素电极接触设置,从而在测量 TFT 电学特性值时,测量设备的 Pixel 探针可以通过与所述电性连接块的直接接触,而与漏电极或像素电极电性连接,实现对 TFT 电学特性的测量。



1. 一种阵列基板,包括多个像素单元,每个像素单元包括薄膜晶体管、像素电极和公共电极,所述像素电极和薄膜晶体管的上方覆盖有钝化层,所述公共电极位于所述钝化层的上方,并与所述像素电极的位置对应,所述薄膜晶体管的漏电极与所述像素电极电性连接,其特征在于,所述钝化层中形成有钝化层过孔;

每个像素单元还包括填充所述钝化层过孔的电性连接块;

所述电性连接块的一端通过所述钝化层过孔与所述像素电极或漏电极接触设置,另一端暴露在所述阵列基板的表面。

2. 根据权利要求1所述的阵列基板,其特征在于,所述电性连接块与公共电极由同一透明导电层通过一次构图工艺同时形成,所述公共电极设置于所述阵列基板的最上层。

3. 根据权利要求2所述的阵列基板,其特征在于,所述电性连接块贯穿所述钝化层过孔,且所述电性连接块的一端与所述像素电极或所述漏电极之间的接触面积小于暴露在所述阵列基板的表面的另一端的截面面积,暴露在所述阵列基板的表面的另一端覆盖在所述钝化层的表面。

4. 根据权利要求1-3任一项所述的阵列基板,其特征在于,所述薄膜晶体管的漏电极设置于所述像素电极的上方,且与所述像素电极直接搭接;所述电性连接块的一端通过所述钝化层过孔与薄膜晶体管的漏电极接触设置。

5. 根据权利要求1-3任一项所述的阵列基板,其特征在于,所述像素电极设置于所述薄膜晶体管的漏电极的上方,且与所述薄膜晶体管的漏电极直接搭接;所述电性连接块的一端通过所述钝化层过孔与所述像素电极接触设置。

6. 一种显示装置,其特征在于,包括权利要求1-5任一项所述的阵列基板。

7. 一种阵列基板的制作方法,包括:

形成多个像素单元;

形成每个像素单元的步骤包括:

形成薄膜晶体管和像素电极的图案;

在所述像素电极和薄膜晶体管的上方形成钝化层;

在所述钝化层的上方形成公共电极的图案,所述公共电极与像素电极的位置对应,所述薄膜晶体管的漏电极与所述像素电极电性连接,其特征在于,形成每个像素单元的步骤还包括:

对所述钝化层进行构图工艺形成钝化层过孔;

形成一填充所述钝化层过孔的电性连接块,所述电性连接块的一端与所述像素电极或漏电极接触设置,另一端暴露在所述阵列基板的表面。

8. 根据权利要求7所述的制作方法,其特征在于,形成所述公共电极和电性连接块的步骤具体为:

在所述钝化层上形成透明导电层;

对所述透明导电层进行构图工艺,形成所述公共电极和电性连接块的图案。

9. 根据权利要求8所述的制作方法,其特征在于,所述电性连接块贯穿所述钝化层过孔,且所述电性连接块的一端与所述像素电极或所述漏电极之间的接触面积小于暴露在所述阵列基板的表面的另一端的截面面积,暴露在所述阵列基板的表面的另一端覆盖在所述钝化层的表面。

10. 一种对权利要求 1-5 任一项所述的阵列基板的电学特性进行测量的方法,包括:
- 将栅线探针与阵列基板的栅线接触;
- 将数据探针与阵列基板的数据线接触,其特征在于,
- 所述阵列基板的钝化层中形成有钝化层过孔,所述阵列基板还包括一填充所述钝化层过孔的电性连接块,所述电性连接块的一端通过所述钝化层过孔与所述像素电极或漏电极接触设置,另一端暴露在所述阵列基板的表面;
- 所述测试方法还包括:
- 将像素探针与所述电性连接块接触,对栅线探针和数据线探针加载预设的电压,通过像素探针输出的信号获取薄膜晶体管的电学特性值。

阵列基板及其制作方法、显示装置及测量方法

技术领域

[0001] 本发明涉及液晶显示技术领域,特别是涉及一种阵列基板及其制作方法、显示装置及测量方法。

背景技术

[0002] 薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, 简称 TFT-LCD) 具有体积小、功耗低、无辐射、制造成本相对较低等特点,在当前的平板显示器市场占据了主导地位。TFT-LCD 阵列基板是 TFT-LCD 的重要部件之一。在阵列基板上形成有纵横交叉的栅线和数据线,限定多个像素单元,每个像素单元包括薄膜晶体管 (Thin Film Transistor, 简称 TFT)、像素电极和公共电极, TFT 的漏电极和像素电极电性连接,源电极和数据线电性连接,栅电极和栅线电性连接。数据线上传输的像素电压通过薄膜晶体管输出至像素电极,像素电极与公共电极配合,形成驱动液晶分子偏转的驱动电场,实现特定灰阶的显示。

[0003] 可见, TFT 的电学特性直接影响 TFT-LCD 的显示品质,因此,在实际生产过程中,都需要对 TFT 的电学特性进行测量。其中, TFT 的电学特性主要包括 I_{on} (TFT 工作电流), I_{off} (反向截止电流), V_{th} (开启电压), $Mobility$ (迁移率), 每一个参数都非常重要。目前测量 TFT 电学特性的设备在测量时需要将对应的探针与配线接触,才能测量出电学特性值,如栅线 (Gate) 探针与栅线接触,数据 (Data) 探针与数据线接触,像素 (Pixel) 探针与漏电极或像素电极接触。通过 Gate 探针加载 $0 \sim 20V$, Data 探针加载 $15V$ 电信号,进而通过 Pixel 探针输出的信号获取 TFT 的电学特性值。

[0004] 当公共电极不形成在阵列基板上时,像素电极位于阵列基板的最上层,测量 TFT 电学特性的 Pixel 探针可以直接与像素电极接触,来测量 TFT 的电学特性值。但是,当公共电极形成在阵列基板上时,公共电极通常位于阵列基板的最上层,像素电极位于公共电极的下方,导致测量设备的 Pixel 探针无法直接与像素电极接触,从而无法测量实际 TFT 的电学特性。

发明内容

[0005] 本发明提供一种阵列基板及其制作方法、显示装置及测量方法,用以解决当公共电极形成在阵列基板上时,测量 TFT 电学特性的设备的 Pixel 探针无法直接与像素电极接触,从而无法测量 TFT 的电学特性值的问题。

[0006] 为解决上述技术问题,本发明提供一种阵列基板,包括多个像素单元,每个像素单元包括薄膜晶体管、像素电极和公共电极,所述像素电极和薄膜晶体管的上方覆盖有钝化层,所述公共电极位于所述钝化层的上方,并与所述像素电极的位置对应,所述薄膜晶体管的漏电极与所述像素电极电性连接,其中,所述钝化层中形成有钝化层过孔;

[0007] 每个像素单元还包括填充所述钝化层过孔的电性连接块;

[0008] 所述电性连接块的一端通过所述钝化层过孔与所述像素电极或漏电极接触设置,

另一端暴露在所述阵列基板的表面。

[0009] 如上所述的阵列基板,优选的是,所述电性连接块与公共电极由同一透明导电层通过一次构图工艺同时形成,所述公共电极设置于所述阵列基板的最上层。

[0010] 如上所述的阵列基板,优选的是,所述电性连接块贯穿所述钝化层过孔,且所述电性连接块的一端与所述像素电极或所述漏电极之间的接触面积小于暴露在所述阵列基板的表面的另一端的截面面积,暴露在所述阵列基板的表面的另一端覆盖在所述钝化层的表面。

[0011] 如上所述的阵列基板,优选的是,所述薄膜晶体管的漏电极设置于所述像素电极的上方,且与所述像素电极直接搭接;所述电性连接块的一端通过所述钝化层过孔与薄膜晶体管的漏电极接触设置。

[0012] 如上所述的阵列基板,优选的是,所述像素电极设置于所述薄膜晶体管的漏电极的上方,且与所述薄膜晶体管的漏电极直接搭接;所述电性连接块的一端通过所述钝化层过孔与所述像素电极接触设置。

[0013] 本发明还提供一种显示装置,其包括如上所述的阵列基板。

[0014] 本发明还提供一种阵列基板的制作方法,包括:

[0015] 形成多个像素单元;

[0016] 形成每个像素单元的步骤包括:

[0017] 形成薄膜晶体管和像素电极的图案;

[0018] 在所述像素电极和薄膜晶体管的上方形成钝化层;

[0019] 在所述钝化层的上方形成公共电极的图案,所述公共电极与像素电极的位置对应,所述薄膜晶体管的漏电极与所述像素电极电性连接,其中,形成每个像素单元的步骤还包括:

[0020] 对所述钝化层进行构图工艺形成钝化层过孔;

[0021] 形成一填充所述钝化层过孔的电性连接块,所述电性连接块的一端与所述像素电极或漏电极接触设置,另一端暴露在所述阵列基板的表面。

[0022] 如上所述的制作方法,优选的是,形成所述公共电极和电性连接块的步骤具体为:

[0023] 在所述钝化层上形成透明导电层;

[0024] 对所述透明导电层进行构图工艺,形成所述公共电极和电性连接块的图案。

[0025] 如上所述的制作方法,优选的是,所述电性连接块贯穿所述钝化层过孔,且所述电性连接块的一端与所述像素电极或所述漏电极之间的接触面积小于暴露在所述阵列基板的表面的另一端的截面面积,暴露在所述阵列基板的表面的另一端覆盖在所述钝化层的表面。

[0026] 本发明还提供一种对如上所述的阵列基板的电学特性进行测量的方法,包括:

[0027] 将栅线探针与阵列基板的栅线接触;

[0028] 将数据探针与阵列基板的数据线接触,其中,

[0029] 所述阵列基板的钝化层中形成有钝化层过孔,所述阵列基板还包括一填充所述钝化层过孔的电性连接块,所述电性连接块的一端通过所述钝化层过孔与所述像素电极或漏电极接触设置,另一端暴露在所述阵列基板的表面;

[0030] 所述测试方法还包括：

[0031] 将像素探针与所述电性连接块接触，对栅线探针和数据线探针加载预设的电压，通过像素探针输出的信号获取薄膜晶体管的电学特性值。

[0032] 本发明的上述技术方案的有益效果如下：

[0033] 上述技术方案中，TFT 阵列基板包括暴露在表面的电性连接块，通过在钝化层上制作钝化层过孔，露出薄膜晶体管的漏电极或像素电极，使得所述电性连接块填充所述钝化层过孔，与漏电极或像素电极接触设置，从而在测量 TFT 电学特性值时，测量设备的 Pixel 探针可以通过与所述电性连接块的直接接触，而与漏电极或像素电极电性连接，实现对 TFT 电学特性的测量。

附图说明

[0034] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

[0035] 图 1 表示本发明实施例中阵列基板的结构示意图；

[0036] 图 2 表示图 1 沿 A-A 方向的剖视图；

[0037] 图 3 表示图 1 沿 B-B 方向的剖视图；

[0038] 图 4 表示本发明实施例中阵列基板的制作流程示意图；

[0039] 图 5- 图 9 表示本发明实施例中阵列基板的制作过程示意图。

具体实施方式

[0040] 结合图 1 所示，TFT-LCD 的阵列基板包括纵横交叉的栅线 10 和数据线 20，栅线 10 和数据线 20 限定多个像素单元。每个像素单元包括薄膜晶体管和像素电极 4，薄膜晶体管的栅电极 1 与栅线 10 电性连接，源电极 2 与数据线 20 电性连接，漏电极 3 与像素电极 4 电性连接。TFT-LCD 还包括公共电极 5，用于与像素电极 4 配合，用于产生驱动液晶分子旋转的电场。其中，公共电极 5 可以形成在阵列基板上，也可以形成在 TFT-LCD 的彩膜基板上。

[0041] 对于 TFT-LCD，TFT 的电学特性直接影响产品的显示品质。因此，在实际生产过程中，对 TFT 的电学特性进行测量是最重要的生产环节之一。TFT 的电学特性主要包括 I_{on} (TFT 工作电流)， I_{off} (反向截止电流)， V_{th} (开启电压)， $Mobility$ (迁移率)。目前测量 TFT 电学特性的设备在测量时需要将对应的探针与配线接触，才能测量出电学特性值，如栅线 (Gate) 探针与栅线接触，数据 (Data) 探针与数据线接触，像素 (Pixel) 探针与漏电极或像素电极接触。

[0042] 当公共电极 5 形成在彩膜基板上时，像素电极 4 位于阵列基板的最上层，测量 TFT 电学特性的 Pixel 探针可以直接与像素电极接触，来测量 TFT 的电学特性值。但是，当公共电极 5 形成在阵列基板上，且公共电极 5 位于阵列基板的最上层，像素电极 4 位于公共电极 5 的下方时，导致测量设备的 Pixel 探针无法直接与像素电极 4 接触，从而无法测量实际 TFT 的电学特性。

[0043] 本发明就是针对上述技术问题，提供一种薄膜晶体管阵列基板及其制作方法，以

实现公共电极位于阵列基板上,且位于像素电极上方,即位于阵列基板的最上层时,对 TFT 电学特性的测量。

[0044] 下面将结合附图和实施例,对本发明的具体实施方式作进一步详细描述。以下实施例用于说明本发明,但不用来限制本发明的范围。

[0045] 本发明实施例中提供一种阵列基板,其包括多个像素单元,每个像素单元包括薄膜晶体管、像素电极和公共电极。所述像素电极和薄膜晶体管的上方覆盖有钝化层。所述公共电极位于所述钝化层的上方,并与所述像素电极的位置对应。所述薄膜晶体管的漏电极与所述像素电极电性连接。

[0046] 在所述钝化层中还形成有钝化层过孔,以露出薄膜晶体管的漏电极或像素电极。并设置每个像素单元还包括填充所述钝化层过孔的电性连接块,使得所述电性连接块的一端通过所述钝化层过孔与所述像素电极或漏电极接触设置,另一端暴露在所述阵列基板的表面。

[0047] 上述技术方案,由于电性连接块其中一端暴露在阵列基板的表面,在进行 TFT 电学特性的测量时,测量设备的 Pixel 探针可以直接与电性连接块的该端接触,且该电性连接块与像素电极或漏电极电性接触,进而实现 Pixel 探针与像素电极或漏电极的电性连接,进而可通过探针输出的信号获取 TFT 的电学特性值。

[0048] 相应地,上述薄膜晶体管阵列基板的制作方法包括:

[0049] 形成多个像素单元;

[0050] 如图 4 所示,形成每个像素单元的步骤包括:

[0051] 步骤 S1、形成薄膜晶体管和像素电极的图案;

[0052] 步骤 S2、在所述像素电极和薄膜晶体管的上方形成钝化层;

[0053] 步骤 S3、对所述钝化层进行构图工艺形成钝化层过孔;

[0054] 步骤 S4、在所述钝化层的上方形成公共电极和电性连接块的图案,所述公共电极与像素电极的位置对应,所述薄膜晶体管的漏电极与所述像素电极电性连接。所述电性连接块填充所述钝化层过孔,其一端通过所述钝化层过孔与所述像素电极或漏电极接触设置,另一端暴露在所述阵列基板的表面。

[0055] 优选地,所述电性连接块与公共电极由同一透明导电层通过一次构图工艺同时形成,且所述公共电极设置于所述阵列基板的最上层。具体的,可以在钝化层上形成透明导电膜层,然后对透明导电膜层进行构图工艺,同时形成所述电性连接块与公共电极,也就是说,该透明导电膜层在钝化层过孔位置填充于该钝化层过孔中,以形成上述的电性连接块,而不必另外设置填充材料作为电性连接块,由于公共电极和电性连接块所在层位于阵列基板的最上层,使电性连接块暴露在阵列基板表面,因此,可直接将用于测量的像素探针与连接块接触,以对阵列基板的电学特性进行测试。该步骤具体包括:

[0056] 在所述透明导电层上涂覆光刻胶;

[0057] 对光刻胶进行曝光和显影,形成光刻胶保留区域和光刻胶不保留区域,其中,光刻胶保留区域至少对应于公共电极和电性连接块所在的区域,光刻胶不保留区域对应于其他区域;

[0058] 通过湿法刻蚀工艺去除光刻胶不保留区域的透明导电层,形成包括公共电极和电性连接块的图案;

[0059] 剥离剩余的光刻胶,形成公共电极和电性连接块。

[0060] 进一步地,所述电性连接块贯穿所述钝化层过孔,且所述电性连接块的一端与所述像素电极或所述漏电极之间的接触面积小于暴露在所述阵列基板的表面的另一端的截面面积,暴露在所述阵列基板的表面的另一端覆盖在所述钝化层的表面,此种设置方式可方便用于测试的像素探针与所述电性连接块的接触,保证二者电性接触良好,以更加方便的对阵列基板的电学特性进行测试。

[0061] 本发明的技术方案中,TFT 阵列基板包括暴露在表面的电性连接块,通过在钝化层中制作钝化层过孔,露出薄膜晶体管的漏电极或像素电极,使得所述电性连接块填充所述钝化层过孔,与漏电极或像素电极接触设置,从而在测量 TFT 电学特性值时,测量设备的 Pixel 探针可以通过与所述电性连接块的直接接触,实现与漏电极或像素电极电性连接,进而实现对 TFT 电学特性值的测量。

[0062] 当公共电极形成在阵列基板上时,薄膜晶体管的漏电极与像素电极一般通过直接搭接的方式电性连接。需要说明的是,本发明中涉及的搭接是指:第一图案位于第二图案的上方,且两个图案接触设置,具有交叠的区域。

[0063] 当薄膜晶体管的漏电极设置于像素电极的上方,且与像素电极直接搭接时,所述电性连接块的一端通过所述钝化层过孔与薄膜晶体管的漏电极接触设置。

[0064] 当像素电极设置于薄膜晶体管的漏电极的上方,且与薄膜晶体管的漏电极直接搭接时,所述电性连接块的一端通过所述钝化层过孔与所述像素电极接触设置。

[0065] 结合图 1- 图 3 所示,本发明实施例中,阵列基板具体包括:

[0066] 衬底基板 100,为透明基板,通常为玻璃基板、石英基板或有机树脂基板;

[0067] 形成在衬底基板 100 上的栅电极 1 和栅线 10,栅电极 1 与栅线 10 电性连接;

[0068] 形成在栅电极 1 和栅线 10 上的栅绝缘层 102;

[0069] 形成在栅绝缘层 102 上的有源层图案 7;

[0070] 形成在有源层图案 7 上的像素电极 4;

[0071] 形成在像素电极 4 上的数据线 20、源电极 2 和漏电极 3,其中,漏电极 3 直接搭接在像素电极 4 上方,源电极 2 与数据线 20 电性连接;

[0072] 形成在数据线 20、源电极 2 和漏电极 3 上的钝化层 101,在钝化层 101 上中形成有钝化层过孔(图中未示出),露出漏电极 3;

[0073] 形成在钝化层 101 上的公共电极 5 和电性连接块 6,公共电极 5 为狭缝电极,与像素电极 4 的位置对应。电性连接块 6 填充所述钝化层过孔,其一端通过所述钝化层过孔与漏电极 3 接触,另一端覆盖在钝化层 101 的表面。

[0074] 结合图 3 和图 5- 图 9 所示,本发明实施例中,阵列基板的制作方法具体包括:

[0075] 步骤 a、结合图 5 所示,提供一衬底基板 100,通过一次构图工艺在衬底基板 100 上形成栅电极 1 和栅线(图中未示出);

[0076] 提供一衬底基板 100,在衬底基板 100 上形成由栅金属层组成的包括栅电极 1 和与栅电极 1 连接的栅线的图案。其中,衬底基板 100 可为玻璃基板、石英基板或有机树脂基板。

[0077] 具体地,可以采用溅射或热蒸发的方法在衬底基板 100 上沉积一层厚度为 2500-16000Å 的栅金属层,栅金属层可以是 Cu, Al, Ag, Mo, Cr, Nd, Ni, Mn, Ti, Ta, W 等金

属以及这些金属的合金,栅金属层可以为单层结构或者多层结构,多层结构比如 Cu\Mo, Ti\Cu\Ti, Mo\Al\Mo 等。在栅金属层上涂覆一层光刻胶,采用掩模板对光刻胶进行曝光,显影,使光刻胶形成光刻胶不保留区域和光刻胶保留区域,其中,光刻胶保留区域对应于栅线和栅电极 1 的所在区域,光刻胶不保留区域对应于其他区域;通过刻蚀工艺完全刻蚀掉光刻胶不保留区域的栅金属薄膜,剥离剩余的光刻胶,形成栅线和栅电极 1。

[0078] 步骤 b、如图 5 所示,在经过步骤 a 的衬底基板 100 上形成栅绝缘层 102;

[0079] 具体地,可以采用等离子体增强化学气相沉积 (PECVD) 方法,在经过步骤 a 的衬底基板 100 上沉积厚度约为 $2000-6000\text{\AA}$ 的栅绝缘层 102,其中,栅绝缘层材料可以选用氧化物、氮化物或者氮氧化物,栅绝缘层 102 可以为单层、双层或多层结构。具体地,栅绝缘层 102 可以是 SiN_x , SiO_x 或 $\text{Si}(\text{ON})_x$ 。

[0080] 步骤 c、如图 6 所示,在经过步骤 b 的衬底基板 100 上形成有源层图案 7;

[0081] 具体地,可以在经过步骤 b 的衬底基板 100 上采用磁控溅射、热蒸发或其它成膜方法沉积一层厚度约为 $300-1500\text{\AA}$ 的有源层,其中,有源层的材料为硅半导体或金属氧化物半导体。然后对有源层进行构图工艺,形成有源层图案 7。

[0082] 步骤 d、如图 7 所示,在经过步骤 c 的衬底基板 100 上形成像素电极 4;

[0083] 具体地,在经过步骤 c 的衬底基板 100 上采用磁控溅射、热蒸发或其它成膜方法沉积厚度为 $300-1500\text{\AA}$ 的透明导电层,透明导电层可以是 ITO 或 IZO。在透明导电层上涂敷一层光刻胶;采用掩模板对光刻胶进行曝光,显影,使光刻胶形成光刻胶不保留区域和光刻胶保留区域,其中,光刻胶保留区域对应于像素电极 4 所在区域,光刻胶不保留区域对应于其他区域;通过刻蚀工艺完全刻蚀掉光刻胶不保留区域的透明导电层,剥离剩余的光刻胶,形成像素电极 4。

[0084] 步骤 e、如图 8 所示,通过一次构图工艺在经过步骤 d 的衬底基板 100 上形成数据线、源电极 2 和漏电极 3 的图案;

[0085] 具体地,可以在经过步骤 d 的衬底基板 100 上采用磁控溅射、热蒸发或其它成膜方法沉积一层厚度约为 $2000-6000\text{\AA}$ 的源漏金属层,源漏金属层可以是 Cu, Al, Ag, Mo, Cr, Nd, Ni, Mn, Ti, Ta, W 等金属以及这些金属的合金。源漏金属层可以是单层结构或者多层结构,多层结构比如 Cu\Mo, Ti\Cu\Ti, Mo\Al\Mo 等。

[0086] 在源漏金属层上涂覆一层光刻胶,采用掩模板对光刻胶进行曝光,显影,使光刻胶形成光刻胶不保留区域和光刻胶保留区域,其中,光刻胶保留区域对应于数据线、源电极 2 和漏电极 3 的所在区域,光刻胶不保留区域对应于其他区域;通过刻蚀工艺完全刻蚀掉光刻胶不保留区域的源漏金属薄膜,剥离剩余的光刻胶,形成数据线、源电极 2 和漏电极 3,如图 8 所示。

[0087] 其中,源电极 2 和数据线电性连接,漏电极 3 设置于像素电极 4 上方,并与像素电极 4 直接搭接,电性连接。

[0088] 步骤 f、如图 9 所示,通过一次构图工艺在经过步骤 e 的衬底基板 100 上形成包括有钝化层过孔 8 的钝化层 101,露出漏电极 3;

[0089] 具体地,在经过步骤 e 的衬底基板 100 上采用磁控溅射、热蒸发、PECVD 或其它成

膜方法沉积厚度为 $400\text{-}5000\text{\AA}$ 的钝化层 101, 其中, 钝化层 101 的材料可以选用氧化物、氮化物或氮氧化物, 具体地, 钝化层 101 可以是 SiN_x , SiO_x 或 $\text{Si}(\text{ON})_x$ 。钝化层 101 可以是单层结构, 也可以是采用氮化硅和氧化硅构成的两层结构。

[0090] 在钝化层 101 上涂敷一层光刻胶; 采用掩模板对光刻胶进行曝光, 显影, 使光刻胶形成光刻胶不保留区域和光刻胶保留区域, 其中, 光刻胶不保留区域对应于钝化层过孔 8 所在区域, 光刻胶保留区域对应于其他区域; 通过刻蚀工艺完全刻蚀掉光刻胶不保留区域的钝化层, 形成钝化层过孔 8, 露出漏电极 3。剥离剩余的光刻胶。

[0091] 步骤 g、如图 3 所示, 通过一次构图工艺在经过步骤 f 的衬底基板 100 上形成公共电极 5 和电性连接块 6 的图案, 其中, 公共电极 5 为狭缝电极, 电性连接块 6 填充钝化层过孔 8, 其一端通过钝化层过孔 8 与漏电极 3 接触, 另一端覆盖在钝化层 101 的表面, 暴露在阵列基板的表面, 结合图 9 所示。

[0092] 具体地, 在经过步骤 f 的衬底基板 100 上采用磁控溅射、热蒸发或其它成膜方法沉积厚度为 $300\text{-}1500\text{\AA}$ 的透明导电层, 透明导电层可以是 ITO 或 IZO。在透明导电层上涂敷一层光刻胶; 采用掩模板对光刻胶进行曝光, 显影, 使光刻胶形成光刻胶不保留区域和光刻胶保留区域, 其中, 光刻胶保留区域对应于公共电极 5 和电性连接块 6 的所在区域, 光刻胶不保留区域对应于其他区域; 通过刻蚀工艺完全刻蚀掉光刻胶不保留区域的透明导电层, 剥离剩余的光刻胶, 形成公共电极 5 和电性连接块 6, 电性连接块 6 填充钝化层过孔 8, 其一端与漏电极 3 接触, 另一端覆盖在钝化层 101 的表面, 暴露在阵列基板的表面, 结合图 3 和图 9 所示。

[0093] 至此完成阵列基板的制作。

[0094] 本发明实施例中还提供一种显示装置, 其包括上述的阵列基板。所述阵列基板包括公共电极和电性连接块, 其中, 公共电极位于像素电极上方, 即公共电极位于阵列基板的最上层。所述电性连接块的一端通过钝化层过孔与像素电极或薄膜晶体管的漏电极接触, 另一端暴露在阵列基板的表面。从而测量设备的 Pixel 探针与电性连接块的接触, 能够实现与像素电极或薄膜晶体管的漏电极电性连接, 实现对薄膜晶体管电学特性的测量, 保证了产品的显示品质。

[0095] 相应地, 结合图 1 所示, 本发明实施例中对阵列基板的电学特性进行测量的方法, 包括:

[0096] 将栅线探针与阵列基板的栅线 10 接触;

[0097] 将数据探针与阵列基板的数据线 20 接触,

[0098] 将像素探针与电性连接块 6 接触, 对栅线探针和数据线探针加载预设的电压, 通过像素探针输出的信号获取薄膜晶体管的电学特性值。

[0099] 以上所述仅是本发明的优选实施方式, 应当指出, 对于本技术领域的普通技术人员来说, 在不脱离本发明技术原理的前提下, 还可以做出若干改进和替换, 这些改进和替换也应视为本发明的保护范围。

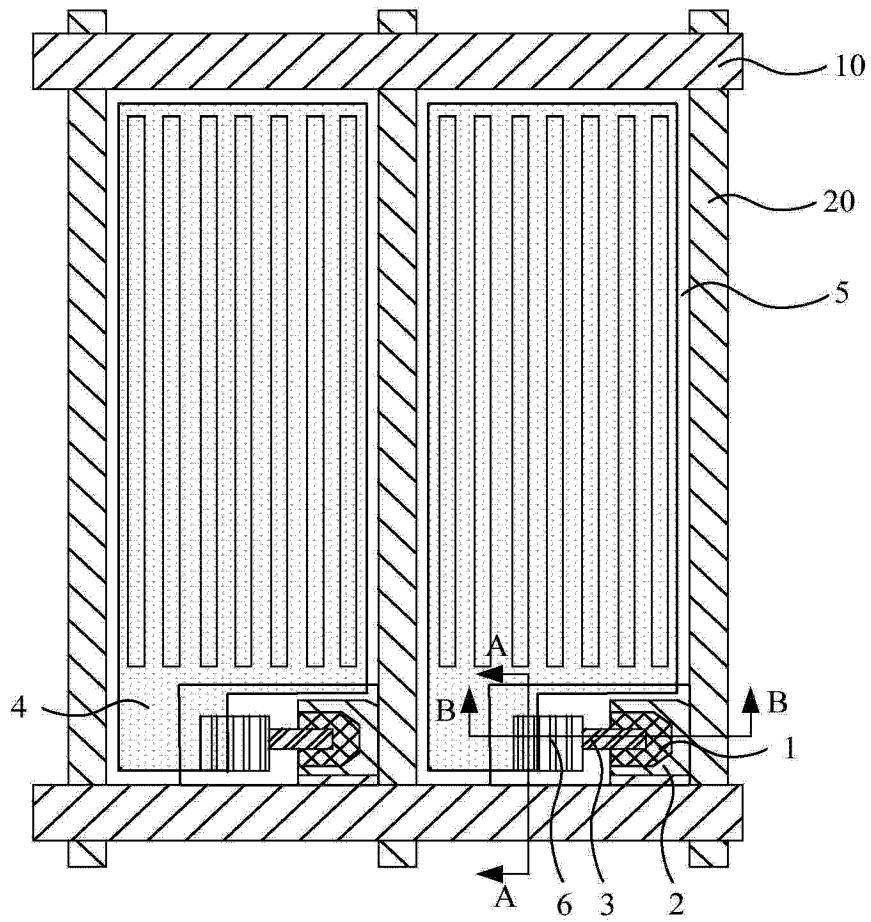


图 1

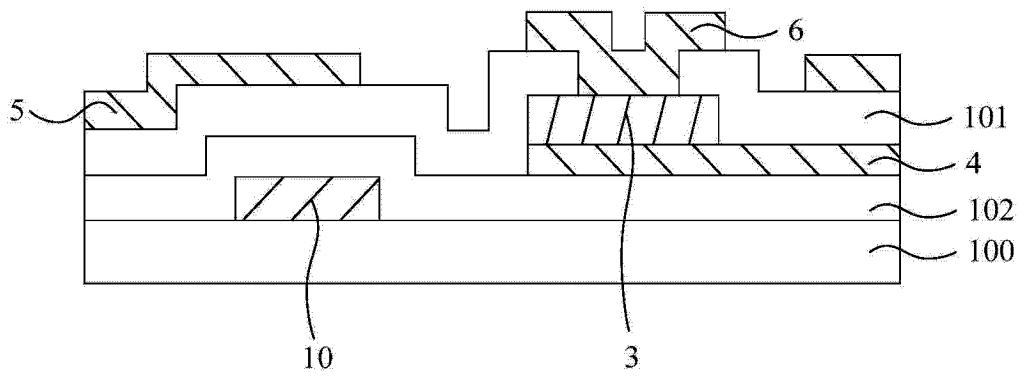


图 2

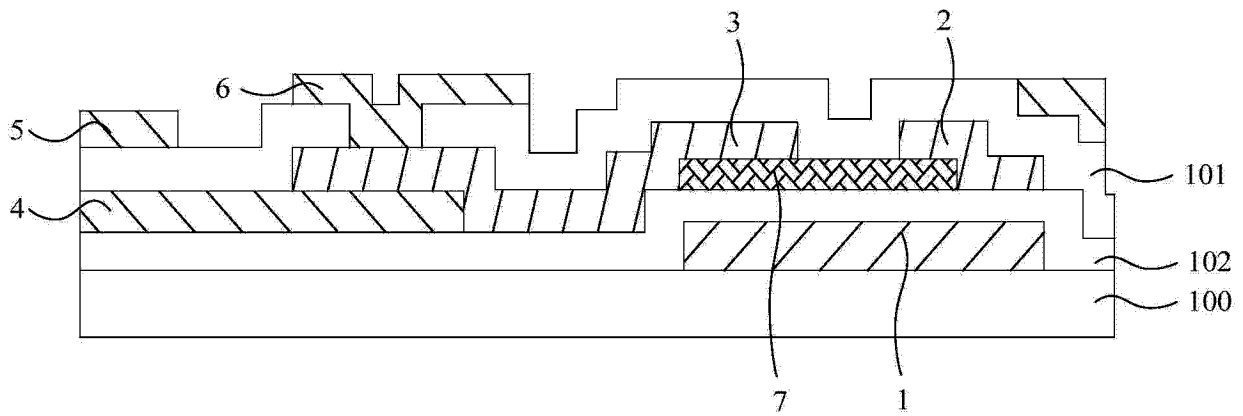


图 3

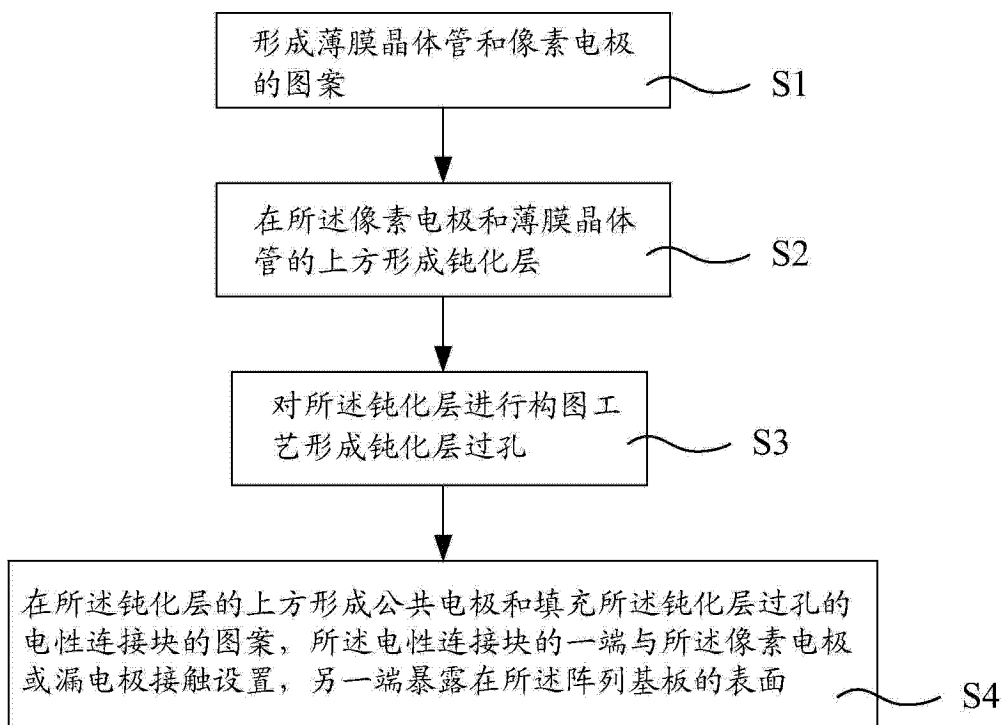


图 4

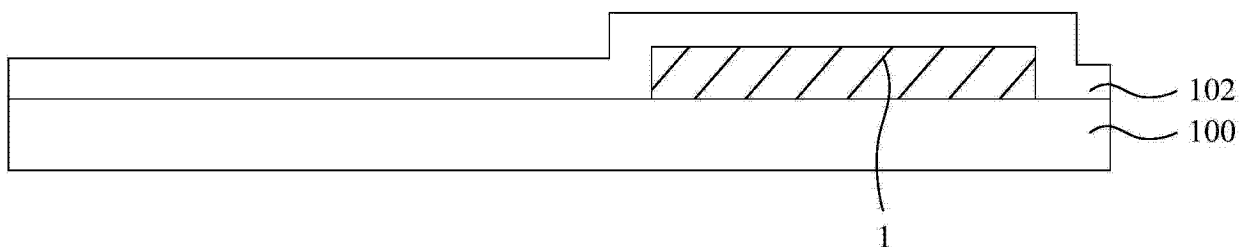


图 5

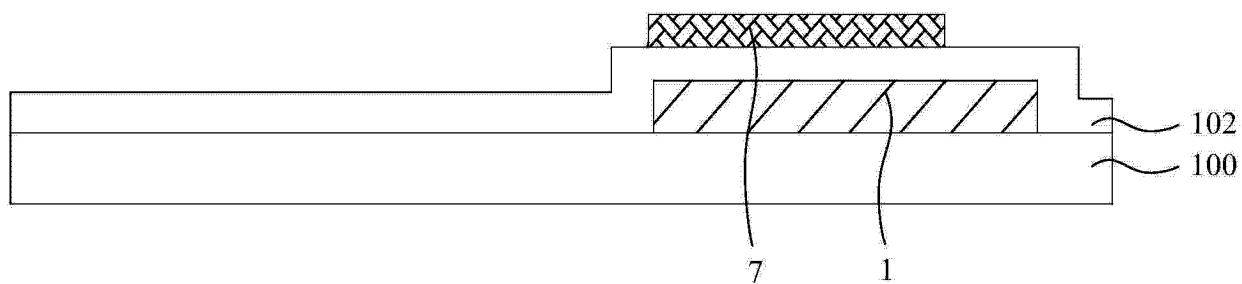


图 6

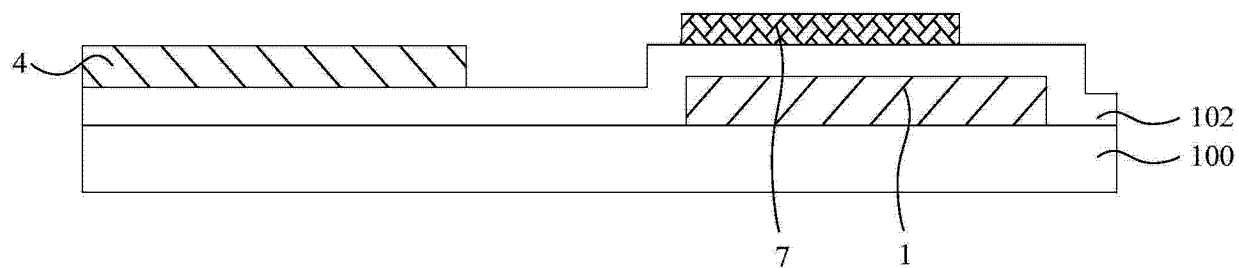


图 7

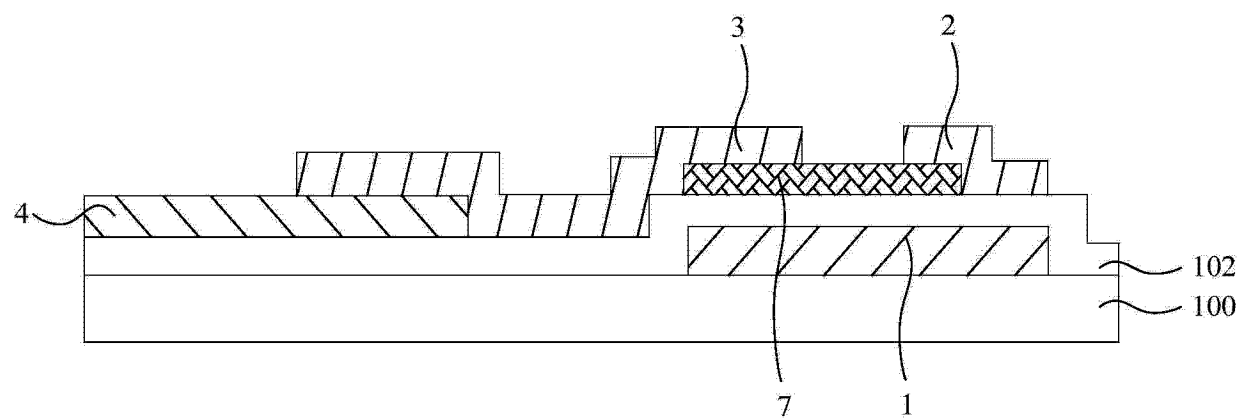


图 8

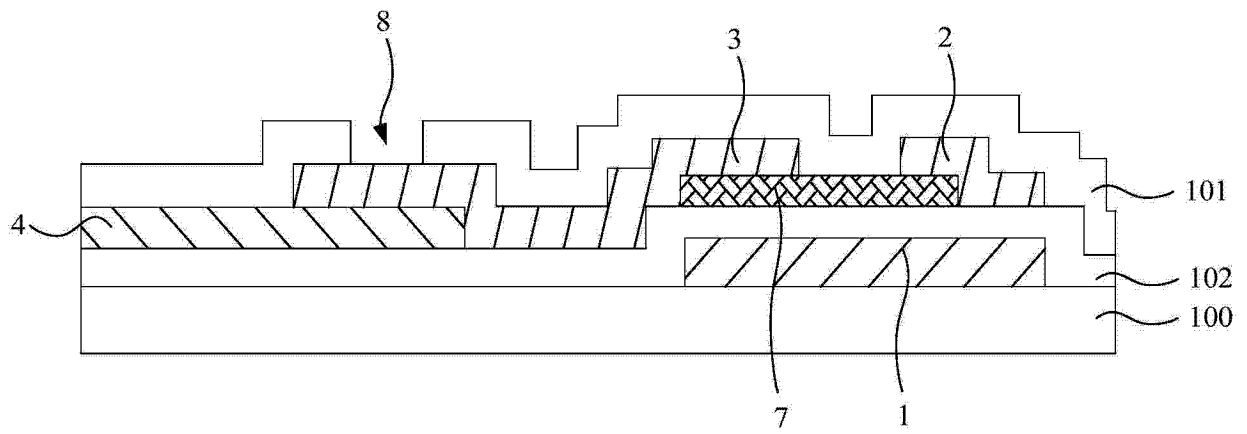


图 9

专利名称(译)	阵列基板及其制作方法、显示装置及测量方法		
公开(公告)号	CN104076537A	公开(公告)日	2014-10-01
申请号	CN201410277039.8	申请日	2014-06-19
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
[标]发明人	林子锦 赵海生 张铁林		
发明人	林子锦 赵海生 张铁林		
IPC分类号	G02F1/13 G02F1/1343 G02F1/1368		
CPC分类号	G02F1/1362 G02F1/136227 G02F2001/136254 G09G3/006 H01L27/1225 H01L27/124 H01L27/1248 H01L27/1259 H01L21/76877		
代理人(译)	许静 黄灿		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及液晶显示技术领域，公开了一种阵列基板及其制作方法、显示装置及测量方法。所述阵列基板包括暴露在表面的电性连接块，通过在钝化层中制作钝化层过孔，露出薄膜晶体管的漏电极或像素电极，使得所述电性连接块填充所述钝化层过孔，与漏电极或像素电极接触设置，从而在测量TFT电学特性值时，测量设备的Pixel探针可以通过与上述电性连接块的直接接触，而与漏电极或像素电极电性连接，实现对TFT电学特性的测量。

