



(12)发明专利

(10)授权公告号 CN 103901675 B

(45)授权公告日 2017.06.16

(21)申请号 201210583349.3

G02F 1/1368(2006.01)

(22)申请日 2012.12.28

H01L 27/12(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 103901675 A

(43)申请公布日 2014.07.02

(73)专利权人 厦门天马微电子有限公司

地址 361101 福建省厦门市火炬高新区翔安产业区翔安西路6999号

(56)对比文件

CN 1109918 C, 2003.05.28,

JP 2007-58007 A, 2007.03.08,

CN 101097366 A, 2008.01.02,

CN 1971364 A, 2007.05.30,

审查员 薛晓琳

(72)发明人 吴玲 沈柏平

(74)专利代理机构 北京品源专利代理有限公司

11332

代理人 马晓亚

(51)Int.Cl.

G02F 1/1343(2006.01)

G02F 1/1362(2006.01)

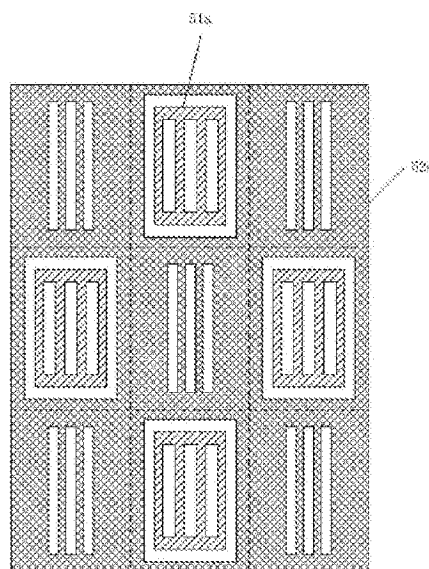
权利要求书1页 说明书7页 附图10页

(54)发明名称

薄膜晶体管阵列基板和液晶显示装置

(57)摘要

本发明公开了一种薄膜晶体管阵列基板和包括该阵列基板的液晶显示装置,所述阵列基板包括:第一透明导电层和第二透明导电层,所述第一透明导电层和所述第二透明导电层彼此绝缘;多个子像素;所述第一透明导电层包括第一类子像素组的像素电极和第二类子像素组的公共电极;所述第二透明导电层包括第二类子像素组的像素电极和第一类子像素组的公共电极;所述第一类子像素组与第二类子像素组在所述阵列基板上相邻设置,且第一类子像素组相互之间不相邻,第二类子像素组相互之间不相邻。本发明通过改变阵列基板像素电极和公共电极的设置方式消除或者减少残影现象发生以及简化了极性反转的方式。



1. 一种薄膜晶体管阵列基板,包括:

第一透明导电层和第二透明导电层,所述第一透明导电层和所述第二透明导电层彼此绝缘;

多个子像素;

所述第一透明导电层包括第一类子像素组的像素电极和第二类子像素组的公共电极;

所述第二透明导电层包括第二类子像素组的像素电极和第一类子像素组的公共电极;

多个所述第一类子像素组与多个所述第二类子像素组在所述阵列基板上;其中,所述第一类子像素组与所述第二类子像素组相邻设置,且所有所述第一类子像素组互不相邻,所有所述第二类子像素组互不相邻;

所述子像素组包括至少两个相邻设置的子像素;

所述第一透明电极层的公共电极直接通过所述第一透明电极层互相连通,所述第二透明电极层的公共电极直接通过所述第二透明电极层互相连通。

2. 根据权利要求1所述的薄膜晶体管阵列基板,其特征在于,所述第一类子像素组为像素电极位于第一透明导电层,公共电极位于第二透明导电层的子像素组;

所述第二类子像素组为像素位于第二透明导电层,公共电极位于第一透明导电层的子像素组。

3. 根据权利要求1所述的薄膜晶体管阵列基板,其特征在于,还包括显示区;所述第一透明导电层的公共电极图案与所述第二透明导电层的公共电极图案在所述阵列基板的显示区外形成电连接。

4. 根据权利要求3所述的薄膜晶体管阵列基板,其特征在于,所述第一透明导电层的公共电极图案与所述第二透明导电层的公共电极图案在所述阵列基板边缘形成电连接,或通过基板外部电路形成电连接。

5. 根据权利要求1所述的薄膜晶体管阵列基板,其特征在于,所述第一透明导电层的像素电极相互绝缘地设置;

所述第二透明导电层的像素电极相互绝缘地设置。

6. 根据权利要求1所述的薄膜晶体管阵列基板,其特征在于,所述基板适用于IPS模式液晶显示模式。

7. 根据权利要求1所述的薄膜晶体管阵列基板,其特征在于,所述第一透明导电层和第二透明导电层之间设置有绝缘层。

8. 根据权利要求7所述的薄膜晶体管阵列基板,其特征在于,所述像素电极和公共电极之间的电场周期性反转。

9. 一种液晶显示装置,其特征在于,包括如权利要求1-8中任一项所述的薄膜晶体管阵列基板。

薄膜晶体管阵列基板和液晶显示装置

技术领域

[0001] 本发明涉及液晶显示技术领域,尤其涉及一种薄膜晶体管阵列基板和液晶显示装置。

背景技术

[0002] IPS模式液晶显示装置通过在两层基板中注入液晶,通过阵列基板上的像素电极和公共电极形成的电场改变液晶分子的旋转方向从而调节可以通过的光线量,实现对图像的显示。

[0003] 在液晶的制造过程中,不可避免地会在液晶中残留可移动的杂质离子,在液晶被施加电场时,杂质离子会受到电极上与其相反的电荷的吸引而向电极移动,如果在阵列基板的电极上持续残留相同极性的电压(也即直流偏置电压(DC bias)),例如,对像素施加正负交流电压时,若正电压高于负电压,则形成正性偏置电压,该偏置电压会吸引液晶盒内的杂质离子形成内部电场。该电场会导致液晶分子不能以期望的速度回复初始的位置,由此影响液晶的排列和穿透度,改变液晶的T-V曲线,使得即使完全不施加电压时,液晶的排列会与原始排列状态不同,进而导致希望消失的图像仍然残留在液晶显示装置上,形成残影(Image Sticking),影响液晶显示装置的性能。

[0004] 现有技术中,利用液晶分子在完全相反的电场作用下排列方式不变的特点,通常通过在数据线上施加交流数据信号并配合栅线的时序控制使得阵列基板上同一子像素的电极电压周期性地极性反转,从而使得杂质离子随着电极极性的翻转往复移动,进而避免杂质离子聚集导致残影现象出现。现有的极性反转技术包括面极性反转、行极性反转和点极性反转。

[0005] 其中,面极性反转为整个阵列基板的像素电极极性在某一周期均为正,在下一周期均为负。行极性反转为在某一周期奇数行和偶数行的像素电极极性相反,在下一个周期奇偶行的像素电极的极性互换。点极性反转为在某一周期内相邻子像素的像素电极极性相反在下一个周期相邻子像素的像素电极极性互换。

[0006] 其中,使用点极性技术的薄膜晶体管阵列基板性能最好,但是,其时序控制以及数据驱动极为复杂,制造工艺难度较大,功耗很高。

发明内容

[0007] 本发明的目的在于提出一种薄膜晶体管阵列基板和包括该阵列基板的液晶显示装置,在减少或消除残影现象的同时,降低功耗简化制造工艺。

[0008] 本发明公开了一种薄膜晶体管阵列基板,包括:

[0009] 第一透明导电层和第二透明导电层,所述第一透明导电层和所述第二透明导电层彼此绝缘;

[0010] 多个子像素;

[0011] 所述第一透明导电层包括第一类子像素组的像素电极和第二类子像素组的公共

电极；

[0012] 所述第二透明导电层包括第二类子像素组的像素电极和第一类子像素组的公共电极；

[0013] 所述第一类子像素组与第二类子像素组在所述阵列基板上相邻设置，且第一类子像素组相互之间不相邻，第二类子像素组相互之间不相邻。

[0014] 优选地，所述第一类子像素组为像素电极位于第一透明导电层，公共电极位于第二透明导电层的子像素组；

[0015] 所述第二类子像素组为像素位于第二透明导电层，公共电极位于第一透明导电层的子像素组。

[0016] 优选地，所述子像素组由独立的子像素组成；或者

[0017] 所述子像素组包括至少两个相邻设置的子像素。

[0018] 优选地，还包括显示区；所述第一透明导电层的公共电极图案与所述第二透明导电层的公共电极图案在所述阵列基板的显示区外形成电连接。

[0019] 优选地，所述第一透明导电层的公共电极图案与所述第二透明导电层的公共电极图案在所述阵列基板边缘形成电连接，或通过基板外部电路形成电连接。

[0020] 优选地，所述第一透明导电层的像素电极相互绝缘地设置；

[0021] 所述第二透明导电层的像素电极相互绝缘地设置。

[0022] 优选地，所述基板适用于共面开关模式 (IPS) 液晶显示装置。

[0023] 优选地，所述第一透明导电层和第二透明导电层之间设置有绝缘层。

[0024] 优选地，所述像素电极和公共电极之间的电场周期性反转。

[0025] 本发明还公开了一种液晶显示装置，其包括如上所述的任意一种薄膜晶体管阵列基板。

[0026] 本发明通过改变阵列基板像素电极和公共电极的设置方式，使得相邻的子像素的像素电极和公共电极颠倒设置，使得在对数据线施加相同极性信号，也即像素电极被施加直流偏置电压的情况下，仍能使得相邻子像素的电场方向相反，通过框反转的驱动方式既可以实现点极性反转的效果，可以消除或者减少残影现象发生。

附图说明

[0027] 图1是本发明第一实施例的薄膜晶体管阵列基板的截面示意图；

[0028] 图2a是本发明第一实施例的薄膜晶体管阵列基板的第一透明导电层的电极分布示意图；

[0029] 图2b是本发明第一实施例的薄膜晶体管阵列基板的第二透明导电层的电极分布示意图；

[0030] 图2c是本发明第一实施例的另一实施方式的第一透明导电层的电极分布示意图；

[0031] 图2d是本发明第一实施例的另一实施方式的第二透明导电层的电极分布示意图；

[0032] 图2e是本发明第一实施例的另一实施方式的第一透明导电层的电极分布示意图；

[0033] 图2f是本发明第一实施例的另一实施方式的第二透明导电层的电极分布示意图；

[0034] 图2g是本发明第一实施例的另一实施方式的第一透明导电层的电极分布示意图；

[0035] 图2h是本发明第一实施例的另一实施方式的第二透明导电层的电极分布示意图；

- [0036] 图3a是本发明第一实施例的薄膜晶体管阵列基板的截面原理示意图；
- [0037] 图3b是本发明第一实施例的薄膜晶体管阵列基板在极性反转前的电场分布示意图；
- [0038] 图3c是本发明第一实施例的薄膜晶体管阵列基板在极性反转后的电场分布示意图；
- [0039] 图4是本发明第二实施例的薄膜晶体管阵列基板的截面示意图；
- [0040] 图5a是本发明第二实施例的薄膜晶体管阵列基板的第一透明导电层示意图；
- [0041] 图5b是本发明第二实施例的薄膜晶体管阵列基板的第二透明导电层的示意图。

具体实施方式

[0042] 下面结合附图并通过具体实施方式来进一步说明本发明的技术方案。

[0043] 实施例一

[0044] 图1是本发明第一实施例的薄膜晶体管阵列基板的截面示意图。图1截取了薄膜晶体管阵列基板上两个相邻的子像素单元的截面，图1中示出了第一子像素10a和与其相邻的第二子像素10b。薄膜晶体管阵列基板包括基板11，所述基板11可以为透明材料，例如玻璃，形成于玻璃基板11上的多个子像素，每个像素包括用于构成像素开关元件的薄膜晶体管12。在图1中，为了方便说明，薄膜晶体管12均以图块的形式示出，本领域技术人员可以理解，薄膜晶体管12的数量可以是一个也可以是多个，其取决于所使用的像素开关元件的类型，而且薄膜晶体管12实际上是通过将半导体层，绝缘层以及金属层以特定的结构多层层叠形成的有源半导体器件，任何现有的以及本领域公知的薄膜晶体管均可适用于本实施例。

[0045] 阵列基板上所有的子像素对应的薄膜晶体管均相同。钝化层14覆盖在薄膜晶体管12上形成可供形成电极的绝缘层，在本发明的其它实施例中，钝化层14上可以形成一平坦化层。阵列基板还包括图案化的第一透明导电层15、形成于第一透明导电层15上的绝缘层16和形成于绝缘层16上的图案化的第二透明导电层17。

[0046] 本实施例中，薄膜晶体管阵列基板的子像素分为第一类子像素组和第二类子像素组，所述第一类子像素组为像素电极位于第一透明导电层15，公共电极位于第二透明导电层17的子像素组；所述第二类子像素组为像素电极位于第二透明导电层17，公共电极位于第一透明导电层15的子像素组。

[0047] 如图1所示，第一子像素10a是第一类子像素组，包括位于第一透明导电层15的像素电极151和位于第二透明导电层17的公共电极171。

[0048] 第二子像素10b是第二类子像素组，包括位于第一透明导电层15的公共电极152和位于第二透明导电层17的像素电极172。

[0049] 在本实施例中，所述第一类子像素组与第二类子像素组在薄膜晶体管阵列基板上相邻设置，且第一类子像素组相互之间不相邻，第二类子像素组相互之间不相邻。

[0050] 在本实施例中，子像素或子像素组“相邻”是指以矩阵阵列方式排列的子像素阵列或子像素组中，两个子像素或子像素组在阵列的列方向上相互毗邻或在行方向上相互毗邻。

[0051] 在本实施例中图1所示的实施方式中，子像素组由一个独立的子像素构成，也即一

个子像素即构成一个子像素组。由此,第一子像素10a构成一个第一类子像素组,也即,第一类子像素组为间隔设置的子像素,例如,对于包括 $N \times M$ 个子像素的阵列,第一类子像素组可以包括阵列基板上所有第 $2n+2$ 行第 $2m+2$ 列的子像素和 $2n+1$ 行第 $2m+1$ 列的子像素($n=0, 1, \dots, N; n=0, 1, \dots, M$)。

[0052] 类似地,第二子像素10b构成第二类子像素组。第二类子像素组为与第一类子像素组相邻设置的子像素,在上面的例子中,对于包括 $N \times M$ 个子像素的阵列,第二类子像素组可以包括阵列基板上所有第 $2n+2$ 行第 $2m+1$ 列的子像素和 $2n+1$ 行第 $2m+2$ 列的子像素($n=0, 1, \dots, N; n=0, 1, \dots, M$)。

[0053] 图2a示出了本发明第一实施例的薄膜晶体管阵列基板的第一透明导电层的电极分布示意图。图2a示出了一个 3×3 子像素阵列的第一透明导电层,如图2a所示,针对相邻的子像素的像素区域,对应的电极类型不同,也即,相邻的两个子像素的第一透明导电层中一个形成像素电极21a(图中用P标识),另一个形成公共电极22a(图中用C标识)。其中,第一透明导电层上的像素电极21a之间相互绝缘地设置,而第一透明导电层上的公共电极22a形成连通的图案从而相互之间形成电连接。

[0054] 在本发明中,“连通”是指图案的任意两点之间都存在连通的路径。

[0055] 在图2a中,为了方便理解,像素电极和公共电极仅用字母示出,本领域技术人员可以理解,像素电极可以根据需要形成条状、折线状、鱼骨状或其它现有的或公知的图案形状。同样地,公共电极也可以根据需要形成不同的形状,只要同一透明导电层上的公共电极相互连通即可。

[0056] 图2b示出了本发明第一实施例的阵列基板的第二透明导电层的电极分布示意图。与图2a相对应,图2b所示的第二透明导电层,在第一透明导电层形成有像素电极的子像素的第二透明导电层形成对应子像素的公共电极21b,在第一透明导电层形成有公共电极的子像素的第二透明导电层形成对应子像素的像素电极22b。与第一透明导电层相同,第二透明导电层中,针对相邻的像素区域,对应的导电图案类型不同,也即,相邻的两个像素区域,一个形成像素电极21b,另一个形成公共电极22b。其中,第二透明导电层17上的像素电极21b相互绝缘地设置,而第二透明导电层上的公共电极22b形成连通的图案从而相互之间形成电连接。

[0057] 其中,第一透明导电层15的公共电极152彼此连通,所述第二透明导电层17的公共电极172彼此连通。也即,在第一透明导电层15中,所有第二类子像素组对应的子像素的公共电极152相互连通,由此,所有第二类子像素组的公共电极图案相互之间电连接。相应地,在第二透明导电层17中,所有第一类子像素组对应的子像素的公共电极172相互连通,由此,所有第一类子像素组对应的子像素的公共电极相互之间电连接。

[0058] 在本实施例的另一种优选实施方式中,所述子像素组还可以形成包括至少两个相邻设置的子像素。图2c和图2d分别是本实施方式的第一透明导电层和第二透明导电层的电极分布示意图。如图2c和图2d所示,在本实施方式中,每个子像素组包括在行方向上相邻设置的两个子像素,由此,在第一透明导电层15上(图2c),每个第一类子像素组的像素电极(在图中以字母P表示)包括设置在行方向相邻的像素区域内的像素电极21a1,21a2;每个第二类子像素组的公共电极(在图中以字母C表示)包括设置在行方向相邻的像素区域内的公共电极22a1和22a2。同时,在第二透明导电层17上(图2d),每个第一类子像素组的公共电极

(在图中以字母C表示)包括设置在行方向相邻的像素区域内的公共电极21b1和21b2;每个第二类子像素组的像素电极(在图中以字母P表示)包括设置在行方向相邻的像素区域内的像素电极22b1和22b2。

[0059] 第一类子像素组和第二类子像素组均间隔设置,也即,第一类子像素组仅与第二类子像素组相邻设置,第一类子像素组相互之间不相邻,第二类子像素组相互之间不相邻。如图2c所示,在第一透明导电层15上,每个第一类子像素组的子像素的像素电极除了与其所属的子像素组内的子像素的像素电极相邻设置外,与其它的第一类子像素组的子像素的像素电极均不相邻,同时,每个第二类子像素组的子像素的公共电极除了与其所属的子像素组内的子像素的公共电极相邻设置外,与其它第二类子像素组的子像素的公共电极均不相邻。类似地,如图2d所示,在第二透明导电层17上,每个第二类子像素组的子像素的像素电极除了与其所属的子像素组内的子像素的像素电极相邻设置外,与其它第二类子像素组的子像素的像素电极均不相邻,同时,每个第一类子像素组的子像素的公共电极除了与其所属的子像素组内的子像素的公共电极相邻设置外,与其它第一类子像素组的子像素的公共电极均不相邻。

[0060] 本领域技术人员可以理解,子像素组包含的子像素的数量不限于两个,可以是三个或更多。当然,也应理解,子像素组规模越大,其显示的效果相应地会变差,但制造工艺的难度会降低。

[0061] 在本实施例的另一种优选实施方式中,所述子像素组中的子像素还可以是在列方向相邻设置。图2e和图2f分别是本实施方式的第一透明导电层和第二透明导电层的电极分布示意图。如图2e和图2f所示,在本实施方式中,像素电极用字母P表示,公共电极用字母C表示。每个子像素组包括在行方向上相邻设置的两个子像素。第一类子像素组和第二类子像素组相邻设置,第一类子像素组相互之间不相邻,第二类子像素组相互之间不相邻。

[0062] 在本实施例的另一种优选实施方式中,所述子像素组中的子像素还可以包括以阵列方式排列的在行列方向分别相邻的4个子像素。图2g和图2h分别是本实施方式的第一透明导电层和第二透明导电层的电极分布示意图。如图2g和图2h所示,在本实施方式中,像素电极用字母P表示,公共电极用字母C表示。第一类子像素组和第二类子像素组相邻设置,第一类子像素组相互之间不相邻,第二类子像素组相互之间不相邻。

[0063] 图3a是本发明第一实施例的阵列基板的截面原理示意图。由上述说明可知,相邻的子像素的公共电极和像素电极是相互反向颠倒设置的,相邻的子像素所形成的相反极性的残留直流电压使液晶分子重排的电场方向相反,对于图3中的,带负电荷的杂质离子聚集在上层的像素电极附近,带正电荷的杂质离子聚集在靠近公共电极的位置,而由于相邻的像素其像素电极和公共电极的位置是颠倒的,由此,在像素31的区域,其杂质离子形成向上方向的电场,而在相邻的像素32的区域,杂质离子形成向下方向的电场,由此形成杂质离子电场随像素区域方向交替变化。例如,像素32的区域杂质离子电场和像素31区域的杂质离子电场对液晶排列的影响相互抵消。由此,随像素区域交替变化的杂质离子电场会减弱或消除残影现象的出现。

[0064] 同时,在第一帧本发明第一实施例的阵列基板的电场方向分布如图3b所示,其中“+”表示电场方向由第一透明导电层指向第二透明导电层,“-”表示有第二透明导电层指向第一透明导电层,在第一帧,在数据线施加相同极性电压信号时,薄膜晶体管阵列基板呈现

出方向交替的电场分布。在第二帧如果数据线电压统一进行极性反转(也即采用面反转的方式来进行驱动),本发明第一实施例的阵列基板的电场方向分布如图3c所示,则所有的子像素的电场方向实现反转,而由于两种类型子像素组间隔设置,仍形成方向交替的电场分布,由此,通过面翻转的驱动方式既可以实现点翻转的效果。由于在极性反转的过程中,杂质离子会随着电场方向的变化往复运动从而可以一定程度上避免杂质离子的聚集,进一步减弱或消除残影现象的出现。

[0065] 由此,本实施例不需要通过高功耗的信号驱动方式即可实现点反转,减弱和消除残影和闪烁(Flicker)现象,简化了阵列基板的驱动方式,降低了产品功耗。

[0066] 而且,由于在第一透明电极层的公共电极互相连通,其直接通过透明电极层形成电连接,类似地,第二透明电极层的公共电极互相连通,其直接通过透明电极层形成电连接,第一透明导电层和第二透明导电层的公共电极在阵列基板的显示区域外部形成连接(附图中未示出)。不同像素区域的公共电极不必通过在像素区域制造过孔来形成连接,避免了由于像素区域存在过孔导致液晶分子乱排并进而出现漏光的缺陷,而且还相对于通过过孔连接的方式增大了阵列基板的开口率。

[0067] 实施例二

[0068] 图4是本发明第二实施例的阵列基板的截面示意图。图4示出了阵列基板上两个相邻的像素单元的截面。薄膜晶体管阵列基板包括基板41,多晶硅层42,栅极绝缘层43,包括栅极44a和栅线44b的图案化的第一金属层,第一保护层45,设置于第一保护层45上图形化的第二金属层46,第二保护层47以及位于第二保护层47上的第一透明导电层48,覆盖透明导电层48的绝缘层49和形成在绝缘层49上方的第二透明导电层40。其中,第一保护层45第二保护层47为绝缘层,多晶硅层42用于构成薄膜晶体管的有源区,第二金属层46通过穿透第一保护层45和绝缘层43的过孔与有源区连接形成薄膜晶体管的源极和漏极以及与源极连接的数据线。同时,多晶硅层42延伸到与栅线442重叠的部分形成存储电容电极,其与栅线442的一部分构成了存储电容。

[0069] 本发明第二实施例的阵列基板采用了顶栅型单栅极低温多晶硅(LTPS)薄膜晶体管来构建像素驱动电路。但上述晶体管以及电路构成方式并不构成对本发明的限制,本领域技术人员可以理解,双栅极低温多晶硅(LTPS)薄膜晶体管或采用其它结构或材料来构成的薄膜晶体管均可以适用于本实施例,同时,本实施例对于晶体管的数量也并没有限制。

[0070] 在第一像素区域4a中,第一透明导电层48通过穿透第二保护层的过孔与漏极连接,从而使得第一透明导电层48与漏极形成电连接,使得第一透明导电层48的图案481成为第一像素区域4a的像素电极,其与相邻的第二像素区域4b中的第一透明导电层482相互绝缘,不存在任何电连接。在第一像素区域4a中,第二透明导电层40形成公共电极401。

[0071] 同时,在第二像素区域4b中,第二透明导电层40通过穿透绝缘层49、第一透明导电层48和第二保护层47的过孔与漏极连接,使得第二透明导电层40的图案402成为第二像素区域4b的像素电极,其与相邻的第二像素区域4b中的第二透明导电层的图案401相互绝缘,不存在任何电连接。在第二像素区域4b中,第一透明导电层48形成公共电极482。

[0072] 图5a是本发明第二实施例的阵列基板的第一透明导电层的图案示意图。图5a示出了一个3*3子像素阵列的第一透明导电层,如图5a所示,针对相邻的像素区域,对应的电极类型不同,也即,相邻的两个像素区域中,一个是与其它像素区域的电极绝缘设置的像素电

极51a。像素电极51a形成为两端连接且平行设置的条状电极。相邻的像素区域中的第一透明导电层则是与间隔的像素区域的电极连通的公共电极52a。所述公共电极52a具有条状镂空,从而形成条状的公共电极。

[0073] 同时,在其它的实施例中,本发明的公共电极需为具有镂空的图案,否则,当公共电极位于第二透明导电层时,公共电极会对第一透明导电层与第二透明导电层形成的电场构成屏蔽,第二导电层存在镂空部分可以使得电场避免被第二透明导电层屏蔽。

[0074] 图5b是本发明第二实施例的阵列基板的第二透明导电层的图案示意图。与图5a相对应,图5b所示的第二透明导电层,在第一透明导电层形成有像素电极的像素区域形成公共电极51b,在第一透明导电层形成有公共电极的区域形成像素电极52b。与第一透明导电层相同,第二透明导电层中,针对相邻的像素区域,对应的导电图案类型不同,也即,相邻的两个像素区域一个是与其它像素区域的电极绝缘设置的像素电极图案,另一个是与间隔的像素区域的电极形成连通的公共电极。其中,像素电极51a的图案形成为两端连接且平行设置的条状电极。所述公共电极52a的图案具有条状镂空。

[0075] 像素电极和公共电极的设置使得所述的阵列基板适用于场内转换型 (IPS) 液晶显示装置。

[0076] 本领域技术人员可以理解,当需要设计适用于其它类型的液晶显示装置时,像素电极以及公共电极的形状可以形成为其它现有的或公知的形状。

[0077] 第一透明导电层48和第二透明导电层40的公共电极在导电层内连通,也即,不同的像素区域的公共电极在导电层内相互连通,存在电连接。而两个透明导电层的公共电极可以通过外部电路或在阵列基板边缘处实现电连接。由此,本实施例的阵列基板不必通过在像素区域制造过孔来形成连接,避免了由于像素区域存在过孔导致液晶分子乱排并进而出现漏光的缺陷,而且还相对于通过过孔连接的方式增大了阵列基板的开口率。

[0078] 以上所述仅为本发明的优选实施例,并不用于限制本发明,对于本领域技术人员而言,本发明可以有各种改动和变化。凡在本发明的精神和原理之内所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

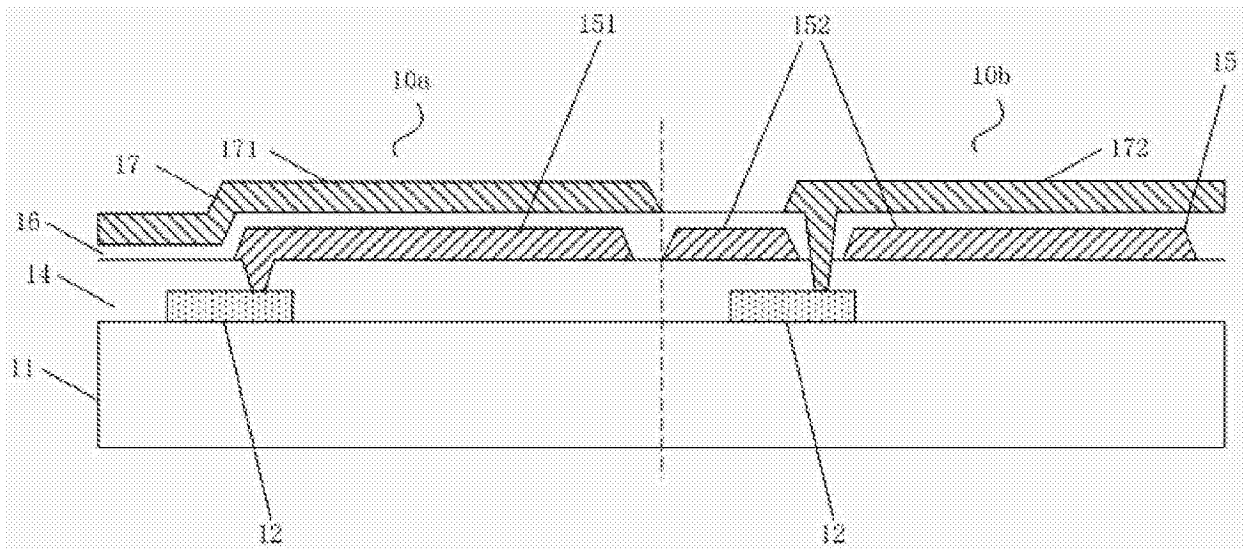


图1

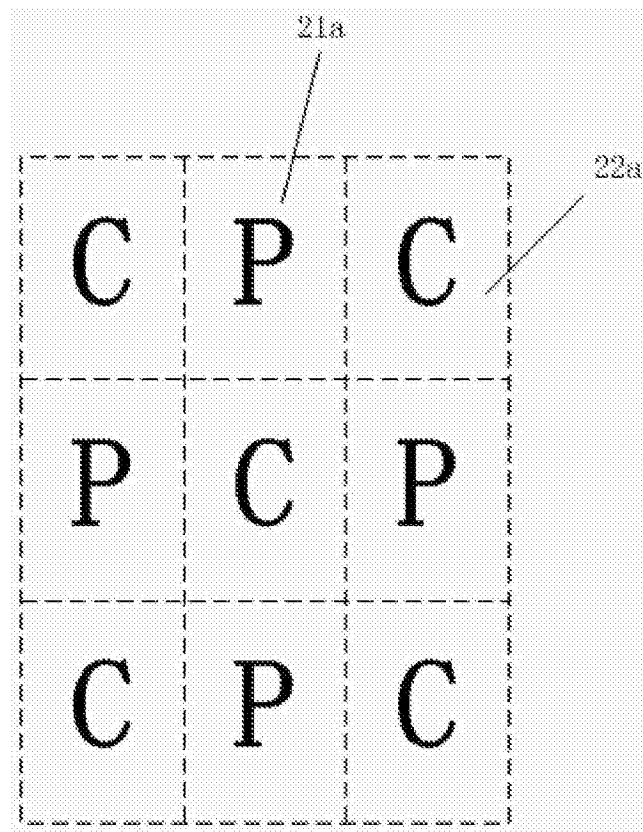


图2a

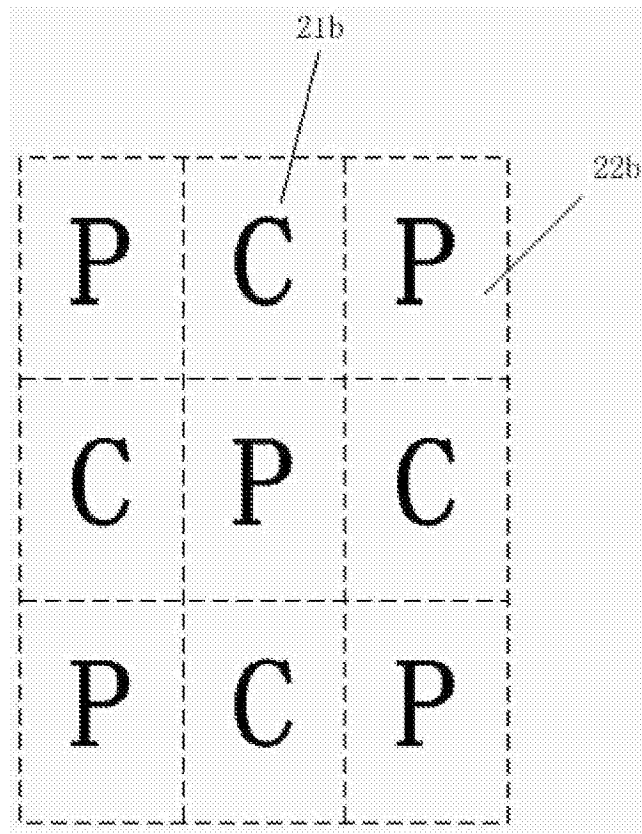


图2b

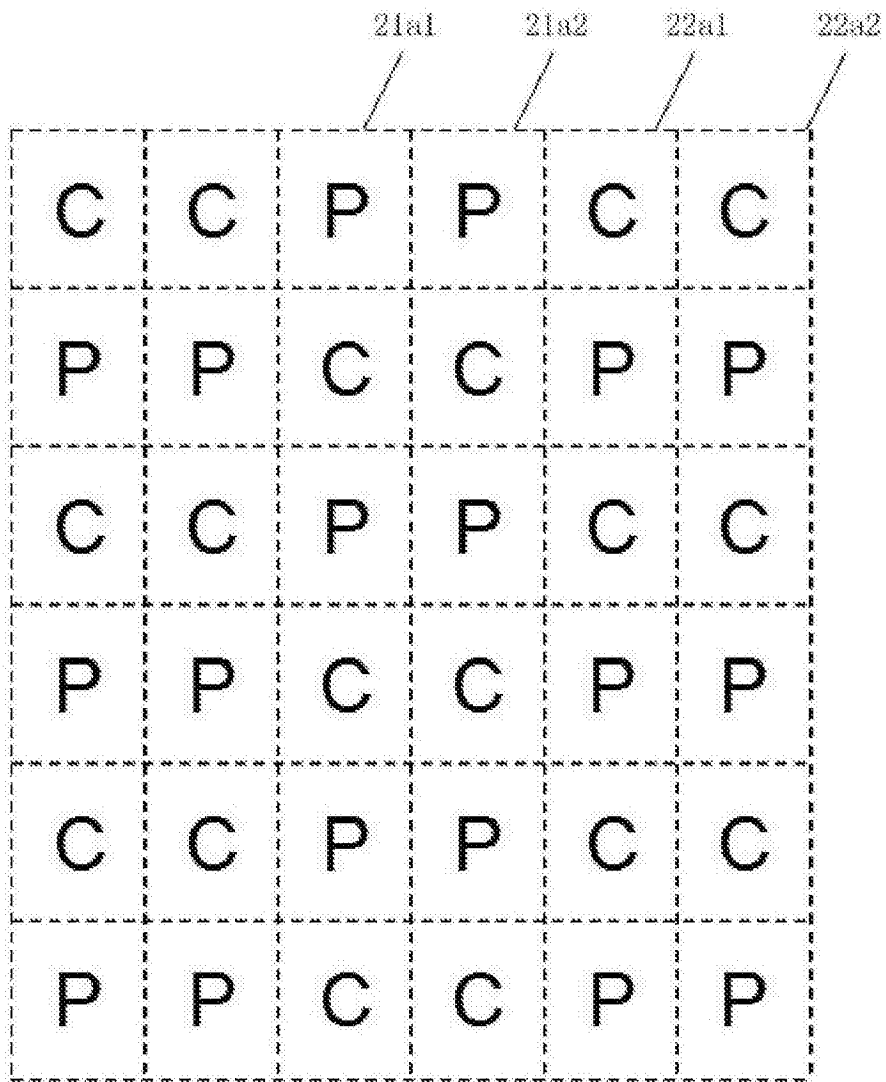


图2c

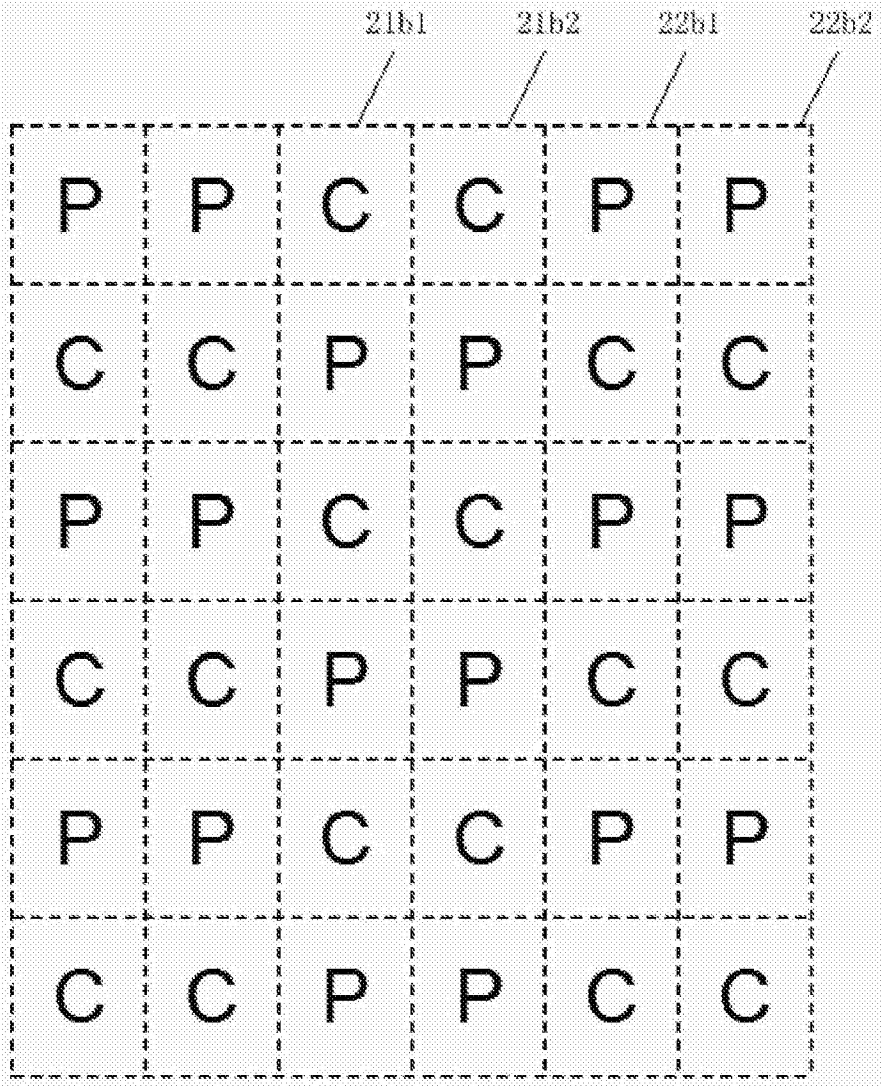


图2d

C	P	C	P	C	P
C	P	C	P	C	P
P	C	P	C	P	C
P	C	P	C	P	C
C	P	C	P	C	P
C	P	C	P	C	P

图2e

P	C	P	C	P	C
P	C	P	C	P	C
C	P	C	P	C	P
C	P	C	P	C	P
P	C	P	C	P	C
P	C	P	C	P	C

图2f

C	C	P	P	C	C
C	C	P	P	C	C
P	P	C	C	P	P
P	P	C	C	P	P
C	C	P	P	C	C
C	C	P	P	C	C

图2g

P	P	C	C	P	P
P	P	C	C	P	P
C	C	P	P	C	C
C	C	P	P	C	C
P	P	C	C	P	P
P	P	C	C	P	P

图2h

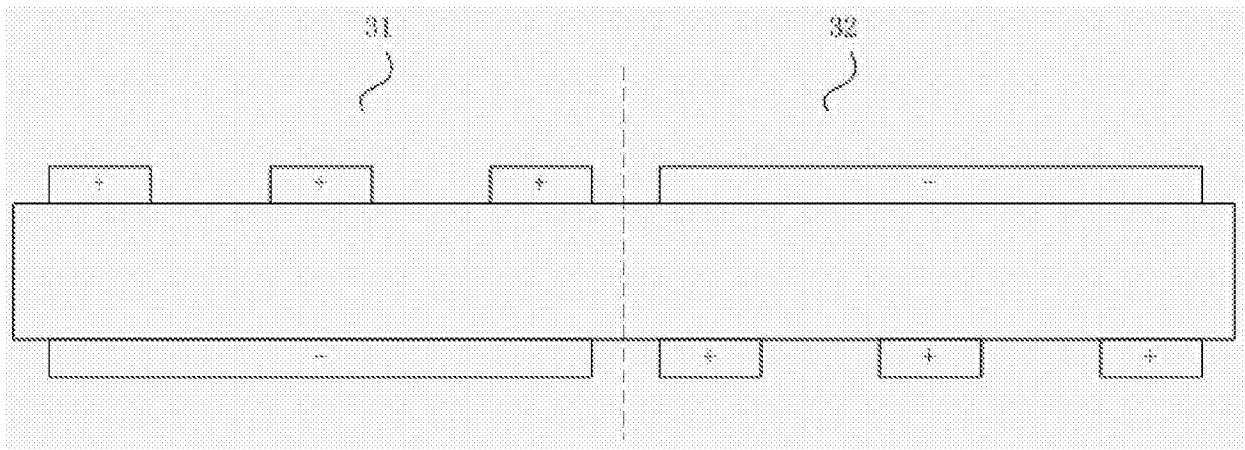


图3a

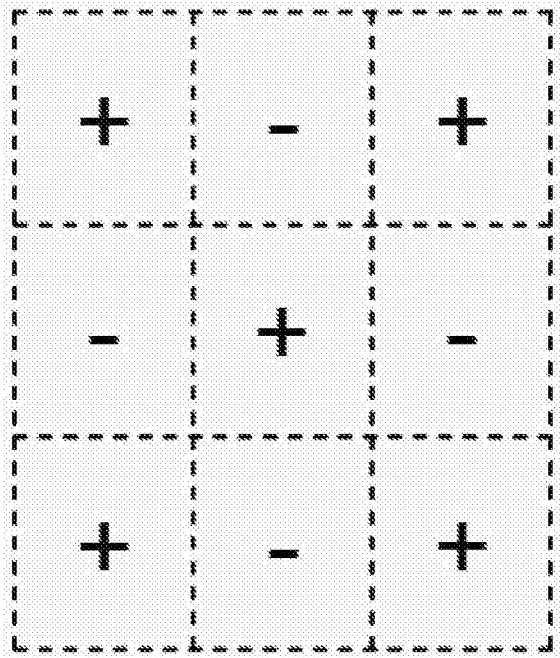


图3b

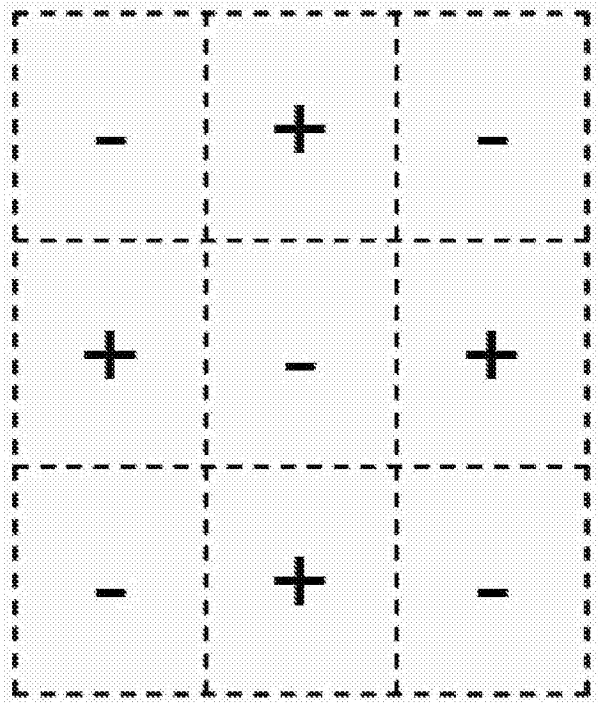


图3c

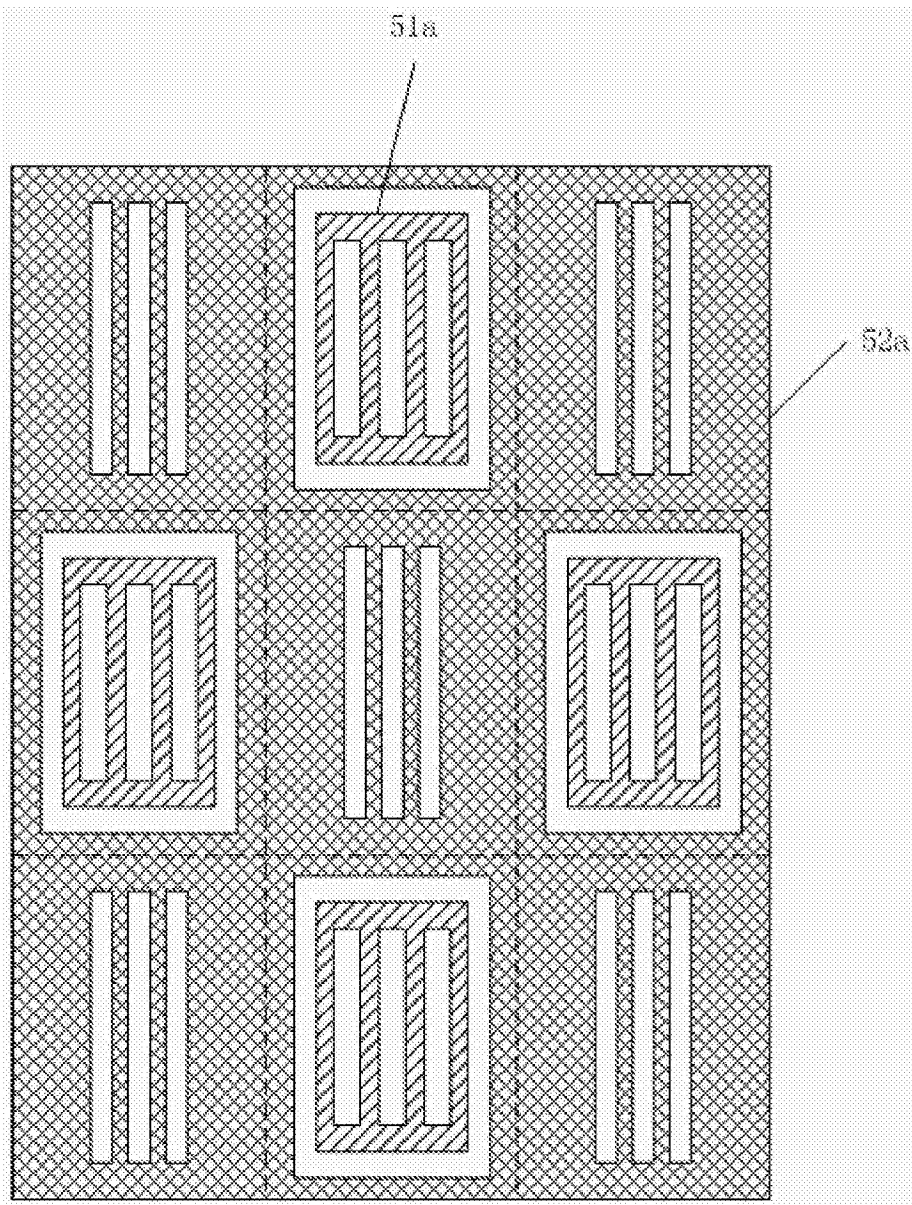


图5a

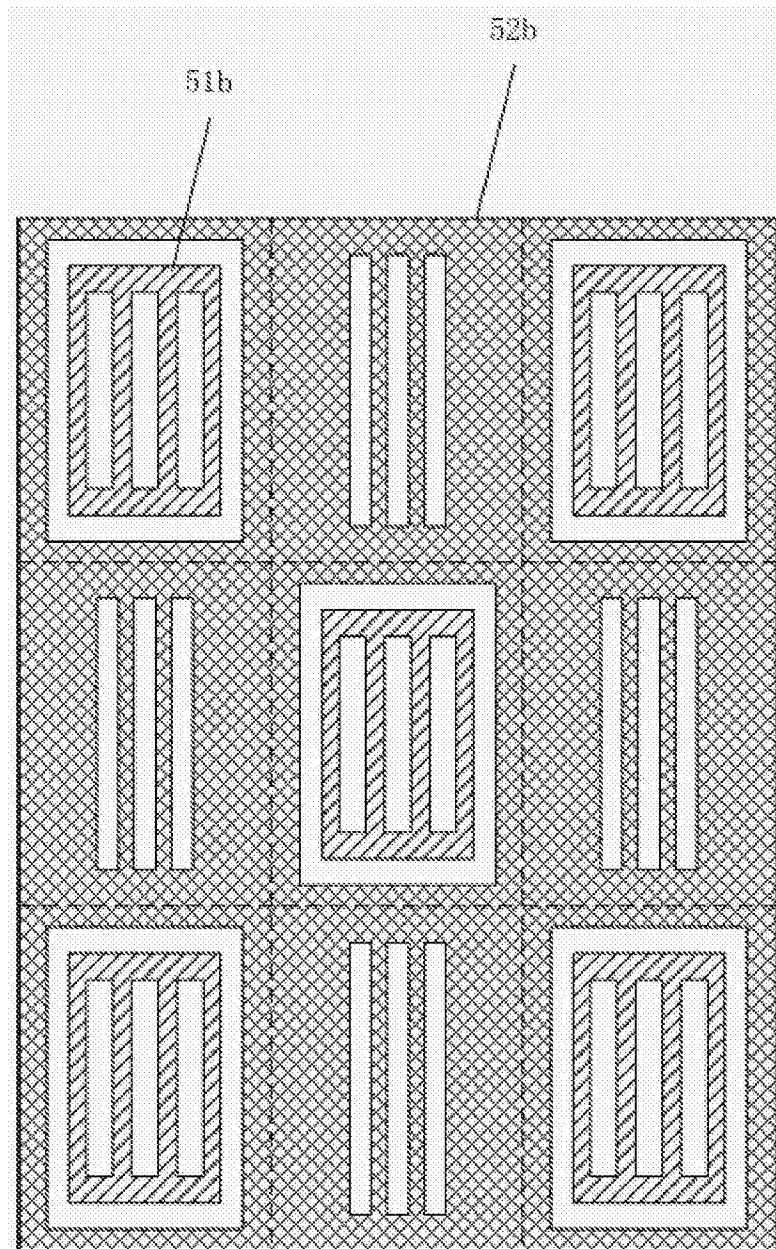


图5b

专利名称(译)	薄膜晶体管阵列基板和液晶显示装置		
公开(公告)号	CN103901675B	公开(公告)日	2017-06-16
申请号	CN201210583349.3	申请日	2012-12-28
[标]申请(专利权)人(译)	厦门天马微电子有限公司		
申请(专利权)人(译)	厦门天马微电子有限公司		
当前申请(专利权)人(译)	厦门天马微电子有限公司		
[标]发明人	吴玲 沈柏平		
发明人	吴玲 沈柏平		
IPC分类号	G02F1/1343 G02F1/1362 G02F1/1368 H01L27/12		
审查员(译)	薛晓琳		
其他公开文献	CN103901675A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种薄膜晶体管阵列基板和包括该阵列基板的液晶显示装置，所述阵列基板包括：第一透明导电层和第二透明导电层，所述第一透明导电层和所述第二透明导电层彼此绝缘；多个子像素；所述第一透明导电层包括第一类子像素组的像素电极和第二类子像素组的公共电极；所述第二透明导电层包括第二类子像素组的像素电极和第一类子像素组的公共电极；所述第一类子像素组与第二类子像素组在所述阵列基板上相邻设置，且第一类子像素组相互之间不相邻，第二类子像素组相互之间不相邻。本发明通过改变阵列基板像素电极和公共电极的设置方式消除或者减少残影现象发生以及简化了极性反转的方式。

