



(12) 发明专利申请

(10) 申请公布号 CN 103777418 A

(43) 申请公布日 2014. 05. 07

(21) 申请号 201410040298. 9

(22) 申请日 2014. 01. 27

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 崔贤植 金熙哲 林允植

(74) 专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(51) Int. Cl.

G02F 1/1343 (2006. 01)

G02F 1/1368 (2006. 01)

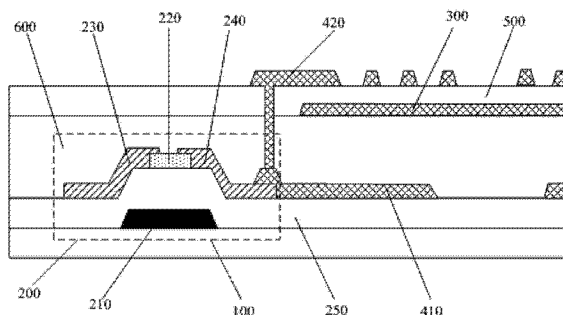
权利要求书1页 说明书6页 附图3页

(54) 发明名称

一种阵列基板、液晶显示面板及显示装置

(57) 摘要

本发明公开了一种阵列基板,液晶显示面板及显示装置,由于该阵列基板包括位于薄膜晶体管上方的公共电极,以及分别位于公共电极上方和下方的,且均与薄膜晶体管的漏电极电性连接的第一像素电极和第二像素电极,因此,该阵列基板可以同时第一像素电极与公共电极之间,以及在第二像素电极和公共电极之间形成存储电容;而现有技术中由于阵列基板中只有一个像素电极和一个公共电极,因此现有技术中只能在一个像素电极和公共电极之间形成存储电容。因此,本发明实施例提供的上述阵列基板与现有的阵列基板相比,可以增大阵列基板的存储电容,从而提高阵列基板的像素电压保持率、以及降低显示装置的闪烁等不良现象,进而提高显示装置的显示品质。



1. 一种阵列基板,包括衬底基板,位于所述衬底基板上的薄膜晶体管,其中,所述薄膜晶体管包括栅电极、有源层、源电极和漏电极,其特征在于,还包括:

位于所述薄膜晶体管上方的公共电极,以及与所述薄膜晶体管的漏电极电性连接的第一像素电极和第二像素电极;其中,

所述第一像素电极位于所述公共电极的下方且与所述公共电极相互绝缘,所述第二像素电极位于所述公共电极的上方且与所述公共电极相互绝缘。

2. 如权利要求1所述的阵列基板,其特征在于,所述第二像素电极通过所述第一像素电极与所述漏电极电性连接。

3. 如权利要求1所述的阵列基板,其特征在于,所述第二像素电极直接与所述漏电极电性连接。

4. 如权利要求2或3所述的阵列基板,其特征在于,还包括:

位于所述第二像素电极与所述公共电极之间的第一绝缘层;

位于所述公共电极与所述薄膜晶体管之间的第二绝缘层;

所述第二像素电极至少通过贯穿所述第一绝缘层和所述第二绝缘层的过孔与所述漏电极电性连接。

5. 如权利要求1所述的阵列基板,其特征在于,所述第一像素电极直接设置在所述漏电极的上层或下层,所述第一像素电极直接与所述漏电极电性连接。

6. 如权利要求1所述的阵列基板,其特征在于,所述第一像素电极通过过孔与所述漏电极电性连接。

7. 如权利要求1-6任一项所述的阵列基板,其特征在于,所述薄膜晶体管为底栅型或顶栅型的薄膜晶体管。

8. 如权利要求1-6任一项所述的阵列基板,其特征在于,所述第一像素电极为平板状,所述第二像素电极为狭缝状。

9. 一种液晶显示面板,其特征在于,包括如权利要求1-8任一项所述的阵列基板。

10. 一种显示装置,其特征在于,包括如权利要求9所述的液晶显示面板。

一种阵列基板、液晶显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域，尤指一种阵列基板、液晶显示面板及显示装置。

背景技术

[0002] 液晶显示技术迅速发展，并成为目前工业界的新星和经济发展的亮点。在液晶显示蓬勃发展的同时，宽视角、高画质和较快的响应速度等成为液晶显示面板的迫切要求。目前，高级超维场转换(ADvanced Super Dimension Switch, ADSDS, 简称 ADS) 型液晶显示技术因具有宽视角、高画质与较快的响应速度等特性，成为近几年研究的热点。

[0003] 随着液晶显示面板的分辨率以及开口率的越来越高，导致 ADS 型阵列基板的像素间距(pixel pitch)越来越小，进而导致 ADS 型阵列基板的存储电容也越来越小，从而使 ADS 型阵列基板对液晶的驱动能力变弱。同时存储电容越小还会导致像素电压的保持率越低，进而会导致闪烁(Flicker)等不良现象的产生，极大地降低了 ADS 型阵列基板的品质。

[0004] 现有的 ADS 型阵列基板如图 1 所示，包括：衬底基板 1、薄膜晶体管 2、以及依次位于薄膜晶体管 2 上方的树脂层 3、像素电极 4、绝缘层 5 和公共电极 6；其中，薄膜晶体管 2 包括：依次设置于衬底基板 1 上的栅电极 21、栅极绝缘层 22、有源层 23、以及同层设置的源电极 24 和漏电极 25，像素电极 4 通过贯穿树脂层 3 的过孔与漏电极 25 电性连接。

[0005] 目前，现有技术中增加 ADS 型阵列基板的存储电容的最简单的方法是减小像素电极和公共电极之间的距离，这种方法虽然能够增大 ADS 型阵列基板的存储电容，但是，公共电极与像素电极之间的距离减小，会导致像素电极与公共电极发生短路的几率增加。

[0006] 因此，如何在不影响阵列基板开口率的同时提高阵列基板的存储电容，已成为业界亟需解决的问题。

发明内容

[0007] 本发明实施例提供的一种阵列基板、液晶显示面板及显示装置，用以解决现有技术中存在的阵列基板的存储电容较小，导致显示装置的显示品质较低的问题。

[0008] 本发明实施例提供的一种阵列基板，包括衬底基板，位于所述衬底基板上的薄膜晶体管，其中，所述薄膜晶体管包括栅电极、有源层、源电极和漏电极，还包括：

[0009] 位于所述薄膜晶体管上方的公共电极，以及与所述薄膜晶体管的漏电极电性连接的第一像素电极和第二像素电极；其中，

[0010] 所述第一像素电极位于所述公共电极的下方且与所述公共电极相互绝缘，所述第二像素电极位于所述公共电极的上方且与所述公共电极相互绝缘。

[0011] 本发明实施例提供的上述阵列基板，由于包括位于薄膜晶体管上方的公共电极，以及分别位于公共电极上方和下方的，且均与薄膜晶体管的漏电极电性连接的第一像素电极和第二像素电极，因此可以同时第一像素电极与公共电极之间，以及在第二像素电极和公共电极之间形成存储电容；而现有技术中由于阵列基板中只有一个像素电极和一个公共电极，因此现有技术中只能在一个像素电极和公共电极之间形成存储电容。因此，本发明

实施例提供的上述阵列基板与现有的阵列基板相比,可以增大阵列基板的存储电容,从而提高阵列基板的像素电压保持率、以及降低显示装置的闪烁等不良现象,进而提高显示装置的显示品质。

[0012] 较佳地,在本发明实施例提供的上述阵列基板中,所述第二像素电极通过所述第一像素电极与所述漏电极电性连接。

[0013] 较佳地,为了便于实施,在本发明实施例提供的上述阵列基板中,所述第二像素电极直接与所述漏电极电性连接。

[0014] 较佳地,为了便于实施,在本发明实施例提供的上述阵列基板中,还包括:

[0015] 位于所述第二像素电极与所述公共电极之间的第一绝缘层;

[0016] 位于所述公共电极与所述薄膜晶体管之间的第二绝缘层;

[0017] 所述第二像素电极至少通过贯穿所述第一绝缘层和所述第二绝缘层的过孔与所述漏电极电性连接。

[0018] 较佳地,为了简化制备工艺,节约制作成本,在本发明实施例提供的上述阵列基板中,所述第一像素电极直接设置在所述漏电极的上层或下层,所述第一像素电极直接与所述漏电极电性连接。

[0019] 较佳地,为了便于实施,在本发明实施例提供的上述阵列基板中,所述第一像素电极通过过孔与所述漏电极电性连接。

[0020] 较佳地,为了便于实施,在本发明实施例提供的上述阵列基板中,所述薄膜晶体管为底栅型或顶栅型的薄膜晶体管。

[0021] 较佳地,为了便于实施,在本发明实施例提供的上述阵列基板中,所述第一像素电极为平板状,所述第二像素电极为狭缝状。

[0022] 本发明实施例提供一种液晶显示面板,包括本发明实施例提供的上述任一种阵列基板。

[0023] 本发明实施例提供一种显示装置,包括本发明实施例提供的上述液晶显示面板。

附图说明

[0024] 图1为现有的阵列基板的结构示意图;

[0025] 图2为本发明实例一提供的阵列基板的结构示意图;

[0026] 图3为本发明实例二提供的阵列基板的结构示意图;

[0027] 图4为本发明实例三提供的阵列基板的结构示意图;

[0028] 图5为本发明实例四提供的阵列基板的结构示意图。

具体实施方式

[0029] 下面结合附图,对本发明实施例提供的阵列基板、液晶显示面板及显示装置的具体实施方式进行详细地说明。

[0030] 附图中各部件的大小和形状不反映阵列基板的真实比例,目的只是示意说明本发明内容。

[0031] 本发明实施例提供了一种阵列基板,如图2至图5所示,包括衬底基板100,位于衬

底基板 100 上的薄膜晶体管 200, 其中, 薄膜晶体管 200 包括栅电极 210、有源层 220、源电极 230 和漏电极 240, 还包括:

[0032] 位于薄膜晶体管 200 上方的公共电极 300, 以及与薄膜晶体管 200 的漏电极 240 电性连接的第一像素电极 410 和第二像素电极 420; 其中,

[0033] 第一像素电极 410 位于公共电极 300 的下方且与公共电极 300 相互绝缘, 第二像素电极 420 位于公共电极 300 的上方且与公共电极 300 相互绝缘。

[0034] 本发明实施例提供的上述阵列基板, 由于包括位于薄膜晶体管上方的公共电极, 以及分别位于公共电极上方和下方的, 且均与薄膜晶体管的漏电极电性连接的第一像素电极和第二像素电极, 因此可以同时在第一像素电极与公共电极之间, 以及在第二像素电极和公共电极之间形成存储电容; 而现有技术中由于阵列基板中只有一个像素电极和一个公共电极, 因此现有技术中只能在一个像素电极和公共电极之间形成存储电容。因此, 本发明实施例提供的上述阵列基板与现有的阵列基板相比, 可以增大阵列基板的存储电容, 从而提高阵列基板的像素电压保持率、以及降低显示装置的闪烁等不良现象, 进而提高显示装置的显示品质。

[0035] 具体地, 在具体实施时, 在本发明实施例提供的上述阵列基板中, 如图 2 和图 3 所示, 薄膜晶体管可以为底栅型的薄膜晶体管, 当然, 如图 4 和图 5 所示, 薄膜晶体管也可以为顶栅型的薄膜晶体管, 在此不做限定。

[0036] 具体地, 在本发明实施例提供的上述阵列基板中, 底栅型的薄膜晶体管的结构具体可以如图 2 和图 3 所示: 栅电极 210 位于衬底基板 100 之上, 栅电极 210 之上还设置有栅极绝缘层 250, 有源层 220 位于栅极绝缘层 250 之上, 源电极 230 和漏电极 240 均位于有源层 220 之上; 当然, 在具体实施时, 底栅型的薄膜晶体管的结构也可以为: 栅电极位于衬底基板之上, 栅电极之上还设置有栅极绝缘层, 源电极和漏电极均位于栅极绝缘层之上, 有源层位于源电极和漏电极之上; 在此不做限定。

[0037] 具体地, 在本发明实施例提供的上述阵列基板中, 顶栅型的薄膜晶体管的结构具体可以如图 4 和图 5 所示: 源电极 230 和漏电极 240 均位于有源层 220 与衬底基板 100 之间, 栅电极 210 位于有源层 220 的上方, 栅极绝缘层 250 位于有源层 220 和栅电极 210 之间; 当然, 在具体实施时, 顶栅型的薄膜晶体管的结构也可以为: 有源层位于衬底基板之上, 栅极绝缘层位于有源层之上, 栅电极位于栅极绝缘层之上, 源电极和漏电极均位于栅电极上方且均与栅电极绝缘; 在此不做限定。

[0038] 较佳地, 在本发明实施例提供的上述阵列基板中, 如图 2、图 4 和图 5 所示, 第二像素电极 420 可以通过第一像素电极 410 与漏电极 240 电性连接。

[0039] 或者, 较佳地, 在本发明实施例提供的上述阵列基板中, 如图 3 所示, 第二像素电极 420 也可以直接与漏电极 240 电性连接。

[0040] 较佳地, 在本发明实施例提供的上述阵列基板中, 如图 2 至图 5 所示, 还可以包括:

[0041] 位于第二像素电极 420 与公共电极 300 之间的第一绝缘层 500;

[0042] 位于公共电极 300 与薄膜晶体管 200 之间的第二绝缘层 600;

[0043] 第二像素电极 420 至少通过贯穿第一绝缘层 500 和第二绝缘层 600 的过孔与漏电极 240 电性连接。

[0044] 具体地,在具体实施时,可以根据第二像素电极与漏电极之间的膜层,确定电性连接第二像素电极与漏电极电性连接的过孔所需要贯穿的膜层,如图 2 和图 3 所示,第二像素电极 420 和漏电极 240 之间设置有第一绝缘层 500 和第二绝缘层 600,第二像素电极 420 可以通过贯穿第一绝缘层 500 和第二绝缘层 600 的过孔与漏电极 240 电性连接;如图 4 所示,第二像素电极 420 和漏电极 240 之间设置有第一绝缘层 500、第二绝缘层 600 和栅极绝缘层 250,第二像素电极可以通过贯穿第一绝缘层 500,第二绝缘层 600,以及栅极绝缘层 250 的过孔与漏电极 240 电性连接;当然在具体实施时,根据实际需要,在第二像素电极与漏电极之间可能还会设置有其他膜层,因此,第二像素电极还需要通过贯穿第一绝缘层和第二绝缘层,以及其他膜层的过孔才能实现与漏电极电性连接,在此不做限定。

[0045] 较佳地,在本发明实施例提供的上述阵列基板中,如图 2 和图 4 所示,第一像素电极 410 可以直接设置在漏电极 240 的上层,这样第一像素电极 410 就可以直接与漏电极 240 电性连接,与第一像素电极 410 通过过孔与漏电极 240 电性连接相比可以省去制作过孔的工艺,从而可以简化制备工艺,节约生产成本。

[0046] 或者,较佳地,为了简化制备工艺,节约生产成本,在本发明实施例提供的上述阵列基板中,第一像素电极也可以直接设置在漏电极的下层,这样第一像素电极就可以直接与漏电极电性连接,在此不做限定。

[0047] 进一步地,在本发明实施例提供的上述阵列基板中,如图 3 和图 5 所示,第一像素电极 410 也可以通过过孔与漏电极 240 电性连接。

[0048] 具体地,如图 3 所示,薄膜晶体管为底栅型的薄膜晶体管,第一像素电极 410 位于衬底基板 100 与栅极绝缘层 250 之间,第一像素电极 410 通过贯穿栅极绝缘层 250 的过孔与漏电极 240 电性相连;或者,如图 5 所示,薄膜晶体管为顶栅型的薄膜晶体管,第一像素电极 410 位于栅极绝缘层 250 的上层,第一像素电极 410 通过贯穿栅极绝缘层 250 的过孔与漏电极 240 电性相连。这样与第一像素电极 410 直接与漏电极 240 电性相连相比,虽然多了制备第一像素电极与漏电极电性连接的过孔的工艺,但是与现有技术相比,只需增加制备第一像素电极的膜层和制备第一像素电极与漏电极电性连接的过孔的工艺,就可以达到增加存储电容的作用,制备工艺相对比较简单。

[0049] 较佳地,为了便于实施,在本发明实施例提供的上述阵列基板中,如图 2 至图 5 所示,第一像素电极 410 一般为平板状,为了提高第二像素电极 420 与公共电极 300 之间的配合效果,第二像素电极 420 优选为狭缝状。

[0050] 下面通过四个具体实例来详细的说明本发明实施例提供的上述阵列基板。在下面的四个实例中,阵列基板均包括:衬底基板 100,位于衬底基板 100 上的薄膜晶体管 200,位于薄膜晶体管 200 上的第二绝缘层 600,位于第二绝缘层 600 上的公共电极 300,位于公共电极 300 上的第一绝缘层 500,以及位于第一绝缘层 500 上的第二像素电极 420。

[0051] 实例一:

[0052] 如图 2 所示,薄膜晶体管为底栅型的薄膜晶体管,在薄膜晶体管中,栅电极 210 位于衬底基板 100 和有源层 220 之间,栅极绝缘层 250 位于栅电极 210 和有源层 220 之间,源电极 230 和漏电极 240 均位于有源层 220 上方;第一像素电极 410 直接位于漏电极 240 上层并与漏电极 240 直接电性连接,第二像素电极 420 通过贯穿第一绝缘层 500 和第二绝缘层 600 的过孔与第一像素电极 410 电性连接。

[0053] 上述实例一的阵列基板与现有的阵列基板相比,不需要增加其他额外的膜层,仅需要增加制备第一像素电极的工艺就可以实现在保证阵列基板的开口率的情况下增大阵列基板的存储电容的作用。

[0054] 实例二:

[0055] 如图 3 所示,薄膜晶体管为底栅型的薄膜晶体管,在薄膜晶体管中,栅电极 210 位于衬底基板 100 和有源层 220 之间,栅极绝缘层 250 位于栅电极 210 和有源层 220 之间,源电极 230 和漏电极 240 均位于有源层 220 上方;第一像素电极 410 位于栅极绝缘层 250 与衬底基板 100 之间,第一像素电极 410 通过贯穿栅极绝缘层 250 的过孔与漏电极 240 电性连接;第二像素电极 420 通过贯穿第一绝缘层 500 和第二绝缘层 600 的过孔与漏电极 240 电性连接。

[0056] 上述实例二的阵列基板与实例一的阵列基板相比,需要增加制备贯穿栅极绝缘层 250 的过孔的工艺,但是与现有的阵列基板相比,不需要增加其他额外的膜层,仅需要增加制备第一像素电极,以及制备贯穿栅极绝缘层的过孔的工艺,就可以实现在保证阵列基板的开口率的情况下增大阵列基板的存储电容的作用。

[0057] 实例三:

[0058] 如图 4 所示,薄膜晶体管为顶栅型的薄膜晶体管,在薄膜晶体管中,源电极 230 和漏电极 240 均位于衬底基板 100 与有源层 220 之间,栅电极 210 位于有源层 220 的上方,栅极绝缘层 250 位于栅电极 210 与有源层 220 之间;第一像素电极 410 位于漏电极 240 的上层与漏电极 240 直接电性连接;第二像素电极 420 通过贯穿第一绝缘层 500、第二绝缘层 600 和栅极绝缘层 250 的过孔与第一像素电极 410 电性连接。

[0059] 上述实例三的阵列基板与现有的阵列基板相比,不需要增加其他额外的膜层,仅需要增加制备第一像素电极的工艺就可以实现在保证阵列基板的开口率的情况下增大阵列基板的存储电容的作用。

[0060] 实例四:

[0061] 如图 5 所示,薄膜晶体管为顶栅型的薄膜晶体管,在薄膜晶体管中,源电极 230 和漏电极 240 均位于衬底基板 100 与有源层 220 之间,栅电极 210 位于有源层 220 的上方,栅极绝缘层 250 位于栅电极 210 与有源层 220 之间;第一像素电极 410 位于栅极绝缘层 250 与第二绝缘层 600 之间,第一像素电极 410 通过贯穿栅极绝缘层 250 的过孔与漏电极 240 电性连接;第二像素电极 420 通过贯穿第一绝缘层 500 和第二绝缘层 600 的过孔与第一像素电极 410 电性连接。

[0062] 具体地,实例四的阵列基板与实例三的阵列基板相比,需要单独增加制备贯穿栅极绝缘层 250 的过孔的工艺,但是与现有的阵列基板相比,不需要增加其他额外的膜层,仅需要增加制备第一像素电极,以及单独制备贯穿栅极绝缘层的过孔的工艺,就可以实现在保证阵列基板的开口率的情况下增大阵列基板的存储电容的作用。

[0063] 基于同一发明构思,本发明实施例还提供了一种液晶显示面板,包括本发明实施例提供的上述阵列基板,由于该液晶显示面板解决问题的原理与前述一种阵列基板相似,因此该液晶显示面板的实施可以参见前述阵列基板的实施,重复之处不再赘述。

[0064] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述液晶显示面板,该显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、

数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。该显示装置的实施可以参见上述液晶显示面板的实施例,重复之处不再赘述。

[0065] 本发明实施例提供一种阵列基板,液晶显示面板及显示装置,该阵列基板包括:阵列基板,由于包括位于薄膜晶体管上方的公共电极,以及分别位于公共电极上方和下方的,且均与薄膜晶体管的漏电极电性连接的第一像素电极和第二像素电极,因此可以同时第一像素电极与公共电极之间,以及在第二像素电极和公共电极之间形成存储电容;而现有技术中由于阵列基板中只有一个像素电极和一个公共电极,因此现有技术中只能在一个像素电极和公共电极之间形成存储电容。因此,本发明实施例提供的上述阵列基板与现有的阵列基板相比,可以增大阵列基板的存储电容,从而提高阵列基板的像素电压保持率、以及降低显示装置的闪烁等不良现象,进而提高显示装置的显示品质。

[0066] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

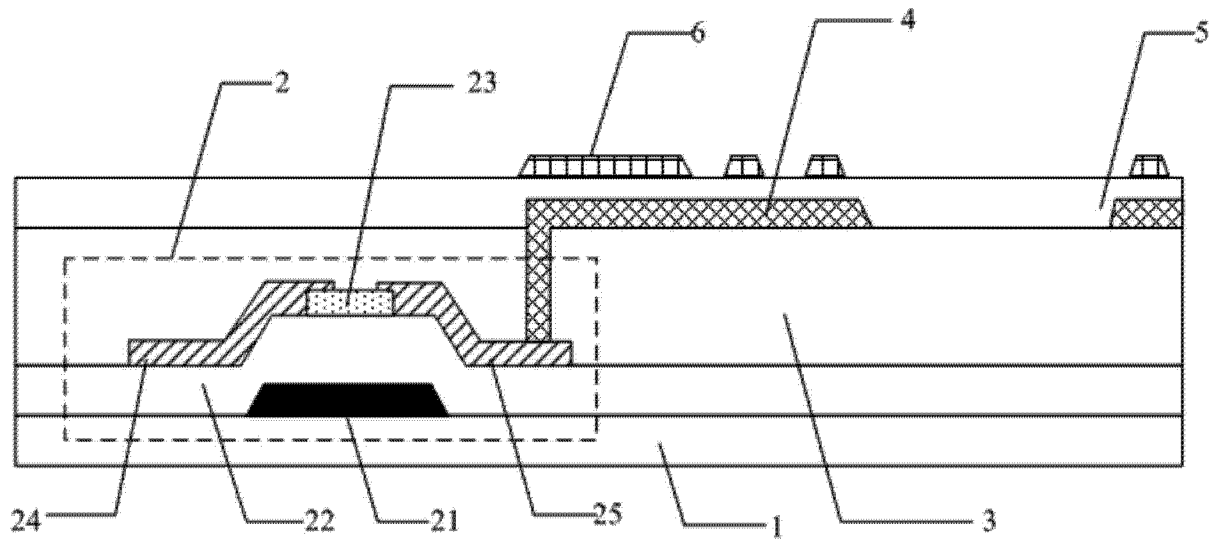


图 1

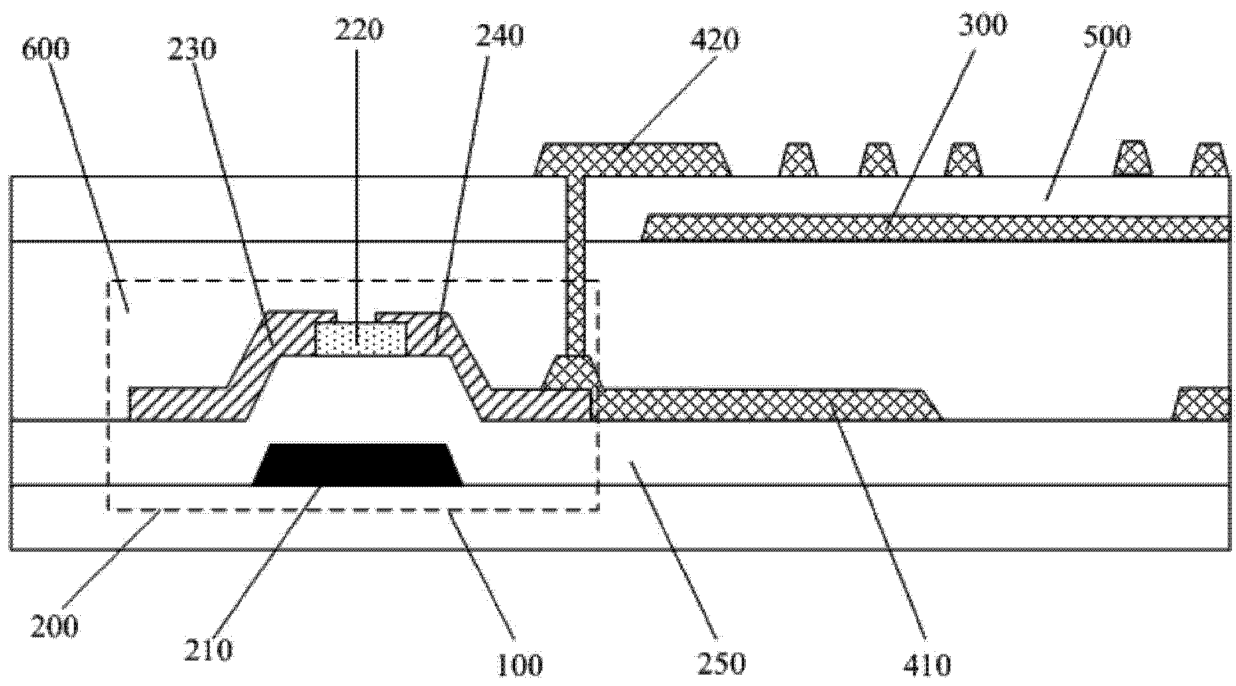


图 2

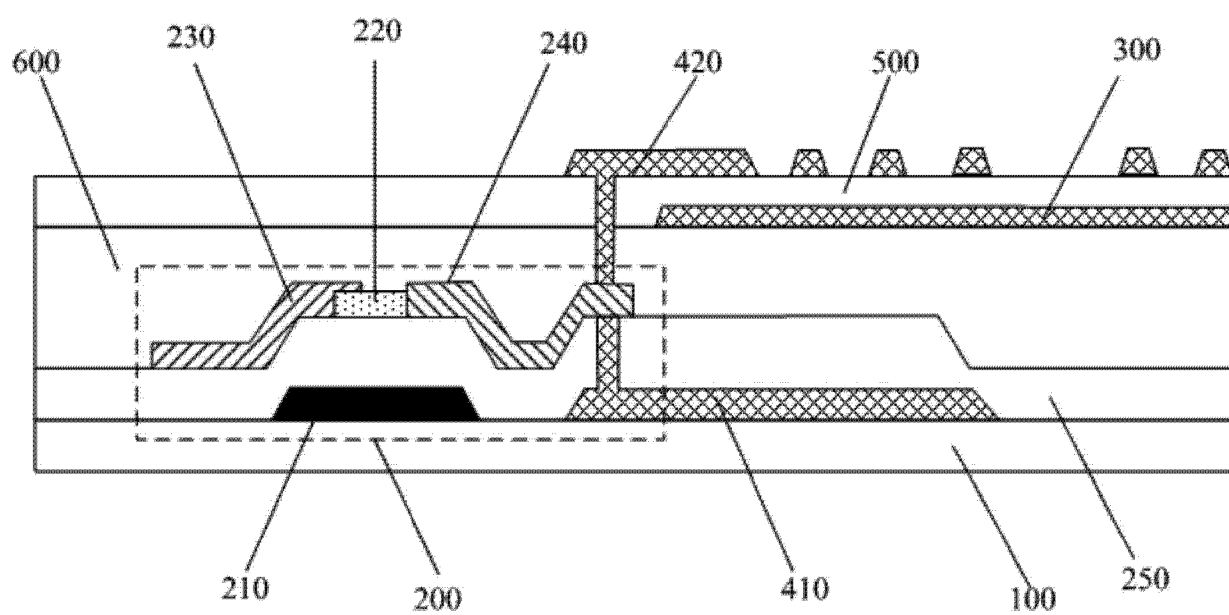


图 3

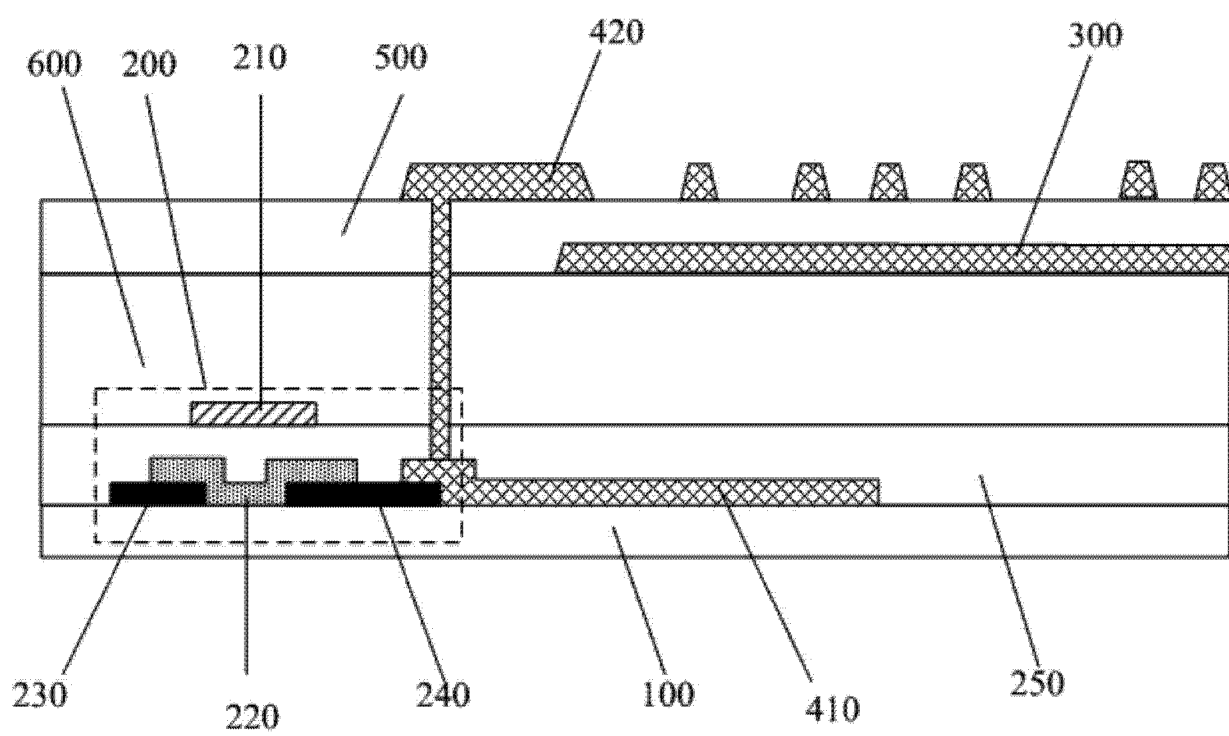


图 4

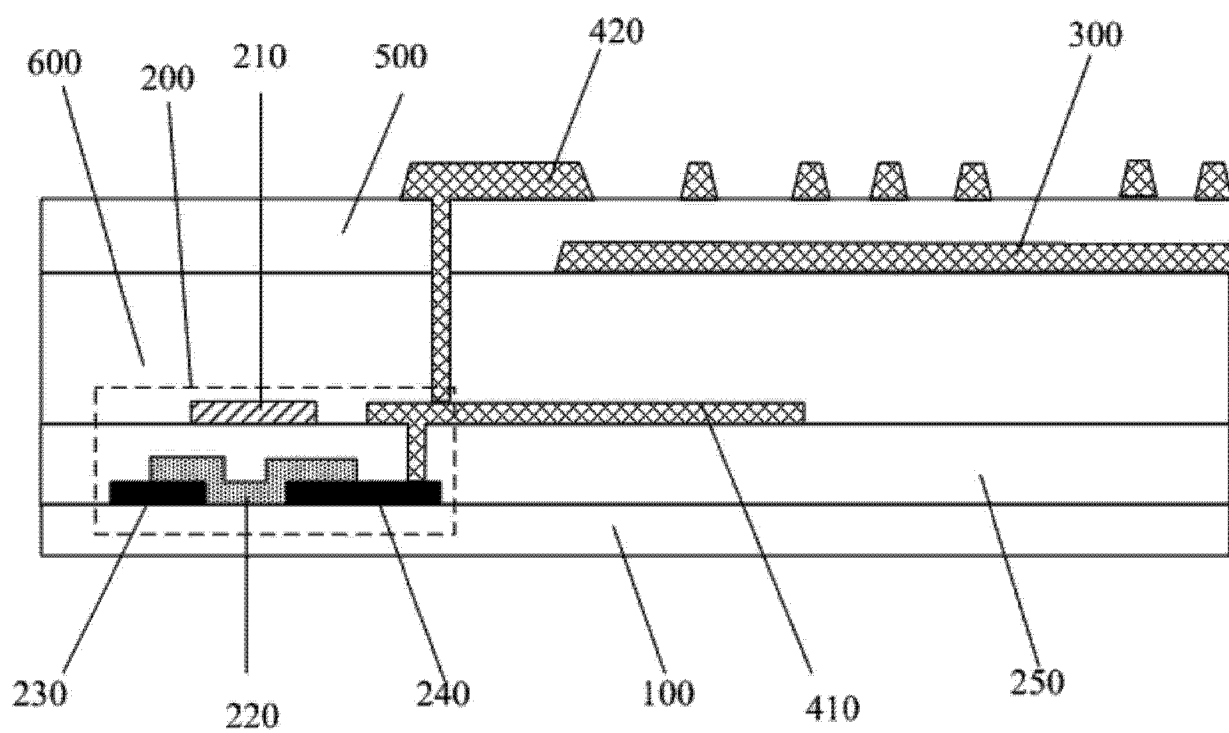


图 5

专利名称(译)	一种阵列基板、液晶显示面板及显示装置		
公开(公告)号	CN103777418A	公开(公告)日	2014-05-07
申请号	CN201410040298.9	申请日	2014-01-27
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	崔贤植 金熙哲 林允植		
发明人	崔贤植 金熙哲 林允植		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/134309 G02F1/136227 G02F1/1368 G02F2001/134372 G02F2001/13685 H01L23/5226 H01L23/528 H01L27/124 H01L29/786 H01L2924/0002 H01L2924/00		
代理人(译)	黄志华		
其他公开文献	CN103777418B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板，液晶显示面板及显示装置，由于该阵列基板包括位于薄膜晶体管上方的公共电极，以及分别位于公共电极上方和下方的，且均与薄膜晶体管的漏电极电性连接的第一像素电极和第二像素电极，因此，该阵列基板可以同时第一像素电极与公共电极之间，以及在第二像素电极和公共电极之间形成存储电容；而现有技术中由于阵列基板中只有一个像素电极和一个公共电极，因此现有技术中只能在一个像素电极和公共电极之间形成存储电容。因此，本发明实施例提供的上述阵列基板与现有的阵列基板相比，可以增大阵列基板的存储电容，从而提高阵列基板的像素电压保持率、以及降低显示装置的闪烁等不良现象，进而提高显示装置的显示品质。

