



(12) 发明专利申请

(10) 授权公告号 CN 103076704 A

(43) 申请公布日 2013. 05. 01

(21) 申请号 201310016843. 6

(22) 申请日 2013. 01. 16

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

申请人 合肥京东方光电科技有限公司

(72) 发明人 徐向阳

(74) 专利代理机构 北京银龙知识产权代理有限公司

公司 11243

代理人 许静 黄灿

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

H01L 27/02(2006. 01)

H01L 29/786(2006. 01)

H01L 21/77(2006. 01)

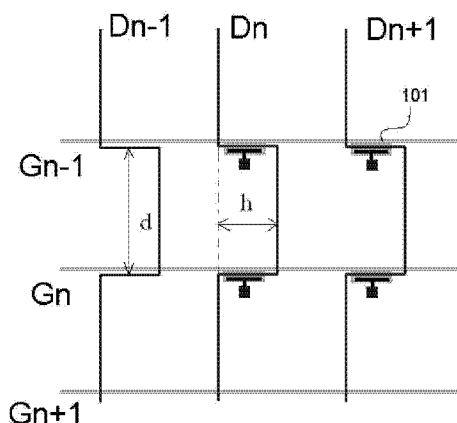
权利要求书2页 说明书6页 附图5页

(54) 发明名称

薄膜晶体管阵列基板及其制造方法、显示装置

(57) 摘要

本发明提供一种薄膜晶体管阵列基板及其制造方法、显示装置,属于液晶显示领域。其中,该薄膜晶体管阵列基板,包括多条栅线、多条数据线以及由所述栅线和数据线限定出的亚像素区域,所述亚像素区域包括薄膜晶体管和像素电极,其中,所述数据线呈方波形,所述数据线的凸起方向与所述栅线平行,所述凸起与相邻的两条栅线限定出一亚像素区域。本发明的技术方案能够实现在较小的功耗下提高画面品质。



1. 一种薄膜晶体管阵列基板,包括多条栅线、多条数据线以及由所述栅线和数据线限定出的亚像素区域,所述亚像素区域包括薄膜晶体管和像素电极,其特征在于,所述数据线呈方波形,所述数据线的凸起方向与所述栅线平行,所述凸起与相邻的两条栅线限定出一亚像素区域。

2. 根据权利要求1所述的薄膜晶体管阵列基板,其特征在于,所述数据线包括与栅线垂直的部分和与栅线平行的部分,其中,所述数据线与栅线平行的部分为所述薄膜晶体管的源电极。

3. 根据权利要求1所述的薄膜晶体管阵列基板,其特征在于,所述凸起的高度为所述亚像素区域宽度的一半。

4. 根据权利要求1所述的薄膜晶体管阵列基板,其特征在于,所述阵列基板具体包括:
基板;
位于所述基板上的栅电极和栅线;
位于形成有所述栅电极和栅线的基板上的栅绝缘层;
位于所述栅绝缘层上的半导体层;
位于形成有所述半导体层的基板上的源电极、漏电极和所述数据线;
位于形成有所述源电极、漏电极和数据线的基板上包括有钝化层过孔的钝化层的图形;

其中,所述漏电极与亚像素区域的像素电极连接。

5. 一种显示装置,其特征在于,包括如权利要求1-4中任一项所述的薄膜晶体管阵列基板,所述显示装置还包括:

连接所述阵列基板的源电极驱动电路。

6. 根据权利要求5所述的显示装置,其特征在于,所述源电极驱动电路用于提供多个数据信号至所述数据线上,每一数据信号所对应的一驱动极性于该显示装置的一帧转换一次。

7. 根据权利要求5所述的显示装置,其特征在于,相邻两条数据线上的数据信号的驱动极性不同。

8. 一种薄膜晶体管阵列基板的制造方法,所述薄膜晶体管阵列基板包括多条栅线、多条数据线以及由所述栅线和数据线限定出的亚像素区域,所述亚像素区域包括薄膜晶体管和像素电极,其特征在于,所述制造方法包括:形成呈方波形的数据线,所述数据线的凸起方向与所述栅线平行,所述凸起与相邻的两条栅线限定出一亚像素区域。

9. 根据权利要求8所述的薄膜晶体管阵列基板的制造方法,其特征在于,所述制造方法具体包括:

提供一基板;
在所述基板上形成包括栅电极和栅线的图形;
在形成有包括栅电极和栅线的图形的基板上形成栅绝缘层;
在栅绝缘层上形成包括半导体层的图形;
在形成有包括半导体层的图形的基板上形成源电极、漏电极和所述数据线;
在形成有所述源电极、漏电极和数据线的基板上形成包括有钝化层过孔的钝化层的图形;

在所述钝化层上形成由透明导电层组成的像素电极的图形,所述像素电极通过所述钝化层过孔与所述漏电极连接。

薄膜晶体管阵列基板及其制造方法、显示装置

技术领域

[0001] 本发明涉及液晶显示领域,特别是指一种薄膜晶体管阵列基板及其制造方法、显示装置。

背景技术

[0002] 在传统的主矩阵型液晶显示器中,每个像素具有一个薄膜晶体管,其栅极连接至水平方向的扫描线,其源极连接至垂直方向的数据线,其漏极连接至像素电极。现有的 TFT(薄膜晶体管)使用非对称 U 型岛外设计,其相对于传统的 U 型岛内设计结构来说缩小了栅极的面积,能够让寄生电容(栅极和漏极之间的耦合电容)变小,但衍生而来的问题就是在进行光刻制程时,第二金属层和 a-Si 对栅极的重叠面积的改变,使得操作时有效电容面积产生改变,这样评估栅极和数据线 RC 造成的信号延迟将会产生误差,使得液晶出现直流残影现象,严重时将影响画面的正常显示。

[0003] 为了克服液晶的直流残影,液晶驱动通常采用交流电压,目前使用的交流驱动方式包括:帧反转、列反转、行反转和点反转。其中,帧反转和列反转模式的功耗较低,但是画面串扰和闪烁较严重,点反转模式的画面串扰和闪烁很小,但功耗很大。

发明内容

[0004] 本发明要解决的技术问题是提供一种薄膜晶体管阵列基板及其制造方法、显示装置,能够实现在较小的功耗下提高显示画面的品质。

[0005] 为解决上述技术问题,本发明的实施例提供技术方案如下:

[0006] 一方面,提供一种薄膜晶体管阵列基板,包括多条栅线、多条数据线以及由所述栅线和数据线限定出的亚像素区域,所述亚像素区域包括薄膜晶体管和像素电极,其中,所述数据线呈方波形,所述数据线的凸起方向与所述栅线平行,所述凸起与相邻的两条栅线限定出一亚像素区域。

[0007] 进一步地,所述数据线包括与栅线垂直的部分和与栅线平行的部分,其中,所述数据线与栅线平行的部分为所述薄膜晶体管的源电极。

[0008] 进一步地,所述凸起的高度为所述亚像素区域宽度的一半。

[0009] 进一步地,所述阵列基板具体包括:

[0010] 基板;

[0011] 位于所述基板上的栅电极和栅线;

[0012] 位于形成有所述栅电极和栅线的基板上的栅绝缘层;

[0013] 位于所述栅绝缘层上的半导体层;

[0014] 位于形成有所述半导体层的基板上的源电极、漏电极和所述数据线;

[0015] 位于形成有所述源电极、漏电极和数据线的基板上包括有钝化层过孔的钝化层的图形;

[0016] 其中,所述漏电极与亚像素区域的像素电极连接。

[0017] 本发明实施例还提供了一种显示装置,包括如上所述的薄膜晶体管阵列基板,所述显示装置还包括:

[0018] 连接所述阵列基板的源电极驱动电路。

[0019] 进一步地,所述源电极驱动电路用于提供多个数据信号至所述数据线上,每一数据信号所对应的一驱动极性于该显示装置的一帧转换一次。

[0020] 进一步地,上述方案中,相邻两条数据线上的数据信号的驱动极性不同。

[0021] 本发明实施例还提供了一种薄膜晶体管阵列基板的制造方法,所述薄膜晶体管阵列基板包括多条栅线、多条数据线以及由所述栅线和数据线限定出的亚像素区域,所述亚像素区域包括薄膜晶体管和像素电极,其中,所述制造方法包括:形成呈方波形的数据线,所述数据线的凸起方向与所述栅线平行,所述凸起与相邻的两条栅线限定出一亚像素区域。

[0022] 进一步地,上述方案中,所述制造方法具体包括:

[0023] 提供一基板;

[0024] 在所述基板上形成包括栅电极和栅线的图形;

[0025] 在形成有包括栅电极和栅线的图形的基板上形成栅绝缘层;

[0026] 在栅绝缘层上形成包括半导体层的图形;

[0027] 在形成有包括半导体层的图形的基板上形成源电极、漏电极和所述数据线;

[0028] 在形成有所述源电极、漏电极和数据线的基板上形成包括有钝化层过孔的钝化层的图形;

[0029] 在所述钝化层上形成由透明导电层组成的像素电极的图形,所述像素电极通过所述钝化层过孔与所述漏电极连接。

[0030] 本发明的实施例具有以下有益效果:

[0031] 上述方案中,数据线呈方波形,这样由栅线和数据线限定出的亚像素区域成“品”字形排列,这种像素结构的空混色效果更好,能够使显示画幅更连续细腻;并且由于数据信号是左右两边交替驱动,这样通过列反转的驱动方式可以实现点反转驱动的效果,能够在较小的功耗下提高显示画面的品质。

附图说明

[0032] 图1为本发明实施例薄膜晶体管阵列基板的数据线和栅线的走向示意图;

[0033] 图2为本发明实施例薄膜晶体管阵列基板的平面示意图;

[0034] 图3为本发明实施例薄膜晶体管阵列基板的截面示意图;

[0035] 图4为本发明实施例薄膜晶体管阵列基板的制造方法的流程示意图;

[0036] 图5为本发明实施例显示装置的彩色滤光单元排列示意图;

[0037] 图6为本发明实施例显示装置的彩色滤光单元呈“品”字型排列的示意图;

[0038] 图7为本发明实施例显示装置第n帧画幅对应的亚像素极性;

[0039] 图8为本发明实施例显示装置第n+1帧画幅对应的亚像素极性;

[0040] 图9为本发明实施例显示装置的数据信号的示意图。

[0041] 附图标记

[0042] 100 基板

- [0043] 101TFT
- [0044] 102 数据线
- [0045] 103 栅线
- [0046] 104 栅电极
- [0047] 105 漏电极
- [0048] 106 半导体层
- [0049] 107 栅绝缘层
- [0050] 108 钝化层

具体实施方式

[0051] 为使本发明的实施例要解决的技术问题、技术方案和优点更加清楚,下面将结合附图及具体实施例进行详细描述。

[0052] 本发明的实施例提供一种薄膜晶体管阵列基板及其制造方法、显示装置,能够实现在较小的功耗下提高显示画面的品质。

[0053] 本发明实施例提供了一种薄膜晶体管阵列基板,如图 1 所示,该阵列基板包括多条相互平行的栅线(G_{n-1} 、 G_n 、 G_{n+1} ……)、多条相互平行的数据线(D_{n-1} 、 D_n 、 D_{n+1} ……)以及由所述栅线和数据线限定出的亚像素区域,亚像素区域包括薄膜晶体管和像素电极,其中,数据线呈方波形,所述方波的宽度 d 与栅线之间的间距相等,所述方波的凸起方向与所述栅线平行,所述凸起与相邻的两条栅线限定出一亚像素区域。

[0054] 由于数据线呈方波形,亚像素区域是由栅线和数据线限定出的,因此,阵列基板上的亚像素区域呈“品字形”排列,比如第 n 行的亚像素区域的边缘对应第 $n+1$ 行亚像素区域的中线位置,这样在进行显示时,能够进行交叉混色,提高显示画面的连续性,使得画面显示更加细腻。

[0055] 进一步地,上述方案中,方波的凸起的高度 h 可以为亚像素区域宽度的一半,这样第 n 行的亚像素区域的边缘对应第 $n+1$ 行亚像素区域的中线位置,可以使得亚像素区域的结构更加对称。

[0056] 进一步地,由图 1 可以看出,数据线包括与栅线垂直的部分和与栅线平行的部分,其中,可以将数据线与栅线平行的部分作为亚像素区域 TFT 的源电极。如图 2 所示,将 TFT101 的栅电极 104 制作在数据线 102 和漏电极 105 的下方,栅电极 104 与栅线 103 连接,用于接收扫描信号,数据线 102 具有与栅线 103 平行的部分,可以将 TFT101 的源电极设计在这一与栅线 103 平行的部分,源电极和漏电极 105 下形成有半导体层 106,值得注意的是,本发明实施例直接将数据线 102 当做源电极,不再是先制作源电极,再通过源电极引线将源电极与数据线连接。经过上述步骤可以在源电极和漏电极 105 之间形成“一”字形的沟道结构,使得 TFT 的结构简单,对称性较好,并且 TFT101 的源电极直接由数据线 102 形成,可以节省空间,增大像素的开口率。

[0057] 另外,现有技术中,TFT 的栅电极和漏电极之间往往存在交叠区域,这样会在栅电极和漏电极之间形成耦合电容,即寄生电容,寄生电容的存在会影响画面的显示效果。本实施例的 TFT 采用“一”字形结构,结构简单,减少了漏电极和栅电极之间交叠区域的面积,能够在一定程度上避免寄生电容。

- [0058] 进一步地,如图 3 所示,本发明实施例的薄膜晶体管阵列基板具体包括:
- [0059] 基板 100;
- [0060] 位于基板 100 上的栅电极 104 和栅线 103;
- [0061] 位于形成有栅电极 104 和栅线 103 的基板 100 上的栅绝缘层 107;
- [0062] 位于栅绝缘层 107 上的半导体层 106;
- [0063] 位于形成有半导体层 106 的基板 100 上的源电极、漏电极 105 和数据线 102,其中,所述漏电极与亚像素单元的像素电极连接。
- [0064] 进一步地,阵列基板还包括:位于形成有源电极、漏电极 105 和数据线 102 的基板 100 上包括有钝化层过孔的钝化层 108 的图形;
- [0065] 位于钝化层 108 上由透明导电层组成的像素电极的图形,像素电极通过钝化层过孔与漏电极连接(未图示)。
- [0066] 进一步地,还可以在钝化层上加一层树脂平坦层,通过树脂平坦层和钝化层过孔,实现像素电极与漏电极的连接。
- [0067] 本实施例的薄膜晶体管阵列基板中,数据线呈方波形,这样由栅线和数据线限定出的亚像素区域成“品”字形排列,采用这种像素结构的空间混色效果更好;并且本实施例的 TFT 采用“一”字形结构,结构简单,减少了漏电极和栅电极之间交叠区域的面积,能够在一定程度上避免寄生电容,进一步改善显示效果。
- [0068] 本发明实施例还提供了一种上述薄膜晶体管阵列基板的制造方法,包括:形成呈方波形的数据线,所述数据线的凸起方向与所述栅线平行,所述凸起与相邻的两条栅线限定出一亚像素区域。
- [0069] 进一步地,如图 4 所示,本发明的薄膜晶体管阵列基板的制造方法具体包括以下步骤:
- [0070] 步骤 401:在基板上形成包括栅电极和栅线的图形;
- [0071] 提供一基板 100,具体地,该基板 100 可以为透明基板。在基板 100 上先形成栅金属层薄膜,然后通过第一次构图工艺形成包括栅电极和栅线的图形。具体地,可以在基板 100 上利用磁控溅射沉积一栅金属层薄膜,其中,栅金属层薄膜可以采用 Nd、Cr、W、Ti、Ta、Mo、Al 和 Cu 中的任一种或者其中至少两种金属的合金;之后在栅金属层薄膜上涂覆光刻胶,利用掩模板对光刻胶进行曝光、显影以及刻蚀形成栅电极 104 和栅线 103 的图形。在形成栅电极 104 和栅线 103 的图形时,还可以包括制作公共电极或公共电极线的图形(未示出)。公共电极与像素电极可以在通电的情形下,形成多维电场。
- [0072] 步骤 402:在形成有包括栅电极和栅线的图形的基板上形成栅绝缘层;
- [0073] 在完成步骤 401 的基板 100 上沉积栅绝缘层 107,具体地,栅绝缘层 107 可以采用 SiN_x 、 SiO_2 、 Al_2O_3 、 AlN 或树脂。
- [0074] 步骤 403:在栅绝缘层上形成包括半导体层的图形;
- [0075] 在栅绝缘层 107 上沉积半导体层薄膜,其中,半导体层可以采用 a-Si,之后通过第二次构图工艺在栅绝缘层 107 上形成包括半导体层 106 的图形。
- [0076] 步骤 404:在形成有包括半导体层的图形的基板上形成源电极、漏电极和数据线;
- [0077] 在经过步骤 403 的基板 100 上可以利用磁控溅射沉积一源漏金属层薄膜,其中,源漏金属层薄膜可以采用 Nd、Cr、W、Ti、Ta、Mo、Al 和 Cu 中的任一种或者其中至少两种金属的

合金；之后在源漏金属层薄膜上涂覆光刻胶，利用掩模板对光刻胶进行曝光、显影以及刻蚀形成源电极、漏电极 105 和数据线 102 的图形。其中，数据线 102 呈方波形，源电极搭载在数据线 102 上，为数据线 102 与栅线 103 平行的部分。

[0078] 步骤 405：在形成有源电极、漏电极和数据线的基板上形成钝化层；

[0079] 在经过步骤 404 的基板 100 上可以利用 PECVD(Plasma Enhanced Chemical Vapor Deposition, 等离子体增强化学气相沉积法)沉积钝化层 108, 具体地, 钝化层 108 可以采用 SiO₂ 或 SiN_x。

[0080] 步骤 406：在钝化层上形成钝化层过孔；

[0081] 在钝化层 108 上涂覆一层光刻胶，利用掩模板对光刻胶进行曝光、显影以及刻蚀形成钝化层 108 的图形，钝化层 108 的图形包括有对应漏电极 105 的钝化层过孔。

[0082] 步骤 407：形成透明导电膜作为像素电极及连接线。

[0083] 在经过步骤 406 的基板 100 上可以利用磁控溅射沉积一透明导电膜，具体地，透明导电膜可以采用 ITO 或 IZO。之后在透明导电膜上涂覆一层光刻胶，利用掩模板对光刻胶进行曝光、显影以及刻蚀形成像素电极的图形，像素电极通过钝化层过孔与漏电极 105 连接。

[0084] 经过上述步骤 401~407 后形成的薄膜晶体管阵列基板如图 1~图 3 所示，本发明的薄膜晶体管阵列基板的制造方法，形成的数据线呈方波形，这样由栅线和数据线限定出的亚像素区域成“品”字形排列，采用这种像素结构的空间混色效果更好；并且本实施例的 TFT 采用“一”字形结构，结构简单，减少了漏电极和栅电极之间交叠区域的面积，能够在一定程度上减小寄生电容，进一步改善显示效果。

[0085] 本发明还提供了一种显示装置，包括上述的薄膜晶体管阵列基板，进一步地，本发明的显示装置还包括与该阵列基板对应的彩膜基板，由于该阵列基板上的亚像素区域成“品”字形排列，因此，如图 5 和图 6 所示，彩膜基板上的彩色滤光单元也呈“品”字形排列，这样显示装置在进行显示时，可以交叉混色，空间混色效果更好，使显示装置的显示画幅更连续细腻。

[0086] 并且，由于现有技术中亚像素是按照“一”字形排列，如果不同列之间的黑矩阵宽度有不同的话就会出现 V-line（垂直线）不良现象，本发明的亚像素采用的是“品”字形排列，亚像素是交叉排列的，这样能有效地减小 V-line 不良，进一步提高画面质量。

[0087] 该显示装置还包括连接所述阵列基板的源电极驱动电路，提供多个数据信号至所述数据线上，其中，每一数据信号所对应的一驱动极性于该显示装置的一帧转换一次。

[0088] 进一步地，本发明的显示装置可以采用列驱动的方式，如图 9 所示，其中，STV 为帧同步信号，POL 为信号驱动反转控制信号，D1 为第一列数据线的的数据信号，D2 为第二列的数据信号，…，可以看出每一数据信号所对应的一驱动极性于该显示装置的一帧转换一次，并且相邻两条数据线上的数据信号的驱动极性不同。

[0089] 由于本发明的阵列基板上的亚像素区域（特别是一个像素单元的亚像素）呈“品字形”排列，如图 7 和图 8 所示，在进行列反转驱动时，由于数据线是左右交替驱动，每一亚像素的极性与相邻亚像素的极性均不相同，这样通过本发明阵列基板所具有的结构，可以以列反转的驱动方式来实现点反转驱动的显示效果，能够在不提高面板功耗的情况下，减少画面串扰和闪烁，提高显示装置的画面品质。

[0090] 以上所述是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员

来说,在不脱离本发明所述原理的前提下,还可以作出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

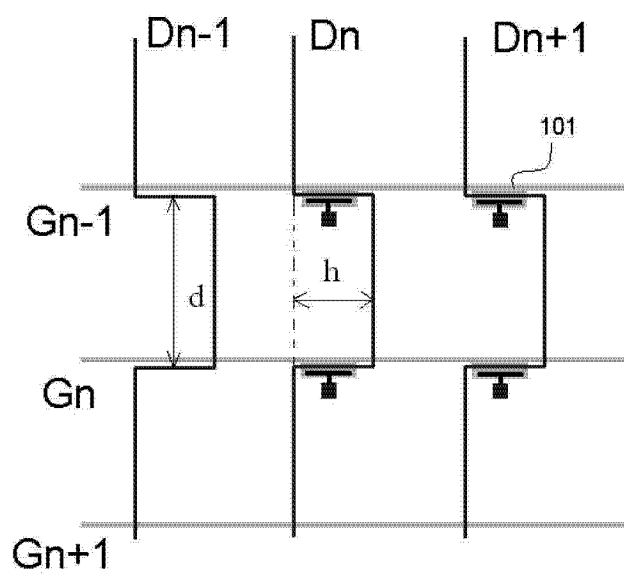


图 1

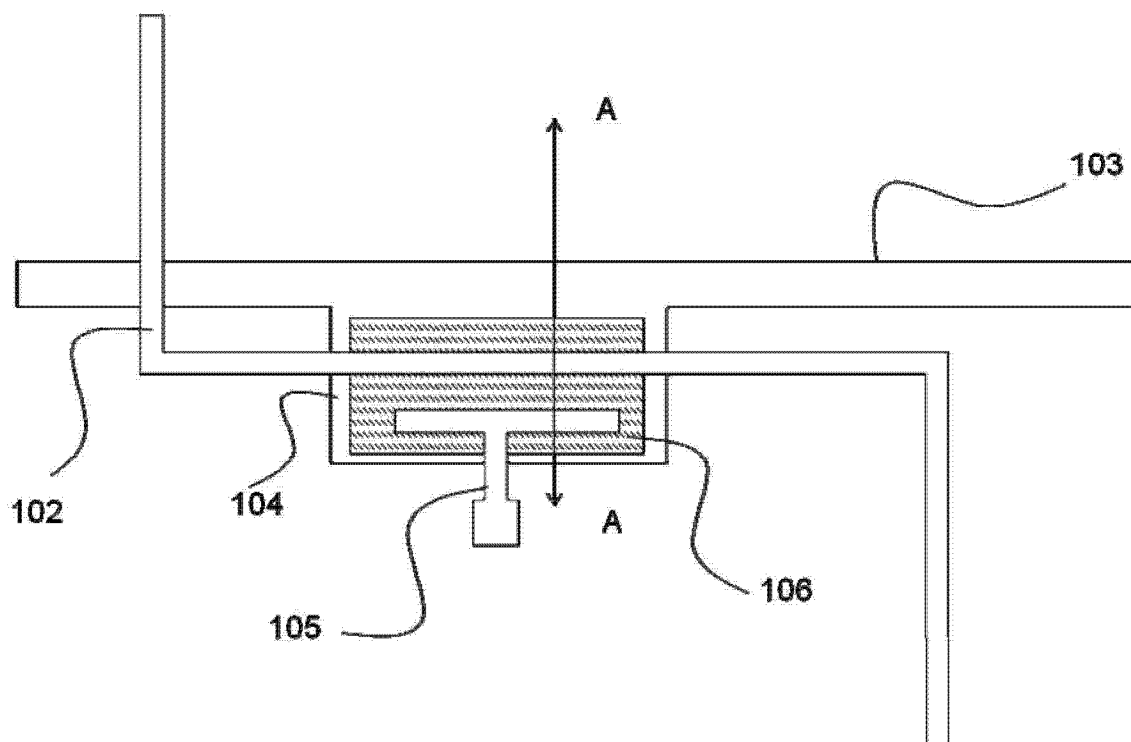


图 2

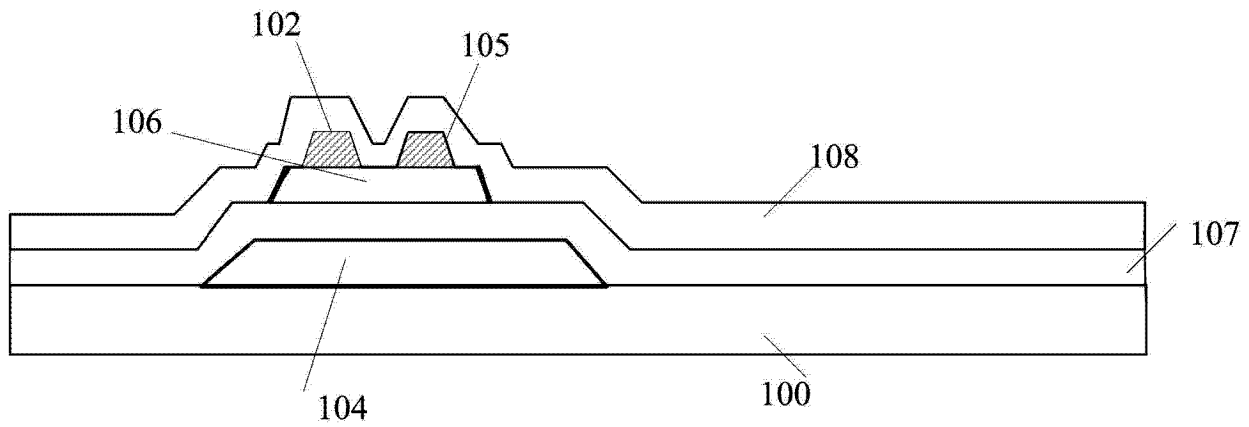


图 3

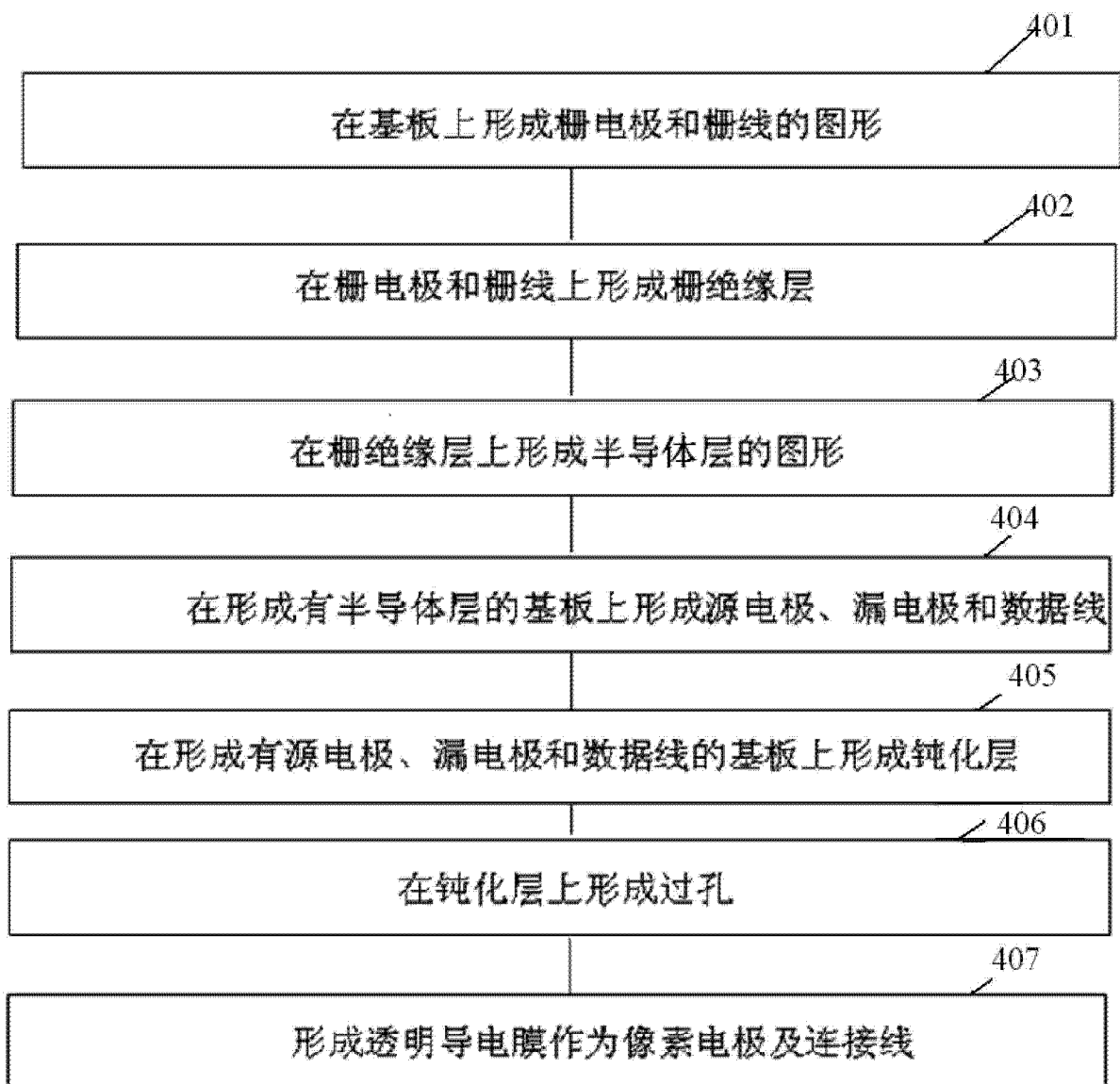


图 4

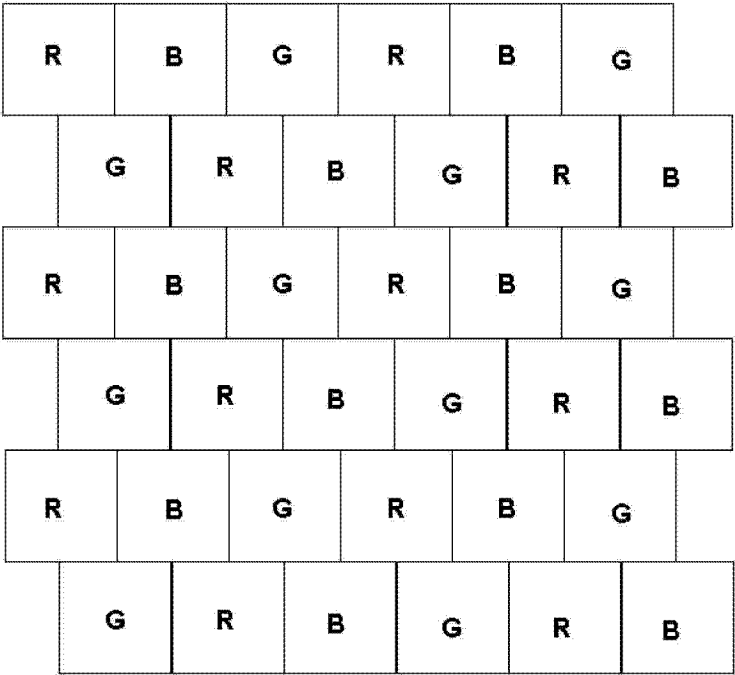


图 5

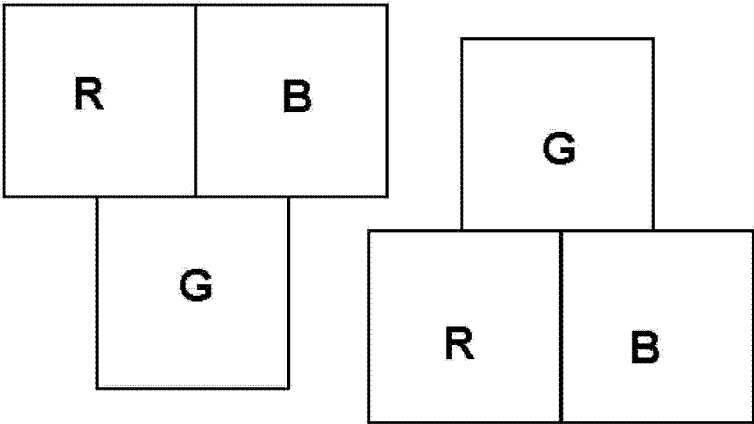


图 6

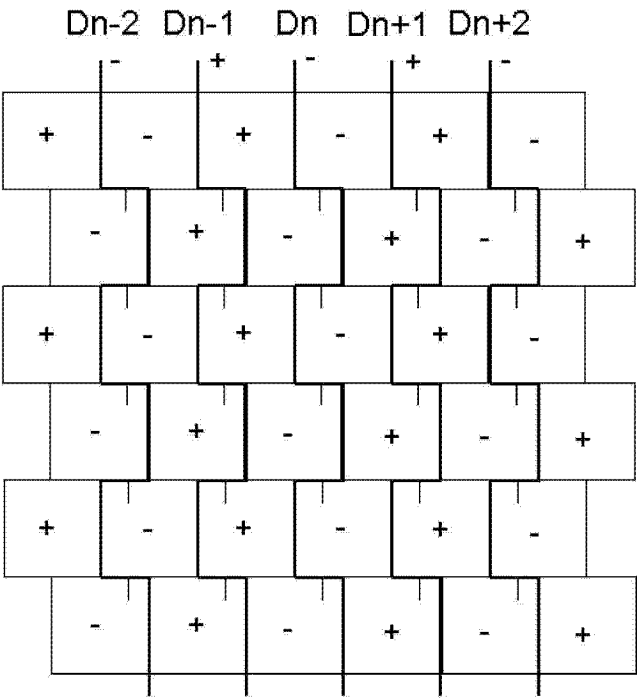


图 7

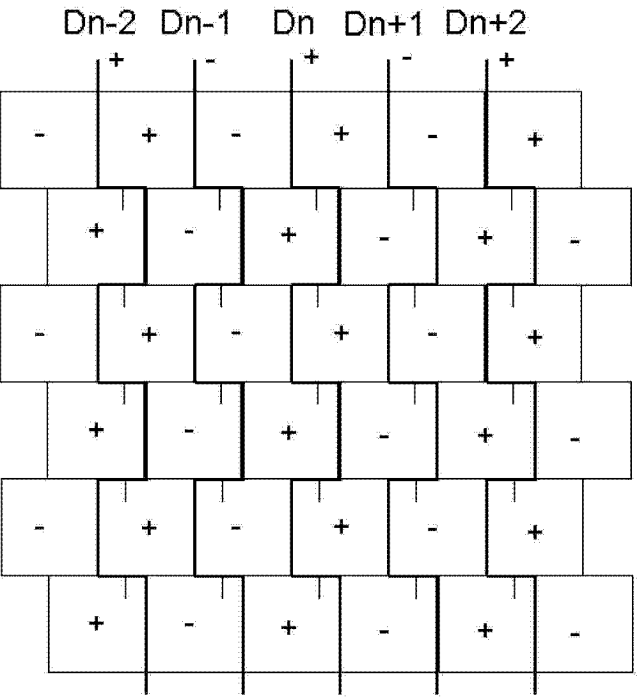


图 8

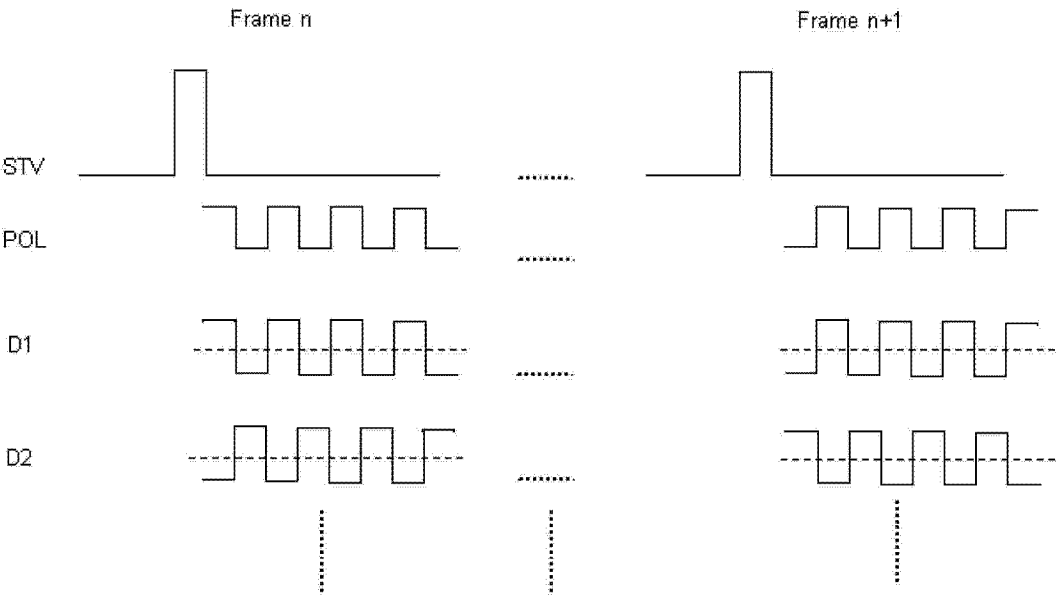


图 9

专利名称(译)	薄膜晶体管阵列基板及其制造方法、显示装置		
公开(公告)号	CN103076704A	公开(公告)日	2013-05-01
申请号	CN201310016843.6	申请日	2013-01-16
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
[标]发明人	徐向阳		
发明人	徐向阳		
IPC分类号	G02F1/1362 G02F1/1368 H01L27/02 H01L29/786 H01L21/77		
代理人(译)	许静 黄灿		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种薄膜晶体管阵列基板及其制造方法、显示装置，属于液晶显示领域。其中，该薄膜晶体管阵列基板，包括多条栅线、多条数据线以及由所述栅线和数据线限定出的亚像素区域，所述亚像素区域包括薄膜晶体管和像素电极，其中，所述数据线呈方波形，所述数据线的凸起方向与所述栅线平行，所述凸起与相邻的两条栅线限定出一亚像素区域。本发明的技术方案能够实现在较小的功耗下提高画面品质。

