



(12) 发明专利申请

(10) 申请公布号 CN 103018989 A

(43) 申请公布日 2013. 04. 03

(21) 申请号 201210526544. 2

(22) 申请日 2012. 12. 07

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 金熙哲 刘圣烈 崔承镇 宋泳锡

(74) 专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

H01L 21/77 (2006. 01)

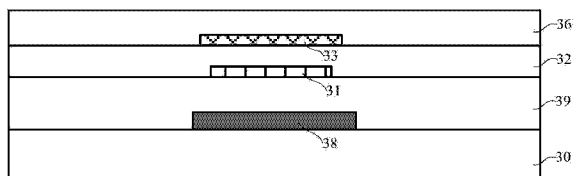
权利要求书 2 页 说明书 10 页 附图 13 页

(54) 发明名称

一种阵列基板及其制造方法和液晶显示装置

(57) 摘要

本发明涉及液晶显示领域,特别涉及一种阵列基板及其制造方法及液晶显示装置,用于解决现有技术中存在的由于栅极的尺寸较大,导致馈入电压的值增大的问题。本发明实施例的阵列基板,包括设置于衬底基板上的薄膜晶体管、与薄膜晶体管连接的栅线、以及位于所述衬底基板与所述薄膜晶体管的有源层之间的遮光层,该遮光层用于遮挡射入有源层中的光线,其中,栅极的线宽小于该栅极所在的栅线的线宽。本发明实施例通过遮光层遮挡射入有源层中的光线,使栅极的线宽能够小于该栅极所在的栅线的线宽,从而减小了 TFT 极间电容的值,进而减小了影响 TFT-LCD 的画面等级的馈入电压。



1. 一种阵列基板,该阵列基板包括设置于衬底基板上的薄膜晶体管,以及与所述薄膜晶体管连接的栅线,其特征在于,所述阵列基板还包括:

位于所述衬底基板与所述薄膜晶体管的有源层之间的遮光层,所述遮光层用于遮挡射入有源层中的光线,其中,所述薄膜晶体管的栅极的线宽小于该栅极所在的栅线的线宽。

2. 如权利要求1所述的阵列基板,其特征在于,所述栅极的线宽小于所述有源层的线宽。

3. 如权利要求1所述的阵列基板,其特征在于,所述遮光层为非透明导电材料,所述阵列基板还包括:位于所述遮光层上的绝缘层。

4. 如权利要求1~3任一所述的阵列基板,其特征在于,所述遮光层设置于所述衬底基板上,且所述遮光层与所述有源层之间包括所述薄膜晶体管的栅极及位于所述栅极上的栅绝缘层。

5. 如权利要求1所述的阵列基板,其特征在于,所述阵列基板还包括像素电极,其中,所述遮光层与所述阵列基板的像素电极位于同一层,且所述遮光层与所述像素电极采用相同的材料。

6. 如权利要求5所述的阵列基板,其特征在于,所述遮光层与所述像素电极设置于所述衬底基板上,且所述遮光层与所述有源层之间包括所述薄膜晶体管的栅极及位于所述栅极上的栅绝缘层。

7. 如权利要求5或6所述的阵列基板,其特征在于,所述阵列基板还包括位于所述薄膜晶体管的保护层上的公共电极,其中,

所述公共电极包括多个设置于所述保护层上且相互平行的条状电极;

所述像素电极包括多个设置于所述衬底基板上且相互平行的条状电极;

且所述像素电极的任一条状电极与所述公共电极的任一条状电极不重叠。

8. 一种液晶显示装置,其特征在于,所述液晶显示装置包括如权利要求1~7任一所述的阵列基板。

9. 一种阵列基板的制造方法,其特征在于,该方法包括:

通过一次构图工艺,在衬底基板上形成的遮光层;

通过构图工艺,在形成有遮光层的衬底基板上依次形成栅线、栅极、栅绝缘层、有源层以及源极和漏极;

其中,所述遮光层用于遮挡射入所述有源层中的光线,所述栅极的线宽小于该栅极所在的栅线的线宽。

10. 如权利要求9所述的方法,其特征在于,所述栅极的线宽小于所述有源层的线宽。

11. 如权利要求9或10所述的方法,其特征在于,若所述遮光层为导电材料,在形成遮光层之后且在形成栅极之前,还包括:

通过一次构图工艺,在形成有遮光层的衬底基板上形成绝缘层。

12. 一种阵列基板的制造方法,其特征在于,该方法包括:

通过构图工艺,在衬底基板上依次形成栅线、栅极及栅绝缘层;

通过一次构图工艺,在形成有栅线、栅极及栅绝缘层的衬底基板上形成遮光层;

通过构图工艺,在形成有遮光层的衬底基板上依次形成有源层以及源极和漏极;

其中,所述遮光层用于遮挡射入所述有源层中的光线,所述栅极的线宽小于该栅极所

在的栅线的线宽。

13. 如权利要求 12 所述的方法,其特征在于,所述栅极的线宽小于所述有源层的线宽。

14. 如权利要求 12 或 13 所述的方法,其特征在于,若所述遮光层为导电材料,在形成遮光层之后且在形成有源层之前,还包括:

通过一次构图工艺,在形成有遮光层的衬底基板上形成绝缘层。

15. 一种阵列基板的制造方法,其特征在于,该方法包括:

通过一次构图工艺,在衬底基板上形成遮光层和像素电极,其中,所述遮光层与所述像素电极采用非透明导电材料;

通过一次构图工艺,在形成有遮光层的衬底基板上形成绝缘层;

通过构图工艺,在形成有绝缘层的衬底基板上依次形成栅线、栅极、栅绝缘层、有源层、源极和漏极、保护层及公共电极;

其中,所述遮光层用于遮挡射入所述有源层中的光线,所述栅极的线宽小于该栅极所在的栅线的线宽。

16. 如权利要求 15 所述的方法,其特征在于,所述栅极的线宽小于所述有源层的线宽。

一种阵列基板及其制造方法和液晶显示装置

技术领域

[0001] 本发明涉及液晶显示领域,特别涉及一种阵列基板及其制造方法及液晶显示装置。

背景技术

[0002] 液晶显示器(Liquid Crystal Display, LCD)具有功耗低、辐射低及制造成本低等特点,已被广泛应用于各种电子设备中,如显示器、电视、手机、数码相机等数字电子设备。其中,薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display, TFT-LCD)是一种主要的平板显示装置(FPD, Flat Panel Display)。

[0003] TFT-LCD 的阵列基板中的每个像素点都是通过集成在该阵列基板上且与像素点连接的 TFT 元件来驱动和控制。传统的 TFT 元件的结构,如图 1 及图 2 所示,包括:位于衬底基板 10 上的栅极 11 和栅线 111,位于栅极 11 和栅线 111 上的栅绝缘层 12,位于绝缘层 12 上的有源层 13,位于有源层 13 上的源极 14、源极线 141 及漏极 15,位于源极 14、源极线 141 及漏极 15 上的保护层 16,以及位于保护层 16 上的透明电极 17。

[0004] 由于液晶本身不会发光,而是依靠背光模组将光线射入液晶显示面板,以显示图像。目前, TFT 中的有源层一般采用非晶硅(amorphous silicon, α -Si)或多晶硅(polycrystalline silicon, p-Si)等半导体材料,由于半导体材料对光线敏感,因此,光线的照射会影响有源层的性能,会产生光照漏电流,从而影响 TFT 元件的性能。为了保护有源层,一般需要将 TFT 的栅极 11 的尺寸制作得足够大,如图 2 所示,栅极 11 的线宽必须不小于有源层 13 的线宽,从而能够利用栅极 11 遮挡从背光模组发出的光线,使有源层 13 不会暴露在从背光模组发出的光线中,但这样会造成栅极 11 和源极 14、漏极 15 之间的交叠面积变大。

[0005] 栅极与源极之间的交叠面积变大,导致 TFT 极间电容 C_{gs} 的值增大;栅极和漏极之间的交叠面积变大,导致 TFT 极间电容 C_{gd} 的值增大,而 TFT 极间电容 C_{gs} 和 C_{gd} 的值增大,导致馈入(Feed through)电压 ΔV_p 的值增大,从而使 TFT-LCD 的画面等级(screen grade)降低,从而会导致难以驱动阵列基板中的各像素点。

[0006] 综上所述,现有的阵列基板中,由于栅极的尺寸较大,导致 TFT 极间电容 C_{gs} 和 C_{gd} 的值增大,导致馈入(Feed through)电压 ΔV_p 的值增大,从而使 TFT-LCD 的画面等级(screen grade)降低。

发明内容

[0007] 本发明实施例提供了一种阵列基板及其制造方法及液晶显示装置,用于解决现有技术中存在的由于栅极的尺寸较大,导致 TFT 极间电容 C_{gs} 和 C_{gd} 的值增大,导致馈入电压 ΔV_p 的值增大的问题。

[0008] 本发明实施例提供了一种阵列基板,该阵列基板包括设置于衬底基板上的薄膜晶体管,与所述薄膜晶体管连接的栅线,以及位于所述衬底基板与所述薄膜晶体管的有源层

之间的遮光层,所述遮光层用于遮挡射入有源层中的光线;

[0009] 其中,所述栅线中作为薄膜晶体管的栅极的线宽小于所述栅线的线宽。

[0010] 优选的,所述薄膜晶体管的栅极的线宽小于所述有源层的线宽。

[0011] 优选的,所述遮光层为非透明导电材料,所述阵列基板还包括:位于所述遮光层上的绝缘层。

[0012] 优选的,所述遮光层设置于所述衬底基板上,且所述遮光层与所述有源层之间包括所述薄膜晶体管的栅极及位于所述栅极上的栅绝缘层。

[0013] 优选的,所述阵列基板还包括像素电极,其中,所述遮光层与所述阵列基板的像素电极位于同一层,且所述遮光层与所述像素电极采用相同的材料。

[0014] 优选的,所述遮光层与所述像素电极设置于所述衬底基板上,且所述遮光层与所述有源层之间包括所述薄膜晶体管的栅极及位于所述栅极上的栅绝缘层。

[0015] 优选的,所述阵列基板还包括位于所述薄膜晶体管的保护层上的公共电极,其中,

[0016] 所述公共电极包括多个设置于所述保护层上且相互平行的条状电极;

[0017] 所述像素电极包括多个设置于所述衬底基板上且相互平行的条状电极;

[0018] 且所述像素电极的任一条状电极与所述公共电极的任一条状电极不重叠。

[0019] 本发明实施例提供了一种液晶显示装置,包括上述任一阵列基板。

[0020] 本发明实施例提供了一种阵列基板的制造方法,包括:

[0021] 通过一次构图工艺,在衬底基板上形成的遮光层;

[0022] 通过构图工艺,在形成有遮光层的衬底基板上依次形成栅线、栅极、栅绝缘层、有源层以及源极和漏极;

[0023] 其中,所述遮光层用于遮挡射入所述有源层中的光线,所述栅极的线宽小于该栅极所在的栅线的线宽。

[0024] 优选的,所述栅极的线宽小于所述有源层的线宽。

[0025] 优选的,若所述遮光层为导电材料,在形成遮光层之后且在形成栅极之前,还包括:

[0026] 通过一次构图工艺,在形成有遮光层的衬底基板上形成绝缘层。

[0027] 本发明实施例提供了一种阵列基板的制造方法,包括:

[0028] 通过构图工艺,在衬底基板上依次形成栅线、栅极及栅绝缘层;

[0029] 通过一次构图工艺,在形成有栅线、栅极及栅绝缘层的衬底基板上形成遮光层;

[0030] 通过构图工艺,在形成有遮光层的衬底基板上依次形成有源层以及源极和漏极;

[0031] 其中,所述遮光层用于遮挡射入所述有源层中的光线,所述栅极的线宽小于该栅极所在的栅线的线宽。

[0032] 优选的,所述栅极的线宽小于所述有源层的线宽。

[0033] 优选的,若所述遮光层为导电材料,在形成遮光层之后且在形成有源层之前,还包括:

[0034] 通过一次构图工艺,在形成有遮光层的衬底基板上形成绝缘层。

[0035] 本发明实施例提供了一种阵列基板的制造方法,包括:

[0036] 通过一次构图工艺,在衬底基板上形成遮光层和像素电极,其中,所述遮光层与所述像素电极采用非透明导电材料;

[0037] 通过一次构图工艺,在形成有遮光层的衬底基板上形成绝缘层;

[0038] 通过构图工艺,在形成有绝缘层的衬底基板上依次形成栅线、栅极、栅绝缘层、有源层、源极和漏极、保护层及公共电极;

[0039] 其中,所述遮光层用于遮挡射入所述有源层中的光线,所述栅极的线宽小于该栅极所在的栅线的线宽。

[0040] 优选的,所述栅极的线宽小于所述有源层的线宽。

[0041] 本发明实施例通过在阵列基板的衬底基板与薄膜晶体管的有源层之间设置遮光层,用以遮挡射入有源层中的光线,使阵列基板中的栅极的线宽能够小于该栅极所在的栅线的线宽,从而减小了栅极与源极之间的交叠面积以及栅极和漏极之间的交叠面积,即减小了 TFT 极间电容 C_{gs} 和 C_{gd} 的值,进而减小了影响 TFT-LCD 的画面等级的馈入电压 ΔV_p ,并且减小了栅线延迟和源极线延迟。

附图说明

[0042] 图 1 为背景技术中阵列基板结构的俯视示意图;

[0043] 图 2 为图 1 所示的阵列基板的 A-A 方向剖面示意图;

[0044] 图 3A 为本发明实施例第一种阵列基板结构的俯视示意图;

[0045] 图 3B 为图 3A 所示的第一种阵列基板的 B-B 方向剖面示意图;

[0046] 图 3C 为本发明实施例图 3A 所示的第一种阵列基板的另一结构的 B-B 方向剖面示意图;

[0047] 图 4 为本发明实施例第一种阵列基板制造方法的流程图;

[0048] 图 5A~图 5E 为本发明实施例一的阵列基板的制造过程中阵列基板结构的俯视示意图;

[0049] 图 6A 为本发明实施例第二种阵列基板结构的俯视示意图;

[0050] 图 6B 为图 6A 所示的第二种阵列基板结构的 B-B 方向剖面示意图;

[0051] 图 6C 为图 6A 所示的第二种阵列基板的另一结构的 B-B 方向剖面示意图;

[0052] 图 7 为本发明实施例第二种阵列基板制造方法的流程图;

[0053] 图 8A 为本发明实施例第三种阵列基板中薄膜晶体管部分的结构俯视示意图;

[0054] 图 8B 为图 8A 所示的第三种阵列基板中薄膜晶体管部分的 C-C 方向剖面示意图;

[0055] 图 8C 为图 8A 所示的第三种阵列基板中薄膜晶体管部分的 B-B 方向示意图;

[0056] 图 9 为本发明实施例第三种阵列基板制造方法的流程图;

[0057] 图 10A~图 10E 为本发明实施例第三种阵列基板的制造过程中阵列基板结构的俯视示意图。

具体实施方式

[0058] 本发明实施例通过在阵列基板的衬底基板与薄膜晶体管的有源层之间设置遮光层,用以遮挡射入有源层中的光线,从而可以防止光照对半导体的影响,从而防止光照漏电流的产生,这样阵列基板中的栅极的线宽能够小于该栅极所在的栅线的线宽,这样减小栅极与 TFT 的源极和漏极的交叠面积,可减小寄生电容,从而减小了影响 TFT-LCD 的画面等级的馈入电压 ΔV_p 。

[0059] 下面结合说明书附图对本发明实施例作进一步详细描述。

[0060] 需要说明的是,本发明实施例均以对底栅型 TFT 阵列基板的改进为例进行说明,顶栅型阵列基板或其他结构的阵列基板的改进与此类似,此处不再一一列举说明。

[0061] 实施例一、本发明实施例阵列基板的结构如图 3A 及图 3B 所示,其中图 3B 为图 3A 所示的阵列基板的 B-B 方向的剖面结构示意图,本实施例阵列基板包括:

[0062] 衬底基板 30;

[0063] 位于衬底基板 30 上的与有源层 33 对应的位置的遮光层 38,该遮光层 38 用于遮挡射入有源层 33 的光线(即从背光模组发出的光线),以使有源层 33 不会受到光线的照射;

[0064] 位于遮光层 38 上的栅极 31;

[0065] 位于栅极 31 上的栅绝缘层 32;

[0066] 位于栅绝缘层 32 上的有源层 33;

[0067] 位于有源层 33 上的源极 34 和漏极 35;

[0068] 位于源极 34 和漏极 35 上的保护层 36,该保护层 36 采用绝缘材料,用于保护上述结构免受刻蚀或外界环境的影响;

[0069] 位于保护层 36 上的透明电极 37,其中,透明电极采用 ITO (Indium-Tin-Oxide,氧化铟锡)或 IZO (Indium Zinc Oxide,铟锌氧化物)等氧化物材料;该透明电极 37 为像素电极或公共电极。

[0070] 由于遮光层 38 能够遮挡射入有源层 33 的光线,因此,遮光层 38 所覆盖的区域面积不小于有源层 33 所覆盖的区域面积,且遮光层 38 必须将有源层 33 完全遮挡住,使来自背光模组的光线不会射入有源层 33,从而防止光电漏电流的产生,如图 3B 所示;

[0071] 优选的,在具体制作过程中,可将遮光层的形状制作成与有源层的形状相同,且遮光层中每个边的尺寸不小于有源层中对应边的尺寸;

[0072] 优选的,为了更好的遮挡来自背光模组发出的光线,遮光层的外形尺寸大于有源层的外形尺寸,且遮光层的每个边长与有源层相对应的边长的差值为 1 微米~6 微米。

[0073] 由于遮光层 38 用于遮挡射入有源层 33 的光线,因此,在具体制作过程中,本实施例阵列基板中的栅极 31 的线宽可以小于该栅极 31 所在的栅线的线宽,进一步,该栅线 31 的线宽还可以小于有源层 33 的线宽,如图 3B 所示;由于本实施例阵列基板中的栅极的线宽小于该栅极所在的栅线的线宽和/或该栅极的线宽小于有源层的线宽,因此,减小了栅极与源极之间的交叠面积以及栅极和漏极之间的交叠面积,从而减小了寄生电容,即 TFT 极间电容 C_{gs} 和 C_{gd} 的值,进而减小了影响 TFT-LCD 的画面等级的馈入电压 ΔV_p ,并且也减小了栅线延迟和源极线延迟。

[0074] 本实施例中遮光层 38 的厚度为 $100 \text{ \AA} \sim 2000 \text{ \AA}$ (埃米);

[0075] 本实施例中遮光层 38 可以采用非透明的绝缘材料(如不透明的有机树脂材料,或者不透明的无机材料等),也可以采用非透明的导电材料(如金属等)。

[0076] 若遮光层 38 采用非透明的绝缘材料,则遮光层 38 可以与其上的栅极 31 直接接触;

[0077] 若遮光层 38 采用非透明的导电材料,如图 3C 所示,需要在遮光层 38 与栅极 31 之间设置绝缘层 39,用于使遮光层 38 与栅极 31 之间绝缘,以避免遮光层 38 对栅极 31 的影响;

[0078] 其中,绝缘层的材料可以是氮化硅或氧化硅等;绝缘层的厚度为 $200\text{\AA}\sim 2000\text{\AA}$;

[0079] 优选的,位于遮光层与栅极之间的绝缘层采用与栅绝缘层相同的材料。

[0080] 需要说明的是,本实施例中栅极、栅绝缘层、有源层、源极和漏极、保护层以及像素电极均可以采用与现有阵列基板中的栅极、栅绝缘层、有源层、源极和漏极、保护层以及像素电极相同的材料及制作工艺制作,此处不再详细说明;

[0081] 另外,上述实施例中栅极、栅绝缘层、有源层、源极和漏极、保护层以及透明电极之间的位置关系只是说明性的,而非限制性的,本发明实施例可应用于各种不同结构的阵列基板,只需要保证遮光层设置于衬底基板与有源层之间,且遮光层能够遮挡射入有源层的光线,而对阵列基板中其他结构的位置关系没有限制。

[0082] 本实施例阵列基板的制造方法,如图4所示,包括以下步骤:

[0083] 步骤401、通过一次构图工艺,在衬底基板(图中未示)上形成的用于遮挡射入有源层的光线的遮光层38,如图5A所示,其中,遮光层38所在的区域不小于有源层所在的区域,且遮光层38需要将有源层完全遮挡住,使来自背光模组的光线不会射入有源层;

[0084] 步骤402、通过一次构图工艺,在形成有遮光层38的衬底基板上形成栅极31和栅线311,如图5B所示;

[0085] 步骤403、通过一次构图工艺,在形成有栅极31的衬底基板上形成栅绝缘层;

[0086] 步骤404、通过一次构图工艺,在形成有栅绝缘层(图中未示)的衬底基板上形成有源层33,如图5C所示,栅极31的线宽小于该栅极31所在的栅线311的线宽;

[0087] 优选的,栅极31的线宽小于有源层33的线宽;

[0088] 步骤405、通过一次构图工艺,在形成有有源层33的衬底基板上形成源极34和漏极35,以及源极线341,如图5D所示;

[0089] 步骤406、通过一次构图工艺,在形成有源极34、漏极35及源极线341的衬底基板30上形成保护层;

[0090] 步骤407、通过一次构图工艺,在形成有保护层(图中未示)的衬底基板30上形成透明电极37,如图5E所示。

[0091] 需要说明的是,由于漏极35需要与透明电极37连接,因此,步骤405中在形成保护层(图中未示)后,在保护层上的漏极35对应的位置形成接触过孔5,如图5D所示,使漏极35与透明电极37通过接触过孔连接。

[0092] 优选的,若遮光层为导电材料,在步骤401之后且在步骤402之前,还包括:

[0093] 通过一次构图工艺,在形成有遮光层的衬底基板上形成绝缘层,以使遮光层与栅极之间绝缘。

[0094] 需要说明的是,图5A~图5E中均是以一个TFT结构为例进行描述的,阵列基板中包括多个用于控制和驱动像素点的TFT结构,在阵列基板的制作过程中,多个TFT结构是同步制作的。

[0095] 需要说明的是,本实施例中像素电极与公共电极可以都设置于阵列基板上,如IPS(In-Plane Switching,平面转换)显示面板、FFS(Fringe Field Switching,边缘场开关技术)显示面板;也可以分别设置于显示装置的阵列基板上和彩膜(Colour Film,CF)基板上,如TN(Twisted Nematic,扭转向列式)显示面板,本发明实施例中不对像素电极与公共电极的位置进行限定。

[0096] 实施例二、本发明实施例阵列基板的结构如图 6A 及图 6B 所示,其中,图 6B 为图 6A 所示的阵列基板的 B-B 方向剖面示意图本实施例阵列基板包括:

[0097] 衬底基板 60;

[0098] 位于衬底基板 60 上的栅极 61;

[0099] 位于栅极 61 上的栅绝缘层 62;

[0100] 位于栅绝缘层 62 上且与有源层 64 对应的位置上的遮光层 63,该遮光层 63 用于遮挡射入有源层 64 的光线(即从背光模组发出的光线),以使有源层 64 不会受到光线的照射;

[0101] 位于遮光层 63 上的有源层 64;

[0102] 位于有源层 64 上的源极 65 和漏极 66;

[0103] 位于源极 65 和漏极 66 上的保护层 67,该保护层 67 采用绝缘材料,用于保护上述结构免受刻蚀或外界环境的影响;

[0104] 位于保护层 67 上的透明电极 68,其中,透明电极 68 采用 ITO 或 IZO 等氧化物材料,该透明电极为像素电极或公共电极。

[0105] 由于遮光层 63 用于遮挡射入有源层 64 的光线,因此,遮光层 63 所覆盖的区域面积不小于有源层 64 所覆盖的区域面积,且遮光层 63 必须将有源层 64 完全遮挡住,使来自背光模组的光线不会射入有源层 64,如图 6B 所示;

[0106] 优选的,在具体制作过程中,可将遮光层的形状制作成与有源层的形状相同,且遮光层中每个边的尺寸不小于有源层中对应边的尺寸;

[0107] 优选的,为了更好的遮挡来自背光模组发出的光线,遮光层中每个边的尺寸大于有源层中对应边的尺寸,且差值为 1 微米~6 微米。

[0108] 由于遮光层 63 用于遮挡射入有源层 64 的光线,因此,在具体制作过程中,本实施例阵列基板中的栅极 61 的线宽可以小于该栅极所在的栅线的线宽,进一步该栅极 61 的线宽还可以小于有源层 64 的线宽,如图 6B 所示;由于本实施例阵列基板中的栅极的线宽小于其所在的栅线的线宽和/或该栅极的线宽小于有源层的线宽,因此,减小了栅极与源极之间的交叠面积以及栅极和漏极之间的交叠面积,从而减小了寄生电容,即 TFT 极间电容 C_{gs} 和 C_{gd} 的值,进而减小了影响 TFT-LCD 的画面等级的馈入电压 ΔV_p ,并且也减小了栅线延迟和源极线延迟。

[0109] 本实施例中遮光层 63 的厚度为 $100\text{ Å} \sim 2000\text{ Å}$;

[0110] 本实施例中遮光层 63 可以采用非透明的绝缘材料(如不透明的有机树脂材料,或者不透明的无机材料等),也可以采用非透明的导电材料(如金属等)。

[0111] 若遮光层 63 采用非透明的绝缘材料,则遮光层 63 可以与其上的有源层 64 直接接触;

[0112] 若遮光层 63 采用非透明的导电材料,如图 6C 所示,需要在遮光层 63 与有源层 64 之间设置绝缘层 69,用于使遮光层 63 与有源层 64 之间绝缘,以避免遮光层 63 对有源层 64 的影响;

[0113] 其中,绝缘层的材料可以是氮化硅或氧化硅等;绝缘层的厚度为 200 纳米~1000 纳米;

[0114] 优选的,位于遮光层与有源层之间的绝缘层采用与栅绝缘层相同的材料。

[0115] 需要说明的是,本实施例中栅极、栅绝缘层、有源层、源极和漏极、保护层以及透明

电极均可以采用与现有阵列基板中的栅极、栅绝缘层、有源层、源极和漏极、保护层以及透明电极相同的材料及制作工艺制作,此处不再详细说明;

[0116] 另外,上述实施例中栅极、栅绝缘层、有源层、源极和漏极、保护层以及透明电极之间的位置关系只是说明性的,而非限制性的,本发明实施例可应用于各种不同结构的阵列基板,只需要保证遮光层设置于衬底基板与有源层之间,且遮光层能够遮挡射入有源层的光线,而对阵列基板中其他结构的位置关系没有限制。

[0117] 本实施例阵列基板的制造方法,如图 7 所示,包括以下步骤:

[0118] 步骤 701、通过一次构图工艺,在衬底基板上形成栅极和栅线,其中,栅极的线宽小于该栅极所在的栅线的线宽;

[0119] 步骤 702、通过一次构图工艺,在形成有栅极的衬底基板上形成栅绝缘层;

[0120] 步骤 703、通过一次构图工艺,在形成有栅绝缘层的衬底基板上形成遮光层;

[0121] 步骤 704、通过一次构图工艺,在形成有遮光层的衬底基板上形成有源层;

[0122] 优选的,栅极的线宽小于有源层的线宽;

[0123] 步骤 705、通过一次构图工艺,在形成有有源层的衬底基板上形成源极、漏极及源极线;

[0124] 步骤 706、通过一次构图工艺,在形成有源极和漏极的衬底基板上形成保护层;

[0125] 步骤 707、通过一次构图工艺,在形成有保护层的衬底基板上形成像素电极。

[0126] 需要说明的是,由于漏极需要与像素电极连接,因此,步骤 706 中在形成保护层后,在保护层上的漏极对应的位置形成接触过孔,如图 6B 所示,使漏极与像素电极通过接触过孔连接。

[0127] 优选的,若遮光层为导电材料,则在步骤 703 之后且在步骤 704 之前,还包括:

[0128] 通过一次构图工艺,在形成有遮光层的衬底基板上形成绝缘层,以使遮光层与有源层之间绝缘。

[0129] 需要说明的是,本实施例中像素电极与公共电极可以都设置于阵列基板上,如 IPS (In-Plane Switching,平面转换)显示面板、FFS (Fringe Field Switching,边缘场开关技术)显示面板;也可以分别设置于显示装置的阵列基板上和彩膜(Colour Film,CF)基板上,如 TN (Twisted Nematic,扭转向列式)显示面板,本发明实施例中不对像素电极与公共电极的位置进行限定。

[0130] 实施例三、本实施例阵列基板的结构如图 8A 和图 8B 所示,其中,图 8B 为图 8A 所示的阵列基板的 C-C 方向剖面结构示意图,该阵列基板包括:

[0131] 衬底基板 800;

[0132] 位于衬底基板 800 上且位于同一层的遮光层 801 和像素电极 802,其中,遮光层 801 位于衬底基板 800 上的与有源层 806 对应的位置,用于遮挡射入有源层 806 的光线(即从背光模组发出的光线),以使有源层 806 不会受到光线的照射;

[0133] 位于遮光层 801 上的绝缘层 803,其中,绝缘层 803 的材料可以是氮化硅或氧化硅等;绝缘层 803 的厚度为 200 纳米~1000 纳米;

[0134] 位于绝缘层 803 上的栅极 804;

[0135] 位于栅极 804 上的栅绝缘层 805;

[0136] 位于栅绝缘层 805 上的有源层 806;

[0137] 位于有源层 806 上的源极 807 和漏极 808；

[0138] 位于源极 807 和漏极 808 上的保护层 809, 该保护层 809 采用绝缘材料, 用于保护上述结构免受刻蚀或外界环境的影响；

[0139] 位于保护层 809 上的公共电极 810, 其中, 公共电极 810 采用 ITO 或 IZO 等氧化物材料。

[0140] 本实施例中, 由于遮光层 801 用于遮挡射入有源层 806 的光线, 因此, 遮光层 801 所覆盖的区域面积不小于有源层 806 所覆盖的区域面积, 且遮光层 801 必须将有源层 806 完全遮挡住, 使来自背光模组的光线不会射入有源层 806, 如图 8C 所示；

[0141] 优选的, 在具体制作过程中, 可将遮光层的形状制作成与有源层的形状相同, 且遮光层中每个边的尺寸不小于有源层中对应边的尺寸；

[0142] 优选的, 为了更好的遮挡来自背光模组发出的光线, 遮光层中每个边的尺寸大于有源层中对应边的尺寸, 且差值为 1 微米~6 微米。

[0143] 由于遮光层 801 用于遮挡射入有源层 806 的光线, 因此, 在具体制作过程中, 本实施例阵列基板中的栅极 804 的线宽可以小于该栅极所在的栅线的线宽, 进一步, 该栅极 804 的线宽还可以小于有源层 806 的线宽, 如图 8C 所示；由于本实施例阵列基板中的栅极的线宽小于该栅极所在的栅线的线宽和 / 或该栅极的线宽小于有源层的线宽, 因此, 减小了栅极与源极之间的交叠面积以及栅极和漏极之间的交叠面积, 从而减小了寄生电容, 即 TFT 极间电容 C_{gs} 和 C_{gd} 的值, 进而减小了影响 TFT-LCD 的画面等级的馈入电压 ΔV_p , 并且也减小了栅线延迟和源极线 (即数据线) 延迟。

[0144] 优选的, 遮光层 801 与像素电极 802 采用相同的非透明导电材料, 以减少阵列基板的制造工艺, 并降低制造成本。

[0145] 优选的, 绝缘层 803 与栅绝缘层 805 采用相同的绝缘材料, 以降低阵列基板的制造成本。

[0146] 如图 8C 所示, 本实施例中像素电极 802 包括多个设置于衬底基板 800 上且相互平行的条状电极, 公共电极 810 包括多个设置于保护层 809 上且相互平行的条状电极, 其中, 像素电极 802 的任一条状电极与公共电极 810 的任一条状电极不重叠, 从而减小了像素电容的大小。

[0147] 本实施例阵列基板的制造方法, 如图 9 所示, 包括以下步骤：

[0148] 步骤 901、通过一次构图工艺, 在衬底基板 (图中未示) 上形成用于遮挡射入有源层的光线的遮光层 801 和包含多个条状电极的像素电极 802, 如图 10A 所示；

[0149] 步骤 902、通过一次构图工艺, 在形成有遮光层上 801 和像素电极 802 的阵列基板上形成绝缘层；

[0150] 步骤 903、通过一次构图工艺, 在形成有绝缘层 (图中未示) 的衬底基板上形成栅极 804 和栅线 812, 其中, 栅极 804 的线宽小于该栅极 804 所在的栅线 812 的线宽, 如图 10B 所示；

[0151] 步骤 904、通过一次构图工艺, 在形成有栅极 804 的衬底基板上形成栅绝缘层；

[0152] 步骤 905、通过一次构图工艺, 在形成有栅绝缘层 (图中未示) 的衬底基板上形成有源层 806, 如图 10C 所示；

[0153] 优选的, 栅极 804 的线宽小于有源层 806 的线宽；

[0154] 步骤 906、通过一次构图工艺,在形成有源层 806 的衬底基板上形成源极 807 和漏极 808,以及源极线 811,如图 10D 所示;

[0155] 步骤 907、通过一次构图工艺,在形成有源极 807 和漏极 808 的衬底基板上形成保护层;

[0156] 步骤 908、通过一次构图工艺,在形成有(图中未示)的衬底基板上形成包括多个条状电极的公共电极 810,如图 10E 所示,其中,像素电极 802 的任一条状电极与公共电极 810 的任一条状电极不重叠。

[0157] 需要说明的是,图 10A~图 10E 中均是以一个像素单元为例进行描述的,阵列基板中包括像素单元,在阵列基板的制作过程中,多个像素单元是同步制作的。

[0158] 本实施例中由于栅极的线宽小于该栅极所在的栅线的线宽和/或该栅极的线宽小于有源层的线宽,因此减小了阵列基板中源极-栅极电容和栅极-像素电容的大小,还减小了栅线和源极线的延迟;由于像素电极的条状电极不与公共电极的条状电极不重叠,因此,减小了阵列基板中像素电容,因此,本实施例阵列基板更适用于 ADS (Advanced Super Dimension Switch) 模式的显示面板。

[0159] 例如,现有的 ADS 模式的显示面板中,画面的对角线长度为 46inch,在画面分辨率为 UD 分辨率 3840x2160 的情况下,相邻像素之间间距约 270 微米,此时,像素电容约 0.55pF (由 0.44pF 的存储电容和 0.11pF 的 LC 电容构成)。充电时间为 5.9 微秒时,所需的开启电流 I_{on} 值约 8.0 微安。为了满足这种 I_{on} ,所需的非晶硅 TFT 通道的宽度约 30 微米,长度约 3.5 微米。设计这种结构的 ADS 模式的 TFT-LCD 时,栅线的总电容约 600pF,源极线的总电容约 150pF。

[0160] 设计相同的 46inch, UD 分辨率的 ADS 模式的 TFT-LCD 时,如果使用本发明实施例的像素单元,则像素电容为 0.15pF,约为现有 ADS 模式的显示面板中像素单元的像素电容的 1/4。相同的充电时间内所需的 I_{on} 值约 2 微安。在这种条件下,非晶硅 TFT 通道的宽度约 7 微米,长度约 3.5 微米。若使用在这些条件下栅极-源极电容、栅极-像素电容最小化后的 TFT 通道结构,则栅线的总电容约 75pF,源极线的总电容约 20pF。该值约为现有的 ADS 模式的显示面板的 1/8,从而减小了栅线和源极线的延迟。由于减小了栅线和源极线延迟,因此,能够在短的充电时间内获得更高的像素电极的充电率。

[0161] 需要说明的是,上述实施例中栅极、栅绝缘层、有源层、源极和漏极、保护层、像素电极以及公共电极之间的位置关系只是说明性的,而非限制性的,本发明实施例可应用于各种不同结构的阵列基板,只需要保证遮光层设置于衬底基板与有源层之间,且遮光层能够遮挡射入有源层的光线,而对阵列基板中其他结构的位置关系没有限制。

[0162] 本发明实施例液晶显示装置,包括上述任一阵列基板;

[0163] 其中,该液晶显示装置为 TN 型、FFS 型、IPS 型或 ADS 型等显示装置。

[0164] 尽管已描述了本发明的优选实施例,但本领域内的技术人员一旦得知了基本创造性概念,则可对这些实施例作出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。

[0165] 本发明实施例通过在阵列基板的衬底基板与薄膜晶体管的有源层之间设置遮光层,用以遮挡射入有源层中的光线,使阵列基板中的栅极的线宽能够小于该栅极所在的栅线的线宽,从而减小了栅极与源极之间的交叠面积以及栅极和漏极之间的交叠面积,从而

减小了寄生电容,即 TFT 极间电容 C_{gs} 和 C_{gd} 的值,进而减小了影响 TFT-LCD 的画面等级的馈入电压 ΔV_p ,并且减小了栅线延迟和源极线延迟;由于降低了馈入电压 ΔV_p ,从而能够减小显示画面闪烁的程度,降低残像残留,同时还能最大程度地提高像素电极保持阶段的电压,防止出现因 TFT 漏电流过大而造成的像素电极电压衰变到所应显示灰度电压之下造成的显示灰阶的变化。

[0166] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

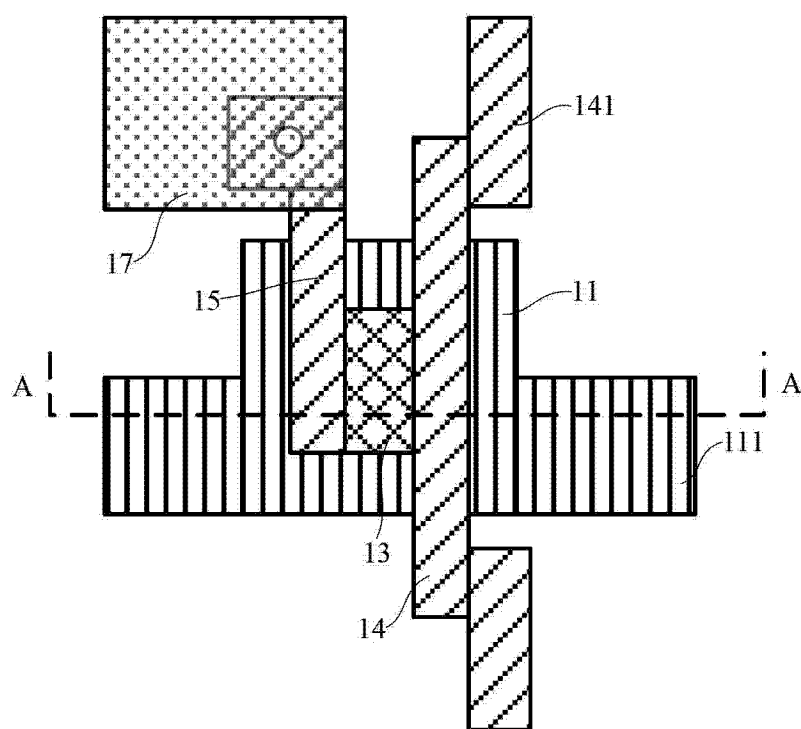


图 1

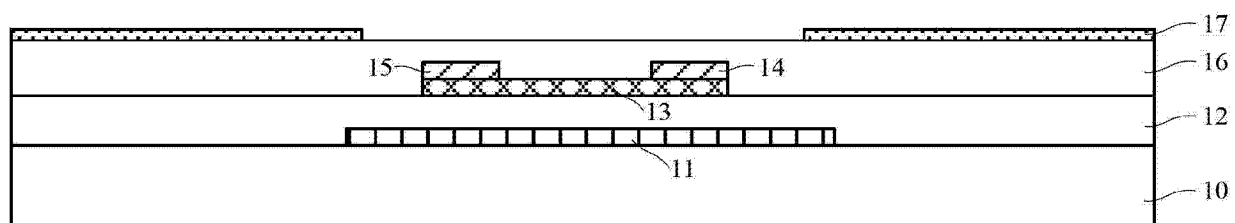


图 2

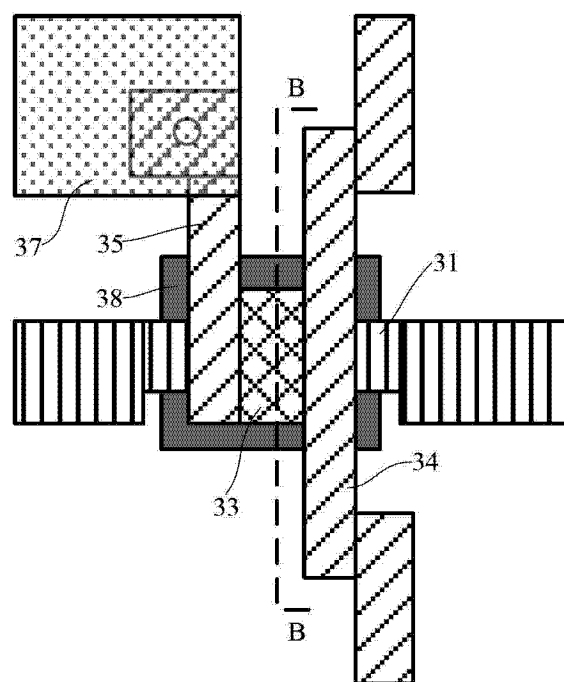


图 3A

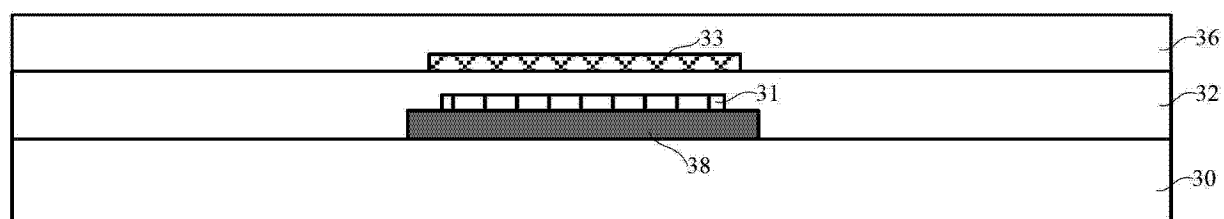


图 3B

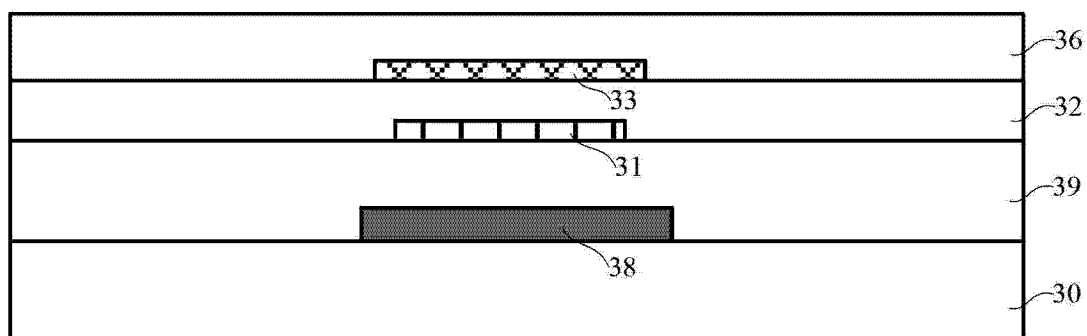


图 3C

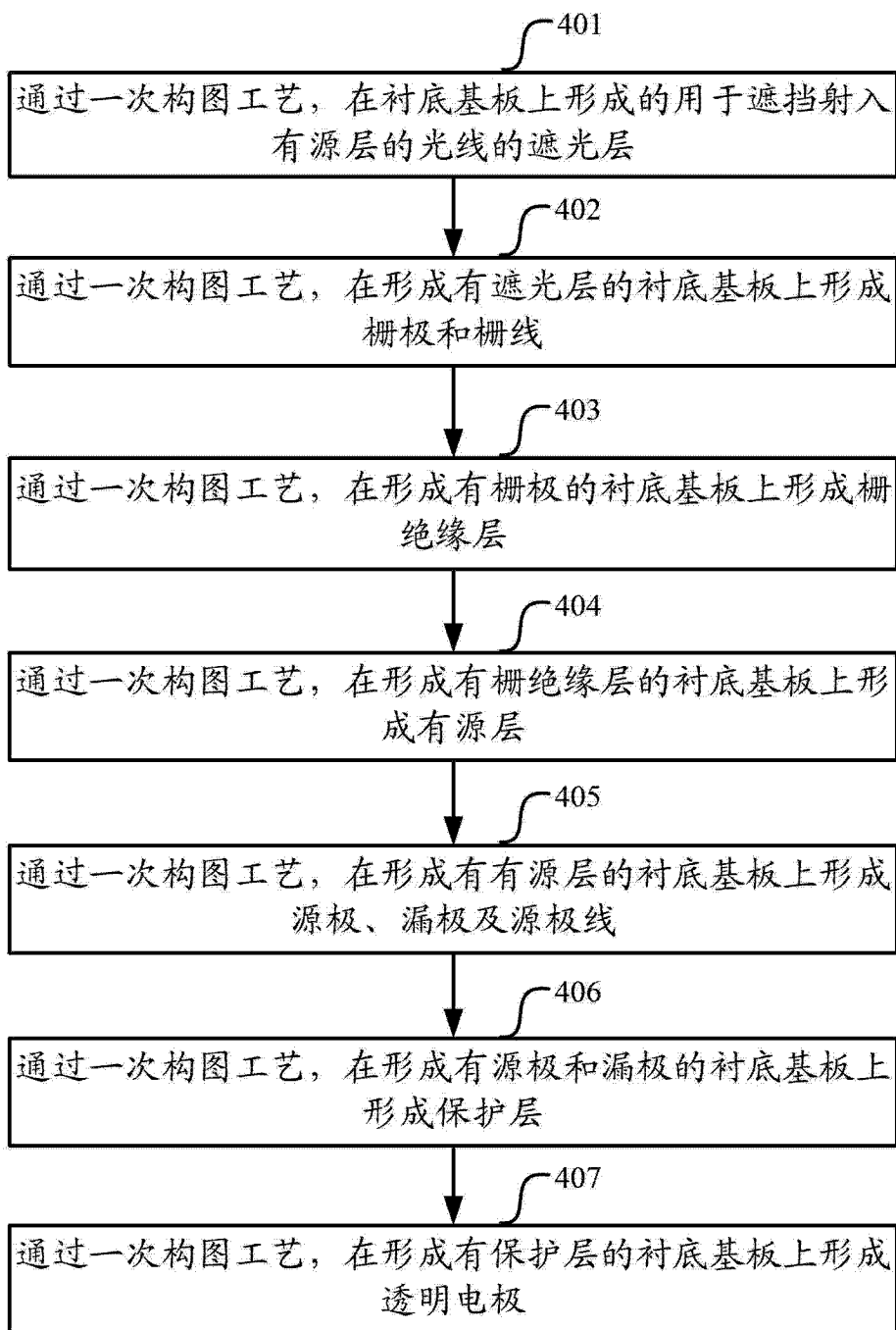


图 4

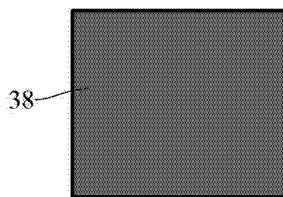


图 5A

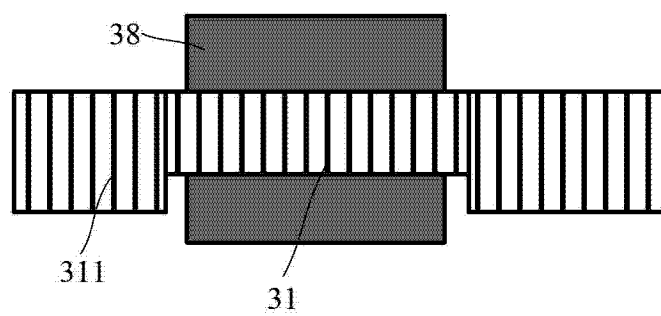


图 5B

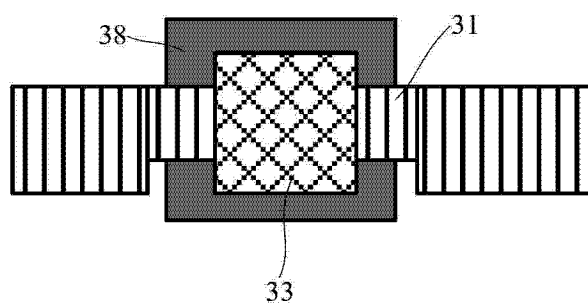


图 5C

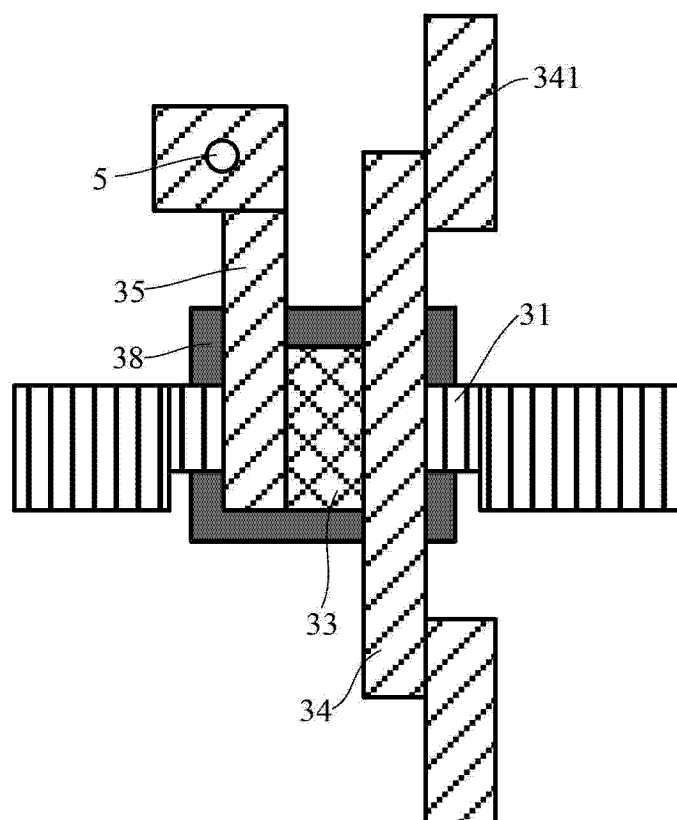


图 5D

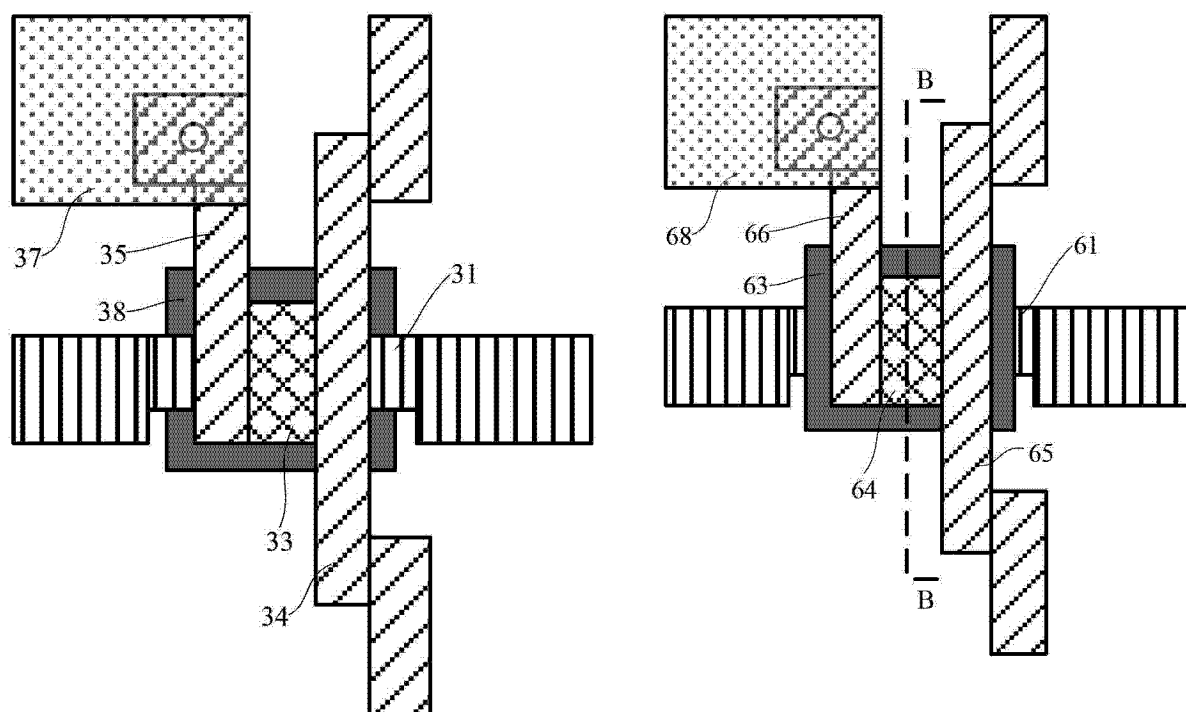


图 6A

图 5E

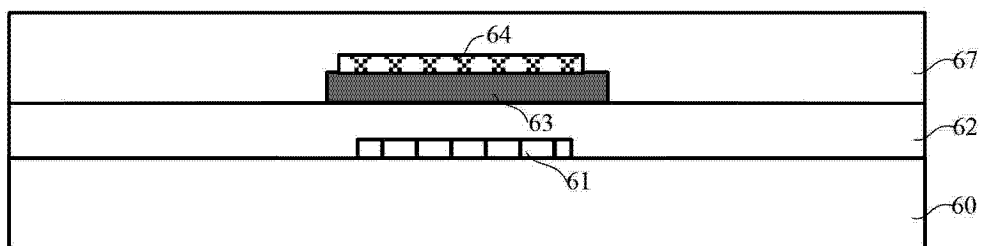


图 6B

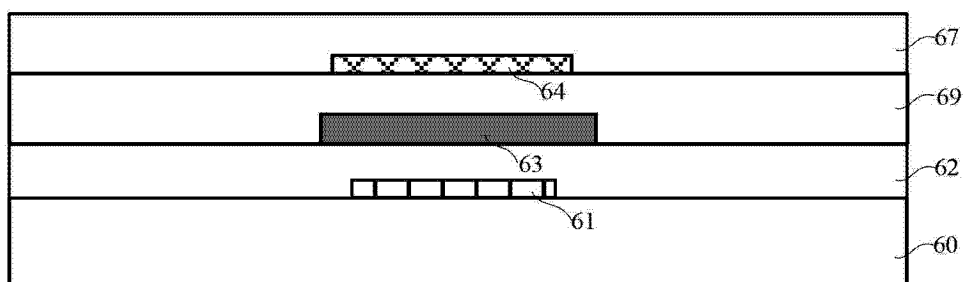


图 6C

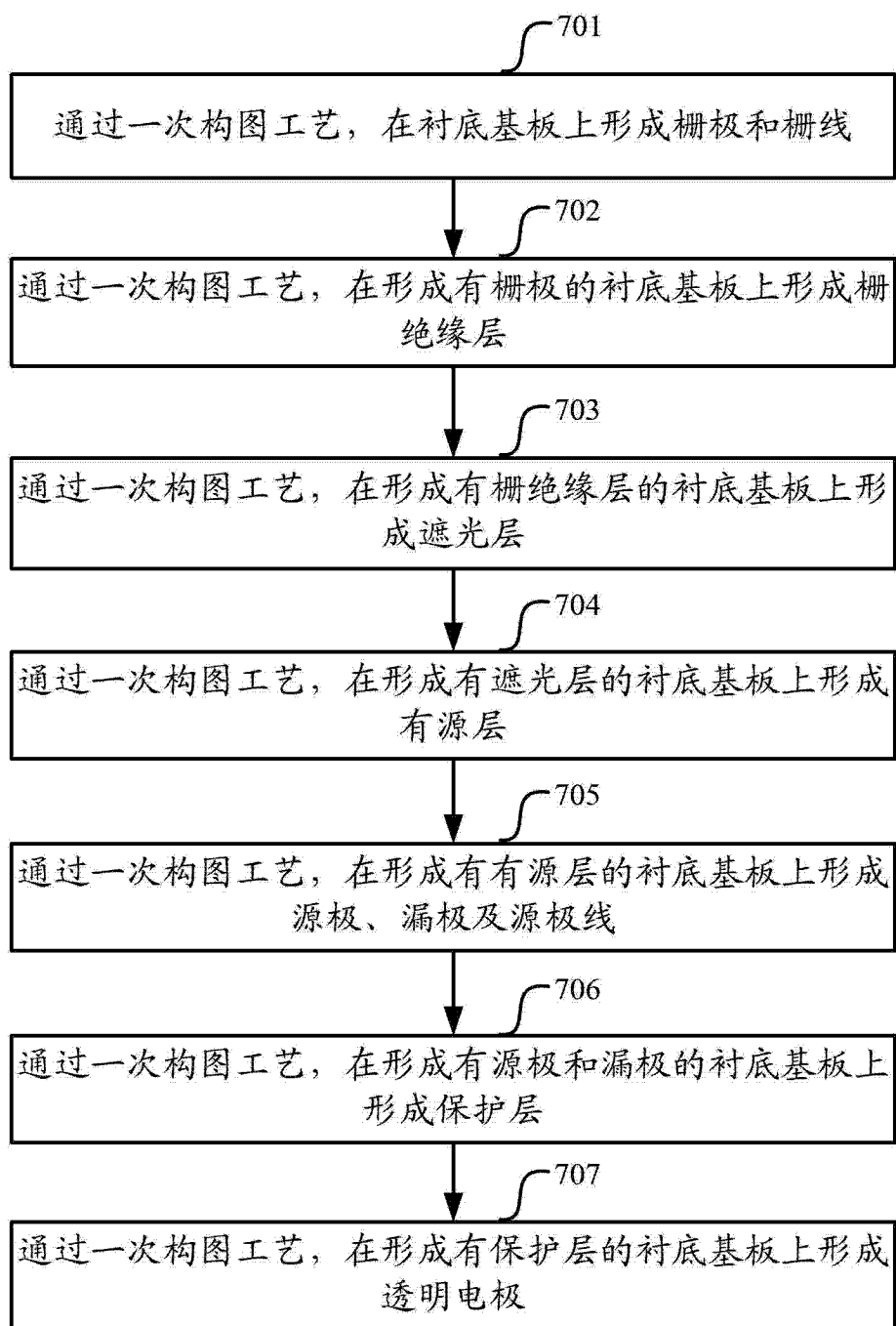


图 7

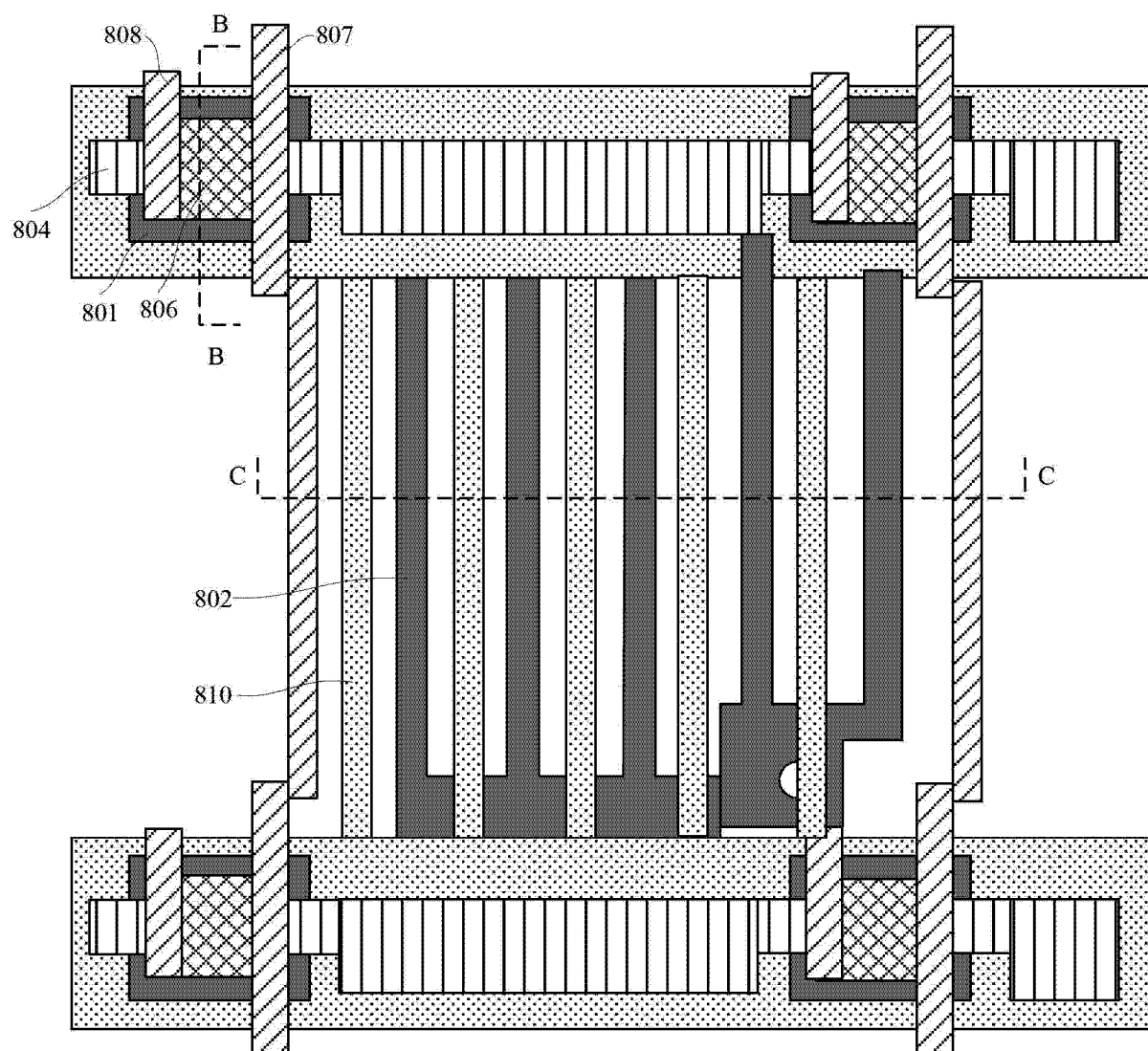


图 8A

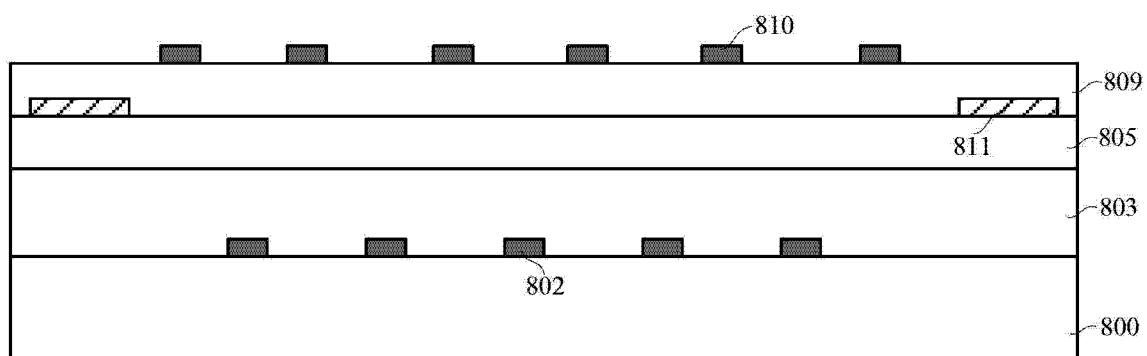


图 8B

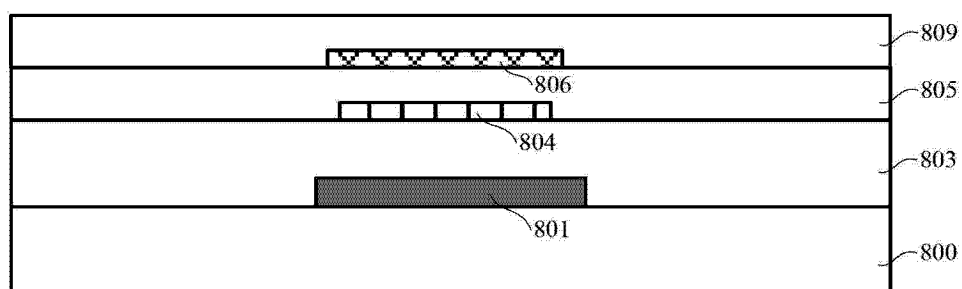


图 8C

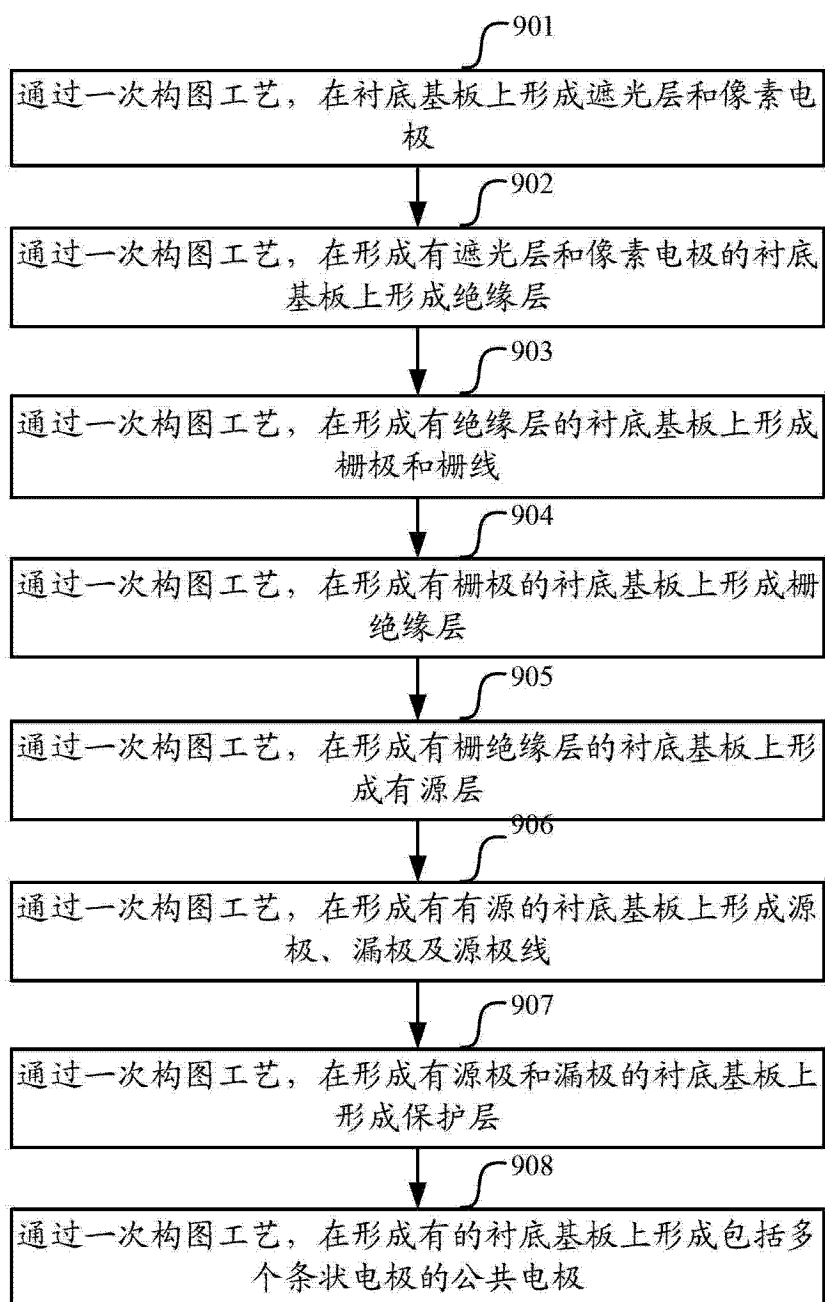


图 9

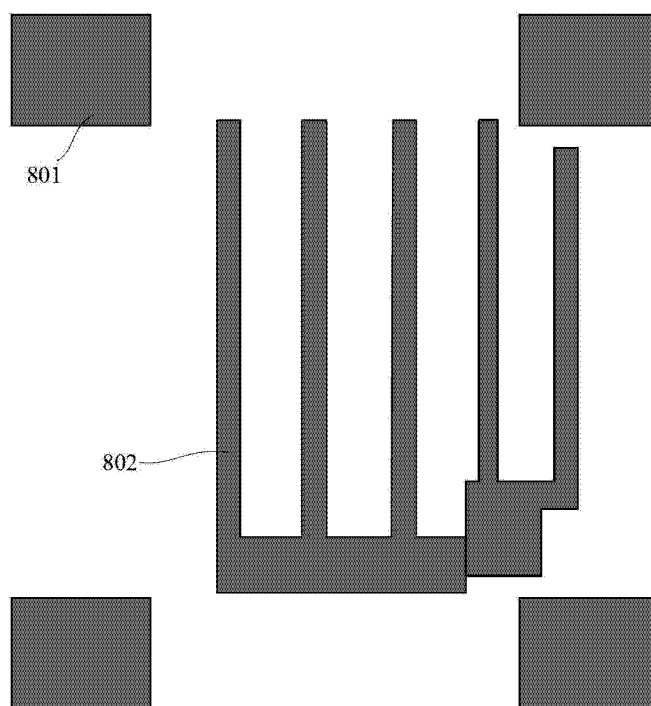


图 10A

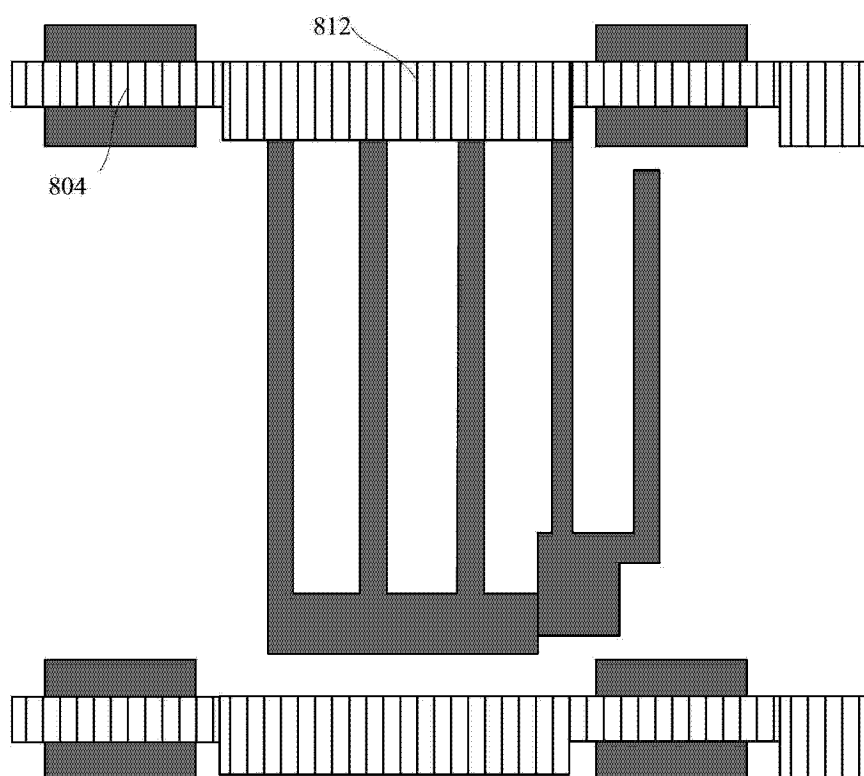


图 10B

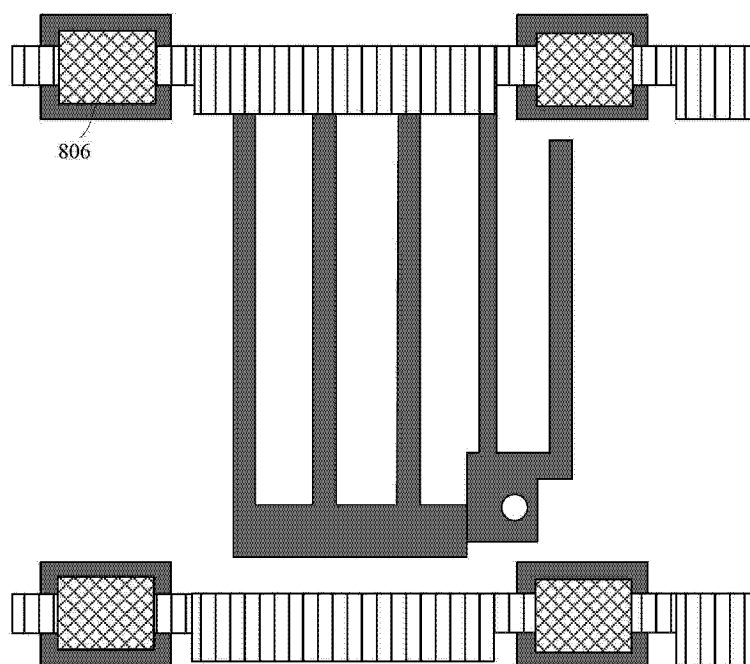


图 10C

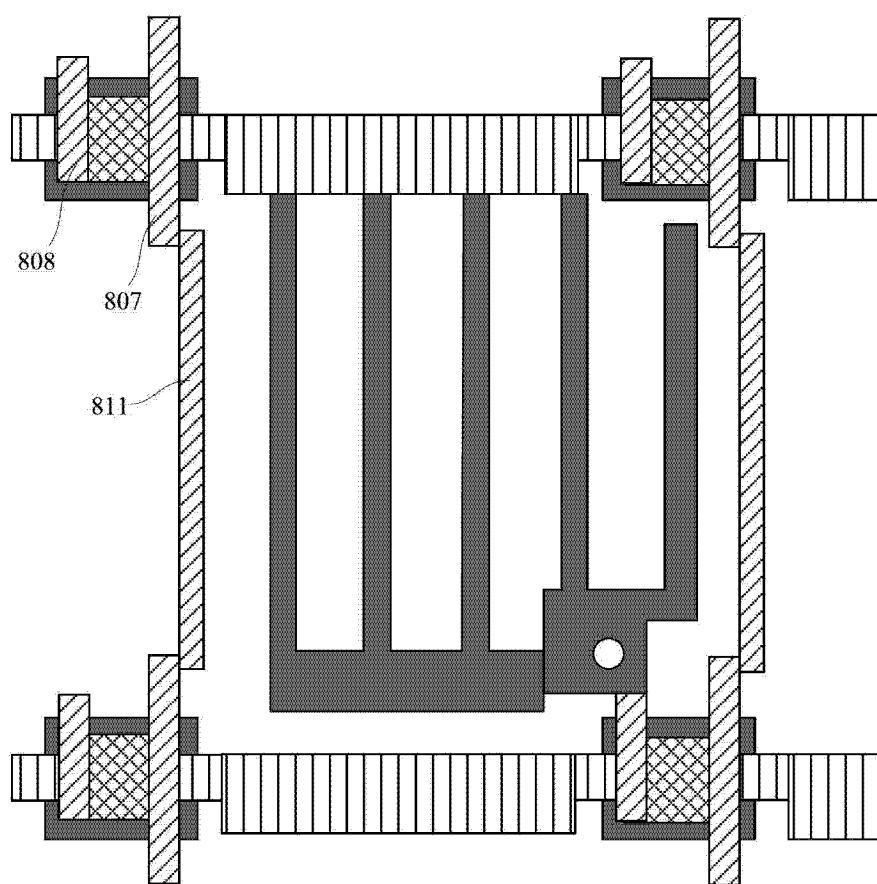


图 10D

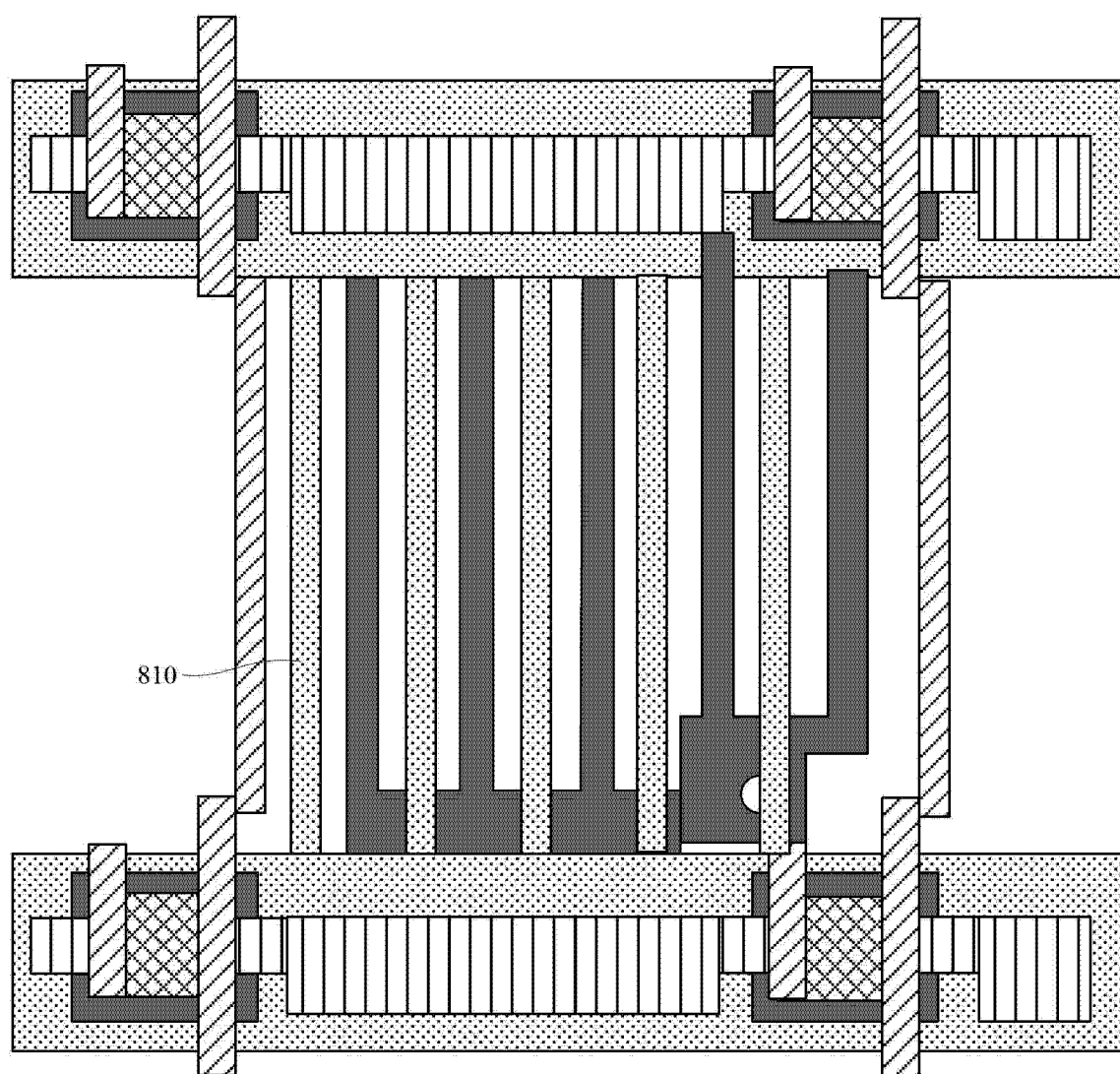


图 10E

专利名称(译)	一种阵列基板及其制造方法和液晶显示装置		
公开(公告)号	CN103018989A	公开(公告)日	2013-04-03
申请号	CN201210526544.2	申请日	2012-12-07
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团有限公司.		
[标]发明人	金熙哲 刘圣烈 崔承镇 宋泳锡		
发明人	金熙哲 刘圣烈 崔承镇 宋泳锡		
IPC分类号	G02F1/1362 G02F1/1368 H01L21/77		
代理人(译)	黄志华		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及液晶显示领域，特别涉及一种阵列基板及其制造方法及液晶显示装置，用于解决现有技术中存在的由于栅极的尺寸较大，导致馈入电压的值增大的问题。本发明实施例的阵列基板，包括设置于衬底基板上的薄膜晶体管、与薄膜晶体管连接的栅线、以及位于所述衬底基板与所述薄膜晶体管的有源层之间的遮光层，该遮光层用于遮挡射入有源层中的光线，其中，栅极的线宽小于该栅极所在的栅线的线宽。本发明实施例通过遮光层遮挡射入有源层中的光线，使栅极的线宽能够小于该栅极所在的栅线的线宽，从而减小了TFT极间电容的值，进而减小了影响TFT-LCD的画面等级的馈入电压。

