



## (12)实用新型专利

(10)授权公告号 CN 209946604 U

(45)授权公告日 2020.01.14

(21)申请号 201920881708.0

(22)申请日 2019.06.12

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 龙春平 李会

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 郭润湘

(51)Int.Cl.

G02F 1/1362(2006.01)

G02F 1/1368(2006.01)

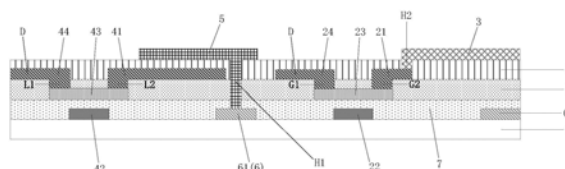
权利要求书2页 说明书8页 附图4页

### (54)实用新型名称

一种阵列基板、显示面板及显示装置

### (57)摘要

本实用新型公开了一种阵列基板、显示面板及显示装置,该阵列基板通过将非显示区域内围绕显示区域四周设置的至少部分虚拟像素单元中的虚拟像素电极与虚拟公共电极结构电连接,虚拟公共电极结构的电压一般为0V,由于至少部分虚拟像素电极与公共电极结构电连接,因此至少部分虚拟像素电极可以始终具有与公共电极结构相同的0V电压,从而设置在显示区域四周的至少部分虚拟像素单元所在区域不会形成液晶电场,因此非显示区域接近显示区边缘的至少部分区域不会发生漏光的现象,从而提高显示效果。



1. 一种阵列基板,其特征在于,具有显示区域和包围所述显示区域的非显示区域;

所述显示区域包括多条栅线和多条数据线,以及由所述栅线和所述数据线交叉限定出的多个像素单元,各所述像素单元包括薄膜晶体管以及与所述薄膜晶体管的漏极电连接的像素电极;

所述非显示区域包括围绕所述显示区域四周设置的多个虚拟像素单元,各所述虚拟像素单元包括虚拟薄膜晶体管以及与所述虚拟薄膜晶体管的漏极浮接的虚拟像素电极;

所述非显示区域还包括虚拟公共电极结构,至少部分所述虚拟像素单元中的虚拟像素电极与所述虚拟公共电极结构电连接。

2. 如权利要求1所述的阵列基板,其特征在于,全部所述虚拟像素单元中的虚拟像素电极均与所述虚拟公共电极结构电连接。

3. 如权利要求1所述的阵列基板,其特征在于,所述虚拟公共电极结构包括虚拟公共电极和虚拟公共电极线;

所述虚拟像素电极与所述虚拟公共电极电连接,或所述虚拟像素电极与所述虚拟公共电极线电连接。

4. 如权利要求3所述的阵列基板,其特征在于,所述虚拟公共电极线与所述显示区域的公共电极线同层设置;

所述虚拟公共电极由所述显示区域的公共电极延伸形成,或所述虚拟公共电极与所述显示区域的公共电极同层设置。

5. 如权利要求4所述的阵列基板,其特征在于,还包括栅极绝缘层和钝化层,所述虚拟像素电极位于所述钝化层之上;

所述虚拟公共电极和所述虚拟公共电极线均与所述栅线同层设置;

所述虚拟像素电极通过依次贯穿所述钝化层和所述栅极绝缘层的过孔与所述虚拟公共电极电连接,或所述虚拟像素电极通过依次贯穿所述钝化层和所述栅极绝缘层的过孔与所述虚拟公共电极线电连接。

6. 如权利要求5所述的阵列基板,其特征在于,还包括位于所述栅极绝缘层和所述钝化层之间的刻蚀阻挡层,所述虚拟像素电极通过依次贯穿所述钝化层、所述刻蚀阻挡层和所述栅极绝缘层的过孔与所述虚拟公共电极电连接,或所述虚拟像素电极通过依次贯穿所述钝化层、所述刻蚀阻挡层和所述栅极绝缘层的过孔与所述虚拟公共电极线电连接。

7. 如权利要求1-6任一项所述的阵列基板,其特征在于,所述虚拟像素单元包括第一虚拟像素单元和第二虚拟像素单元;位于所述栅线延伸方向的两个端部的虚拟像素单元为所述第一虚拟像素单元,位于所述数据线延伸方向的两个端部的虚拟像素单元为所述第二虚拟像素单元;至少部分所述第二虚拟像素单元中的虚拟薄膜晶体管的漏极与所述虚拟像素电极具有交叠区域。

8. 如权利要求7所述的阵列基板,其特征在于,全部所述第二虚拟像素单元中的虚拟薄膜晶体管的漏极均与所述虚拟像素电极具有交叠区域。

9. 如权利要求8所述的阵列基板,其特征在于,所述第二虚拟像素单元中的虚拟薄膜晶体管的漏极的面积小于所述虚拟像素电极的面积。

10. 如权利要求1所述的阵列基板,其特征在于,所述虚拟像素电极的面积与所述像素电极的面积相同。

11. 一种阵列基板, 其特征在于, 具有显示区域和包围所述显示区域的非显示区域;

所述显示区域包括多条栅线 and 多条数据线, 以及由所述栅线和所述数据线交叉限定出的多个像素单元, 各所述像素单元包括薄膜晶体管以及与所述薄膜晶体管的漏极电连接的像素电极;

所述非显示区域包括围绕所述显示区域四周设置的多个虚拟像素单元, 各所述虚拟像素单元包括虚拟薄膜晶体管以及与所述虚拟薄膜晶体管的漏极浮接的虚拟像素电极;

所述虚拟像素单元包括第一虚拟像素单元和第二虚拟像素单元; 位于所述栅线延伸方向的两个端部的虚拟像素单元为所述第一虚拟像素单元, 位于所述数据线延伸方向的两个端部的虚拟像素单元为所述第二虚拟像素单元; 至少部分所述第二虚拟像素单元中的虚拟薄膜晶体管的漏极与所述虚拟像素电极具有交叠区域。

12. 如权利要求11所述的阵列基板, 其特征在于, 全部所述第二虚拟像素单元中的虚拟薄膜晶体管的漏极均与所述虚拟像素电极具有交叠区域。

13. 如权利要求12所述的阵列基板, 其特征在于, 所述第二虚拟像素单元中的虚拟薄膜晶体管的漏极的面积小于所述虚拟像素电极的面积。

14. 如权利要求11所述的阵列基板, 其特征在于, 所述虚拟像素电极的面积与所述像素电极的面积相同。

15. 一种显示面板, 其特征在于, 包括如权利要求1-14任一项所述的阵列基板。

16. 一种显示装置, 其特征在于, 包括如权利要求15所述的显示面板。

## 一种阵列基板、显示面板及显示装置

### 技术领域

[0001] 本实用新型涉及柔性显示技术领域，特别涉及一种阵列基板、显示面板及显示装置。

### 背景技术

[0002] 在平板显示设备中，薄膜晶体管液晶显示 (Thin Film Transistor Liquid Crystal Display, TFT-LCD) 面板具有体积小、辐射小和制造成本相对较低等特点，在手机、电脑、电视机等电子产品中得到了广泛的应用。为了保证位于显示区边缘的显示像素的刻蚀均匀性，通常在阵列基板的显示区边缘设置几行或者几列虚拟像素区，使显示区边缘具有虚拟薄膜晶体管和虚拟像素电极。由于虚拟像素电极不与虚拟薄膜晶体管电连接，且虚拟薄膜晶体管的源漏极有时也不与有源区形成电连接，可能造成两个问题：(1) 虚拟像素电极由于工艺过程的静电积累，可能产生大于0V的电压，从而在虚拟像素区形成液晶电场，导致显示区边缘漏光的现象；(2) 由于虚拟像素电极和虚拟薄膜晶体管都不形成有效的电连接，在液晶摩擦取向过程中产生的静电容易积累在显示区的数据线上，该静电通过显示区的薄膜晶体管传递到像素电极上，造成显示区像素电极的静电损伤，影响显示效果。

### 实用新型内容

[0003] 本实用新型实施例提供一种阵列基板、显示面板及显示装置，用以解决上述现有技术中存在的问题。

[0004] 因此，本实用新型实施例提供了一种阵列基板，具有显示区域和包围所述显示区域的非显示区域；

[0005] 所述显示区域包括多条栅线和多条数据线，以及由所述栅线和所述数据线交叉限定出的多个像素单元，各所述像素单元包括薄膜晶体管以及与所述薄膜晶体管的漏极电连接的像素电极；

[0006] 所述非显示区域包括围绕所述显示区域四周设置的多个虚拟像素单元，各所述虚拟像素单元包括虚拟薄膜晶体管以及与所述虚拟薄膜晶体管的漏极浮接的虚拟像素电极；

[0007] 所述非显示区域还包括虚拟公共电极结构，至少部分所述虚拟像素单元中的虚拟像素电极与所述虚拟公共电极结构电连接。

[0008] 可选地，在具体实施时，在本实用新型实施例提供的上述阵列基板中，全部所述虚拟像素单元中的虚拟像素电极均与所述虚拟公共电极结构电连接。

[0009] 可选地，在具体实施时，在本实用新型实施例提供的上述阵列基板中，所述虚拟公共电极结构包括虚拟公共电极和虚拟公共电极线；

[0010] 所述虚拟像素电极与所述虚拟公共电极电连接，或所述虚拟像素电极与所述虚拟公共电极线电连接。

[0011] 可选地，在具体实施时，在本实用新型实施例提供的上述阵列基板中，所述虚拟公共电极线与所述显示区域的公共电极线同层设置；

[0012] 所述虚拟公共电极由所述显示区域的公共电极延伸形成,或所述虚拟公共电极与所述显示区域的公共电极同层设置。

[0013] 可选地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,还包括栅极绝缘层和钝化层,所述虚拟像素电极位于所述钝化层之上;

[0014] 所述虚拟公共电极和所述虚拟公共电极线均与所述栅线同层设置;

[0015] 所述虚拟像素电极通过依次贯穿所述钝化层和所述栅极绝缘层的过孔与所述虚拟公共电极电连接,或所述虚拟像素电极通过依次贯穿所述钝化层和所述栅极绝缘层的过孔与所述虚拟公共电极线电连接。

[0016] 可选地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,还包括位于所述栅极绝缘层和所述钝化层之间的刻蚀阻挡层,所述虚拟像素电极通过依次贯穿所述钝化层、所述刻蚀阻挡层和所述栅极绝缘层的过孔与所述虚拟公共电极电连接,或所述虚拟像素电极通过依次贯穿所述钝化层、所述刻蚀阻挡层和所述栅极绝缘层的过孔与所述虚拟公共电极线电连接。

[0017] 可选地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,所述虚拟像素单元包括第一虚拟像素单元和第二虚拟像素单元;位于所述栅线延伸方向的两个端部的虚拟像素单元为所述第一虚拟像素单元,位于所述数据线延伸方向的两个端部的虚拟像素单元为所述第二虚拟像素单元;至少部分所述第二虚拟像素单元中的虚拟薄膜晶体管的漏极与所述虚拟像素电极具有交叠区域。

[0018] 可选地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,全部所述第二虚拟像素单元中的虚拟薄膜晶体管的漏极均与所述虚拟像素电极具有交叠区域。

[0019] 可选地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,所述第二虚拟像素单元中的虚拟薄膜晶体管的漏极的面积小于所述虚拟像素电极的面积。

[0020] 可选地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,所述虚拟像素电极的面积与所述像素电极的面积相同。

[0021] 本实用新型实施例提供了一种阵列基板,具有显示区域和包围所述显示区域的非显示区域;

[0022] 所述显示区域包括多条栅线和多条数据线,以及由所述栅线和所述数据线交叉限定出的多个像素单元,各所述像素单元包括薄膜晶体管以及与所述薄膜晶体管的漏极电连接的像素电极;

[0023] 所述非显示区域包括围绕所述显示区域四周设置的多个虚拟像素单元,各所述虚拟像素单元包括虚拟薄膜晶体管以及与所述虚拟薄膜晶体管的漏极浮接的虚拟像素电极;

[0024] 所述虚拟像素单元包括第一虚拟像素单元和第二虚拟像素单元;位于所述栅线延伸方向的两个端部的虚拟像素单元为所述第一虚拟像素单元,位于所述数据线延伸方向的两个端部的虚拟像素单元为所述第二虚拟像素单元;至少部分所述第二虚拟像素单元中的虚拟薄膜晶体管的漏极与所述虚拟像素电极具有交叠区域。

[0025] 可选地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,全部所述第二虚拟像素单元中的虚拟薄膜晶体管的漏极均与所述虚拟像素电极具有交叠区域。

[0026] 可选地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,所述第二虚拟像素单元中的虚拟薄膜晶体管的漏极的面积小于所述虚拟像素电极的面积。

[0027] 可选地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,所述虚拟像素电极的面积与所述像素电极的面积相同。

[0028] 相应地,本实用新型实施例还提供了一种显示面板,包括本实用新型实施例提供的上述任一项所述的阵列基板。

[0029] 相应地,本实用新型实施例还提供了一种显示装置,包括本实用新型实施例提供的上述显示面板。

[0030] 本实用新型实施例的有益效果:

[0031] 本实用新型实施例提供的阵列基板、显示面板及显示装置,该阵列基板通过将非显示区域内围绕显示区域四周设置的至少部分虚拟像素单元中的虚拟像素电极与虚拟公共电极结构电连接,虚拟公共电极结构的电压一般为0V,由于至少部分虚拟像素电极与公共电极结构电连接,因此至少部分虚拟像素电极可以始终具有与公共电极结构相同的0V电压,从而设置在显示区域四周的至少部分虚拟像素单元所在区域不会形成液晶电场,因此非显示区域接近显示区边缘的至少部分区域不会发生漏光的现象,从而提高显示效果。

## 附图说明

[0032] 图1为本实用新型实施例提供的阵列基板的剖面结构示意图之一;

[0033] 图2为本实用新型实施例提供的阵列基板的剖面结构示意图之二;

[0034] 图3为图2所示的阵列基板的俯视结构示意图;

[0035] 图4为本实用新型实施例提供的阵列基板的剖面结构示意图之三;

[0036] 图5为图4所示的阵列基板的俯视结构示意图;

[0037] 图6A-图6E为本实用新型实施例提供的阵列基板的制备方法在执行各步骤后的剖面结构示意图。

## 具体实施方式

[0038] 为了使本实用新型的目的,技术方案和优点更加清楚,下面结合附图,对本实用新型实施例提供的阵列基板、显示面板及显示装置的具体实施方式进行详细地说明。

[0039] 附图中各层薄膜厚度和形状不反映阵列基板的真实比例,目的只是示意说明本实用新型内容。

[0040] 本实用新型实施例提供了一种阵列基板,如图1至图3所示,图1和图2为阵列基板的部分膜层的剖面结构示意图,图3为图2所示的阵列基板的部分膜层的俯视结构示意图,该阵列基板具有显示区域A和包围显示区域A的非显示区域B;可以理解的是,图1和图2中仅是为了说明本实用新型实施例而示意出的显示区域A和非显示区域B的部分膜层结构;

[0041] 显示区域A包括位于衬底基板1上的多条栅线G和多条数据线D,以及由栅线G和数据线D交叉限定出的多个像素单元,各像素单元包括薄膜晶体管2以及与薄膜晶体管2的漏极21电连接的像素电极3;

[0042] 非显示区域B包括围绕显示区域A四周设置的多个虚拟像素单元,各虚拟像素单元包括虚拟薄膜晶体管4以及与虚拟薄膜晶体管4的漏极41浮接的虚拟像素电极5;

[0043] 非显示区域B还包括虚拟公共电极结构6,至少部分虚拟像素单元中的虚拟像素电极5与虚拟公共电极结构6电连接。

[0044] 本实用新型实施例提供的上述阵列基板,通过将非显示区域内围绕显示区域四周设置的至少部分虚拟像素单元中的虚拟像素电极与虚拟公共电极结构电连接,虚拟公共电极结构的电压一般为0V,由于至少部分虚拟像素电极与公共电极结构电连接,因此至少部分虚拟像素电极可以始终具有与公共电极结构相同的0V电压,从而设置在显示区域四周的至少部分虚拟像素单元所在区域不会形成液晶电场,因此非显示区域接近显示区边缘的至少部分区域不会发生漏光的现象,从而提高显示效果。

[0045] 在具体实施时,在本实用新型实施例提供的上述阵列基板中,如图1至图3所示,各像素单元的薄膜晶体管2具体包括:位于衬底基板1上的栅极22、有源层23、源极24和漏极21,源极24通过过孔G1与有源层23电连接,漏极21通过过孔G2与有源层23电连接,漏极21通过过孔H2与像素电极3电连接;各虚拟像素单元的薄膜晶体管4具体包括:位于衬底基板1上的栅极42、有源层43、源极44和漏极41,源极44通过过孔L1与有源层43电连接,漏极41通过过孔L2与有源层43电连接,漏极41与虚拟像素电极5浮接。

[0046] 进一步地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,如图3所示,在非显示区域B靠近显示区域A的四周设置的全部虚拟像素单元中的虚拟像素电极5均与虚拟公共电极结构6电连接。这样全部虚拟像素单元中的虚拟像素电极可以始终具有与公共电极结构相同的0V电压,从而设置在显示区域四周的全部虚拟像素单元所在区域均不会形成液晶电场,因此非显示区域接近显示区边缘的全部区域均不会发生漏光的现象,从而进一步提高显示效果。

[0047] 进一步地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,如图1至图3所示,虚拟公共电极结构6包括虚拟公共电极和虚拟公共电极线61,图1和图2仅示意出虚拟公共电极线61和公共电极线01;

[0048] 虚拟像素电极5与虚拟公共电极电连接,或虚拟像素电极5与虚拟公共电极线61电连接。

[0049] 进一步地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,如图1至图3所示,虚拟公共电极线61与显示区域的公共电极线01同层设置;这样,只需要在形成显示区域的公共电极线01时改变原有的构图图形,即可通过一次构图工艺形成虚拟公共电极线61与显示区域的公共电极线01的图形,不用增加单独制备虚拟公共电极线61的工艺,可以简化制备工艺流程,节省生产成本,提高生产效率;

[0050] 虚拟公共电极可以由显示区域的公共电极延伸形成;或虚拟公共电极也可以与显示区域的公共电极同层设置,即虚拟公共电极与显示区域的公共电极独立设置。

[0051] 进一步地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,如图1、图2和图4所示,还包括栅极绝缘层7和钝化层9,虚拟像素电极5位于钝化层9之上;

[0052] 虚拟公共电极和虚拟公共电极线61均与栅线G同层设置;

[0053] 虚拟像素电极5通过依次贯穿钝化层9和栅极绝缘层7的过孔与虚拟公共电极电连接,或虚拟像素电极通过依次贯穿钝化层9和栅极绝缘层7的过孔与虚拟公共电极线61电连接。

[0054] 进一步地,在具体实施时,为了防止在进行源极和漏极的刻蚀过程中刻蚀到有源层而破坏有源层的性能,在本实用新型实施例提供的上述阵列基板中,如图1、图2和图4所示,还包括位于栅极绝缘层7和钝化层9之间的刻蚀阻挡层8,虚拟像素电极5通过依次贯穿

钝化层9、刻蚀阻挡层8和栅极绝缘层7的过孔与虚拟公共电极电连接,或虚拟像素电极5通过依次贯穿钝化层9、刻蚀阻挡层8和栅极绝缘层7的过孔H1与虚拟公共电极线61电连接。

[0055] 进一步地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,如图1至图3所示,像素电极3通过贯穿钝化层9的过孔H2与薄膜晶体管2的漏极21电连接。

[0056] 进一步地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,如图3所示,虚拟像素单元包括第一虚拟像素单元P1和第二虚拟像素单元P2;位于栅线G延伸方向的两个端部的虚拟像素单元为第一虚拟像素单元P1,位于数据线D延伸方向的两个端部的虚拟像素单元为第二虚拟像素单元P2;至少部分第二虚拟像素单元P2中的虚拟薄膜晶体管4的漏极41与虚拟像素电极5具有交叠区域,如图2所示。通过将位于数据线D延伸方向的两个端部的至少部分第二虚拟像素单元P2中的虚拟薄膜晶体管的4漏极41设置成与虚拟像素电极5具有交叠区域,由于虚拟薄膜晶体管4的漏极41与虚拟像素电极5浮接,这样该交叠区域即形成虚拟电容,该漏极41与虚拟像素电极5分别为形成的虚拟电容的两个极板。当显示区域A的数据线D上积累静电时,该静电可以通过至少部分虚拟薄膜晶体管4的有源层43释放至虚拟电容上,而不会使该静电耦合到显示区域A内,从而减少显示区域A内至少部分像素电极3发生静电损伤的几率。

[0057] 进一步地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,如图2和图3所示,全部第二虚拟像素单元P2中的虚拟薄膜晶体管4的漏极41均与虚拟像素电极5具有交叠区域。通过将位于数据线D延伸方向的两个端部的全部第二虚拟像素单元P2中的虚拟薄膜晶体管的4漏极41均设置成与虚拟像素电极5具有交叠区域,形成虚拟电容。当显示区域A的各数据线D上积累静电时,该静电可以通过对应的虚拟薄膜晶体管4的有源层43全部释放至对应的虚拟电容上,而不会使该静电耦合到显示区域A内,从而使显示区域A内的全部像素电极3均减少发生静电损伤的几率。

[0058] 进一步地,如图2和图3所示,通过将数据线D延伸方向的两个端部的全部第二虚拟像素单元P2中的虚拟薄膜晶体管的4漏极41均设置成与虚拟像素电极5具有交叠区域,形成虚拟电容,该虚拟电容的一端即虚拟像素电极5电连接公共电极,另一端即漏极41通过虚拟薄膜晶体管4电连接数据线D,使得虚拟电容两端间的电压不会产生突变,因此该虚拟电容还可以起到稳压器的作用。另外由于静电是一种宽频信号,电容本身就有抑制静电的效果,尤其是大容量电容等同于静电防护作用,因此本实用新型实施例中形成的虚拟电容是为静电提供的一条更好的释放路径。因此本实用新型实施例提供的图2和图3所示的阵列基板既可以实现非显示区域B接近显示区域A边缘的全部区域均不会发生漏光的现象,又可以实现将各数据线D上积累的静电通过对应的虚拟薄膜晶体管4的有源层43全部释放至对应的虚拟电容上,而不会使该静电耦合到显示区域A内,从而使显示区域A内的全部像素电极3均减少发生静电损伤的几率的问题。

[0059] 进一步地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,如图2和图3所示,第二虚拟像素单元P2中的虚拟薄膜晶体管4的漏极41的面积小于虚拟像素电极5的面积。具体地,虚拟薄膜晶体管4的漏极41向虚拟像素电极5方向延伸形成,由于虚拟像素电极5有需要通过过孔与虚拟公共电极线61电连接的部分,因此该漏极41的面积小于虚拟像素电极5的面积,由于电容量越大,静电防护效果越好,因此在制作漏极41时,可以使漏极41的面积接近虚拟像素电极5的面积,尽可能具有较大交叠区域的虚拟电容,达到更好的静



电防护的效果。

[0060] 进一步地,在具体实施时,为了统一制作工艺,方便制作,在本实用新型实施例提供的上述阵列基板中,如图1至图3所示,虚拟像素电极5的面积可以与像素电极3的面积相同。当然,在具体实施时,虚拟像素电极5的面积也可以与像素电极3的面积不相同。

[0061] 本实用新型实施例提供了另一种阵列基板,如图4和图5所示,图5为图4所示的阵列基板的部分膜层的俯视结构示意图,该阵列基板具有显示区域A和包围显示区域A的非显示区域B;可以理解的是,图4和图5中仅是为了说明本实用新型实施例而示意出的显示区域A和非显示区域B的部分膜层结构;

[0062] 显示区域A包括位于衬底基板1上的多条栅线G和多条数据线D,以及由栅线G和数据线D交叉限定出的多个像素单元,各像素单元包括薄膜晶体管2以及与薄膜晶体管2的漏极21电连接的像素电极3;

[0063] 非显示区域B包括围绕显示区域A四周设置的多个虚拟像素单元,各虚拟像素单元包括虚拟薄膜晶体管4以及与虚拟薄膜晶体管4的漏极41浮接的虚拟像素电极5;

[0064] 虚拟像素单元包括第一虚拟像素单元P1和第二虚拟像素单元P2;位于栅线D延伸方向的两个端部的虚拟像素单元为第一虚拟像素单元P1,位于数据线D延伸方向的两个端部的虚拟像素单元为第二虚拟像素单元P2;至少部分第二虚拟像素单元P2中的虚拟薄膜晶体管4的漏极41与虚拟像素电极5具有交叠区域。

[0065] 本实用新型实施例提供的上述阵列基板,通过将位于数据线延伸方向的两个端部的至少部分第二虚拟像素单元中的虚拟薄膜晶体管的漏极设置成与虚拟像素电极具有交叠区域,由于虚拟薄膜晶体管的漏极与虚拟像素电极浮接,这样该交叠区域即形成虚拟电容,该漏极与虚拟像素电极分别为形成的虚拟电容的两个极板。当显示区域的数据线上积累静电时,该静电可以通过至少部分虚拟薄膜晶体管的有源层释放至虚拟电容上,而不会使该静电耦合到显示区域内,从而减少显示区域内至少部分像素电极发生静电损伤的几率。

[0066] 在具体实施时,在本实用新型实施例提供的上述阵列基板中,如图4和图5所示,各像素单元的薄膜晶体管2具体包括:位于衬底基板1上的栅极22、有源层23、源极24和漏极21,源极24通过过孔G1与有源层23电连接,漏极21通过过孔G2与有源层23电连接,漏极21通过过孔H2与像素电极3电连接;各虚拟像素单元的薄膜晶体管4具体包括:位于衬底基板1上的栅极42、有源层43、源极44和漏极41,源极44通过过孔L1与有源层43电连接,漏极41通过过孔L2与有源层43电连接,漏极41与虚拟像素电极5浮接。

[0067] 进一步地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,如图4和图5所示,还包括栅极绝缘层7、刻蚀阻挡层8和钝化层9,像素电极3和虚拟像素电极5同层设置且位于钝化层9之上,像素电极3通过贯穿钝化层9的过孔H2与薄膜晶体管2的漏极21电连接。

[0068] 进一步地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,如图4和图5所示,全部第二虚拟像素单元P2中的虚拟薄膜晶体管4的漏极41均与虚拟像素电极5具有交叠区域。通过将位于数据线D延伸方向的两个端部的全部第二虚拟像素单元P2中的虚拟薄膜晶体管的4漏极41均设置成与虚拟像素电极5具有交叠区域,形成虚拟电容。当显示区域A的各数据线D上积累静电时,该静电可以通过对应的虚拟薄膜晶体管4的有源层43全

部释放至对应的虚拟电容上,而不会使该静电耦合到显示区域A内,从而使显示区域A内的全部像素电极3均减少发生静电损伤的几率。

[0069] 进一步地,在具体实施时,在本实用新型实施例提供的上述阵列基板中,如图4和图5所示,第二虚拟像素单元P2中的虚拟薄膜晶体管4的漏极41的面积小于虚拟像素电极5的面积。具体地,虚拟薄膜晶体管4的漏极41向虚拟像素电极5方向延伸形成,由于虚拟像素电极5有需要通过过孔与虚拟公共电极线61电连接的部分,因此该漏极41的面积小于虚拟像素电极5的面积,由于电容量越大,静电防护效果越好,因此在制作漏极41时,可以使漏极41的面积接近虚拟像素电极5的面积,尽可能具有较大交叠区域的虚拟电容,达到更好的静电防护的效果。

[0070] 进一步地,在具体实施时,为了统一制作工艺,方便制作,在本实用新型实施例提供的上述阵列基板中,如图5所示,虚拟像素电极5的面积可以与像素电极3的面积相同。当然,在具体实施时,虚拟像素电极5的面积也可以与像素电极3的面积不相同。

[0071] 需要说明的是,本实用新型提供的图3和图5实施例是以在非显示区域靠近显示区域四周的边缘处仅设置一行和一系列虚拟像素单元为例,在具体实施时,也可以在非显示区域靠近显示区域四周的边缘处设置多行和多列虚拟像素单元。在设置多行和多列虚拟像素单元时,所有虚拟像素单元中的虚拟像素电极均与公共电极或公共电极线电连接,将位于数据线延伸方向的两个端部的全部第二虚拟像素单元中的虚拟薄膜晶体管的漏极均设置成与虚拟像素电极具有交叠区域,形成虚拟电容。

[0072] 下面通过具体实施例对本实用新型提供的图2所示的阵列基板的制备方法进行说明。

[0073] (1) 在衬底基板1上通过一次构图工艺形成薄膜晶体管2的栅极22、虚拟薄膜晶体管4的栅极42、公共电极线01和虚拟公共电极线61,如图6A所示;

[0074] (2) 在步骤(1)的基础上形成栅极绝缘层7,在栅极绝缘层7上形成薄膜晶体管2的有源层23和虚拟薄膜晶体管4的有源层43,如图6B所示;

[0075] (3) 在步骤(2)的基础上形成刻蚀阻挡层8,并通过构图工艺在刻蚀阻挡层8与即将形成的源漏极对应的区域形成过孔L1、L2、G1和G2,如图6C所示;

[0076] (4) 在步骤(3)的基础上形成薄膜晶体管2的源极24和漏极21,虚拟薄膜晶体管4的源极44和漏极41,以及数据线D,如图6D所示;

[0077] (5) 在步骤(4)的基础上形成钝化层9,并通过构图工艺形成依次贯穿钝化层9、刻蚀阻挡层8和栅极绝缘层7的过孔H1,以及通过构图工艺形成贯穿钝化层9的过孔H2,如图6E所示;

[0078] (6) 在步骤(5)的基础上形成像素电极3和虚拟像素电极5,像素电极3通过过孔H2与薄膜晶体管2的漏极21电连接,虚拟像素电极5通过过孔H1与虚拟公共电极线61电连接,如图2所示。

[0079] 通过上述步骤(1)–步骤(6)即可制备出本实用新型实施例提供的图2所示的阵列基板。

[0080] 具体实施时,本实用新型实施例提供的图1和图4所示的阵列基板的制备方法可以参见上述图2所示的阵列基板的制备方法,在此不做详述。

[0081] 需要说明的是,在本实用新型实施例提供的上述阵列基板的制备方法中,构图工

艺可只包括光刻工艺,或,可以包括光刻工艺以及刻蚀步骤,同时还可以包括打印、喷墨等其他用于形成预定图形的工艺;光刻工艺是指包括成膜、曝光、显影等工艺过程的利用光刻胶、掩模板、曝光机等形成图形的工艺。在具体实施时,可根据本实用新型中所形成的结构选择相应的构图工艺。

[0082] 基于同一实用新型构思,本实用新型实施例还提供了一种显示面板,包括本实用新型实施例提供的上述任一种阵列基板。该显示面板解决问题的原理与前述阵列基板相似,因此该显示面板的实施可以参见前述阵列基板的实施,重复之处在此不再赘述。

[0083] 具体地,本实用新型实施例提供的上述显示面板为液晶显示(Liquid Crystal Display,LCD)面板。在具体实施时,对于显示面板的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本实用新型的限制。

[0084] 基于同一实用新型构思,本实用新型实施例还提供了一种显示装置,包括本实用新型实施例提供的上述显示面板。该显示装置可以为:显示面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。该显示装置解决问题的原理与前述阵列基板相似,因此该显示装置的实施可以参见前述阵列基板的实施,重复之处在此不再赘述。

[0085] 本实用新型实施例提供的阵列基板、显示面板及显示装置,该阵列基板通过将非显示区域内围绕显示区域四周设置的至少部分虚拟像素单元中的虚拟像素电极与虚拟公共电极结构电连接,虚拟公共电极结构的电压一般为0V,由于至少部分虚拟像素电极与公共电极结构电连接,因此至少部分虚拟像素电极可以始终具有与公共电极结构相同的0V电压,从而设置在显示区域四周的至少部分虚拟像素单元所在区域不会形成液晶电场,因此非显示区域接近显示区边缘的至少部分区域不会发生漏光的现象,从而提高显示效果。

[0086] 显然,本领域的技术人员可以对本实用新型进行各种改动和变型而不脱离本实用新型的精神和范围。这样,倘若本实用新型的这些修改和变型属于本实用新型权利要求及其等同技术的范围之内,则本实用新型也意图包含这些改动和变型在内。



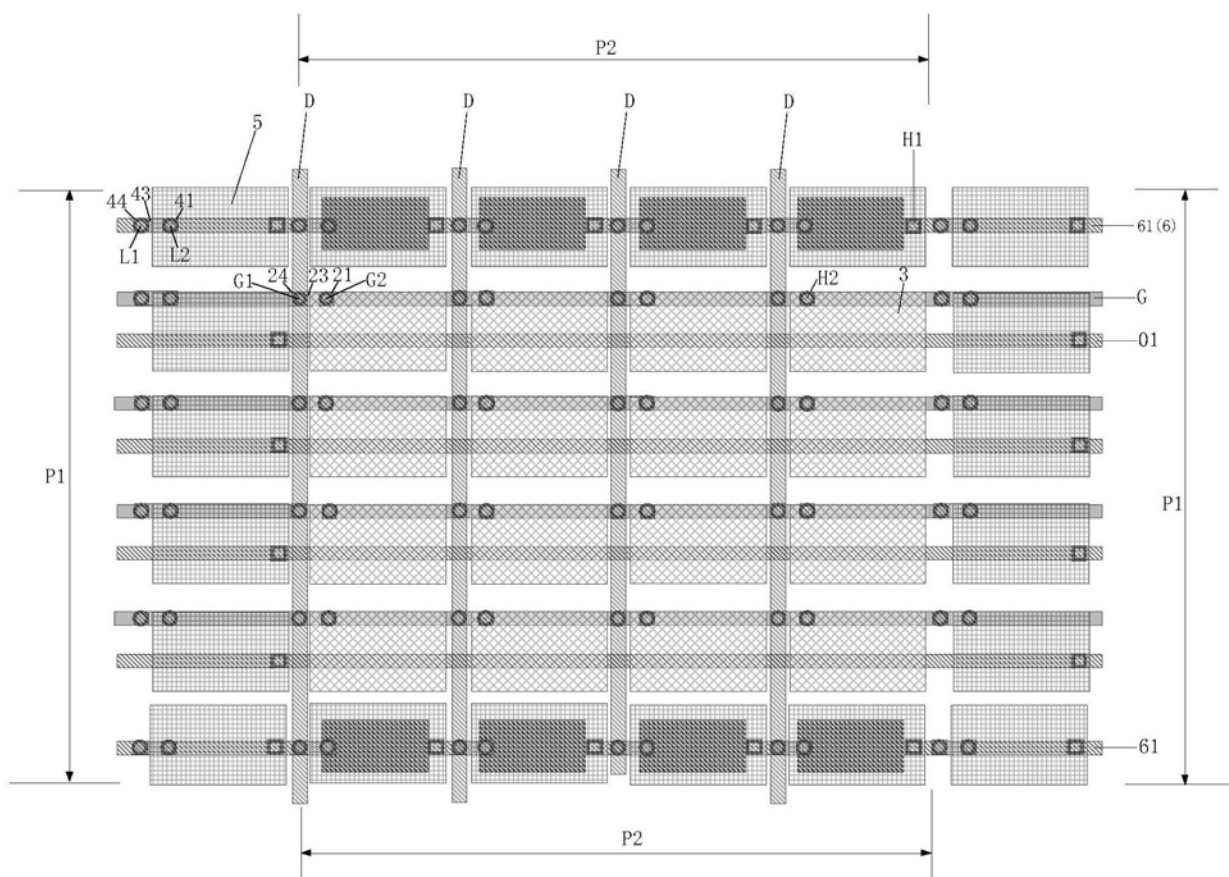


图3

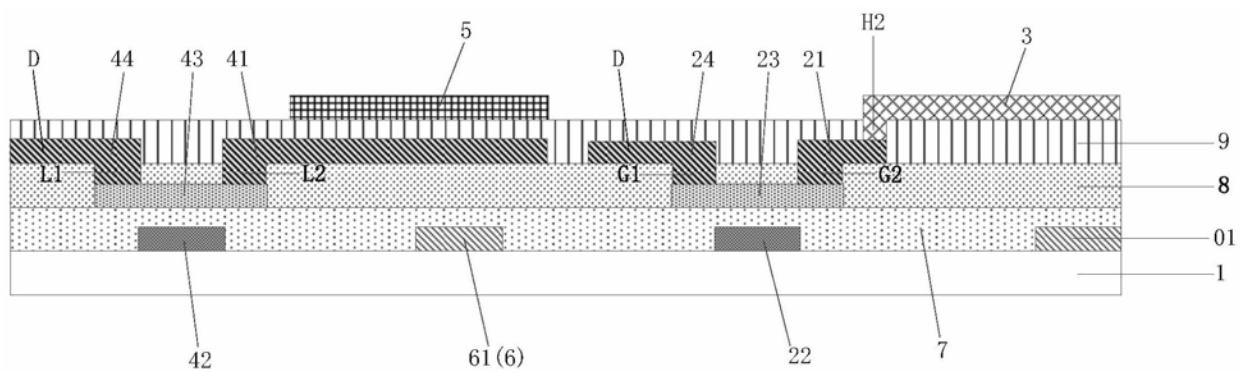


图4

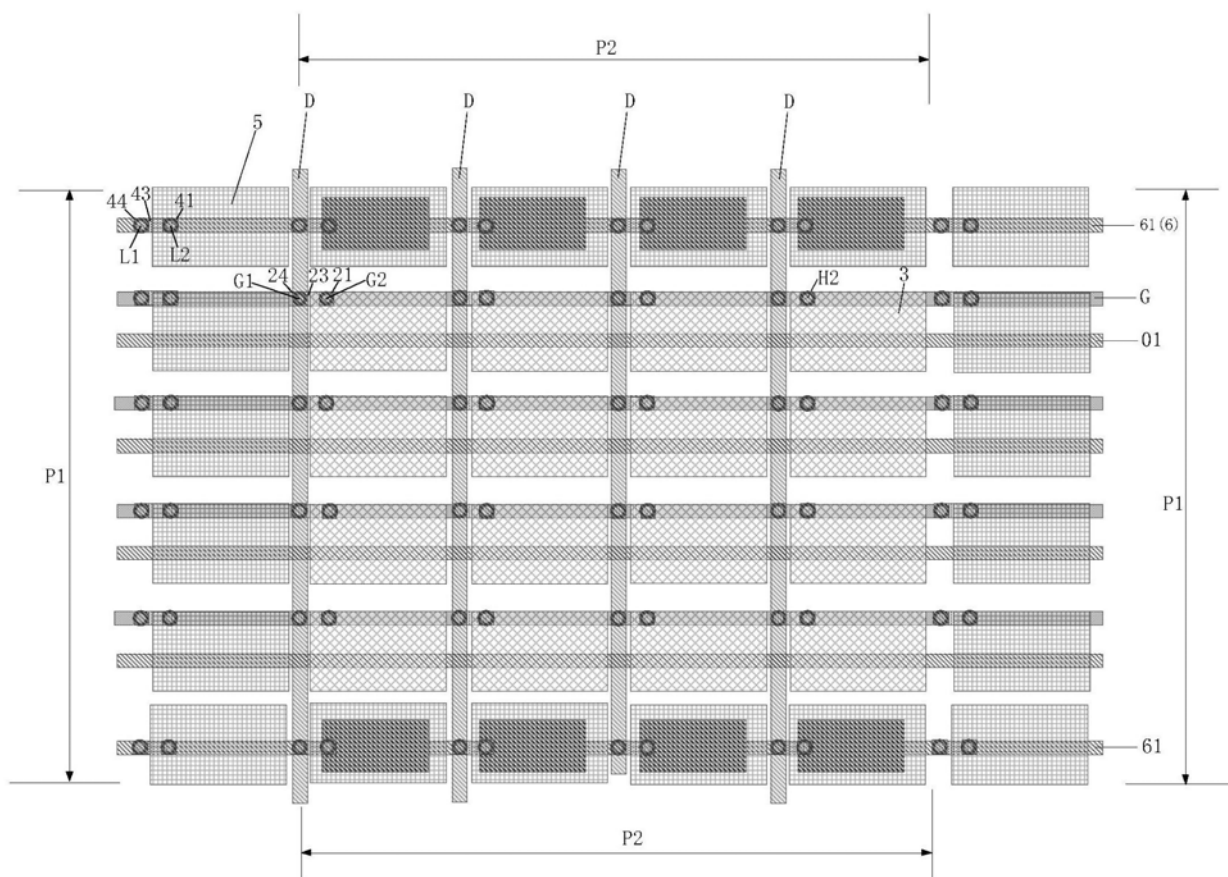


图5

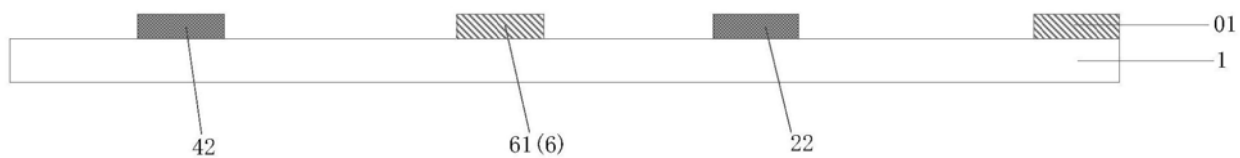


图6A

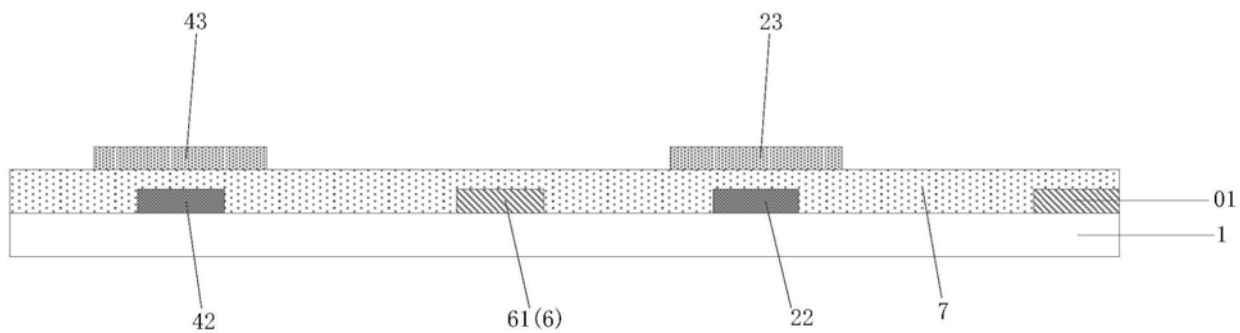


图6B

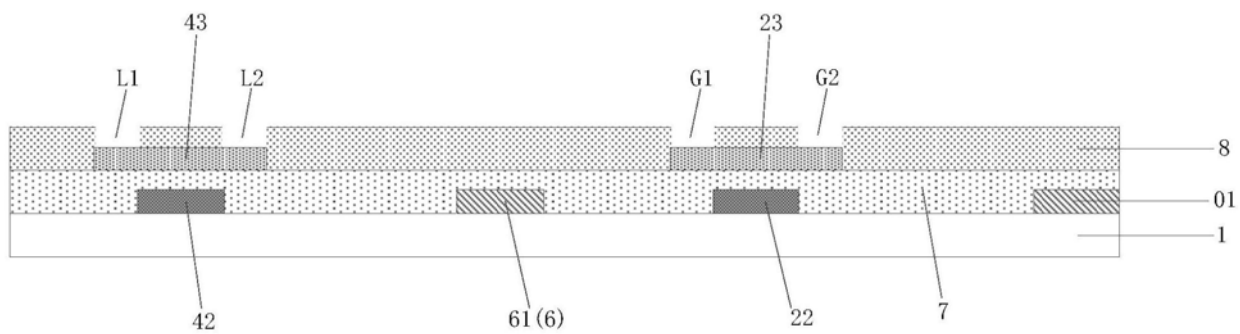


图6C

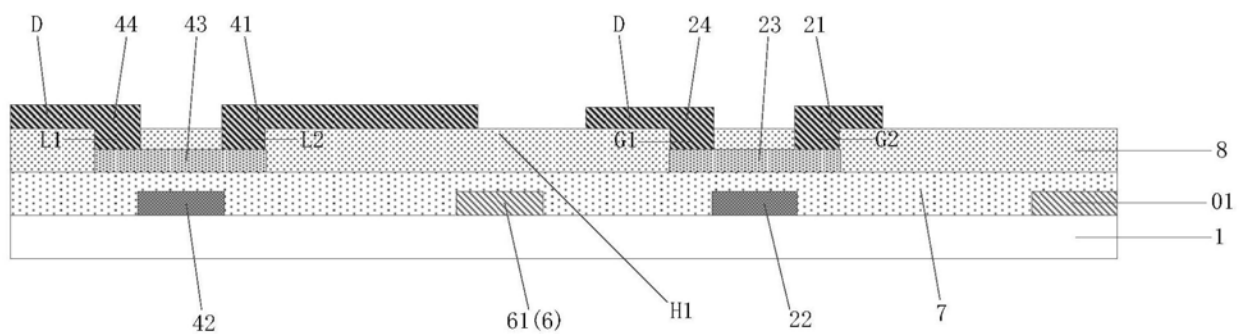


图6D

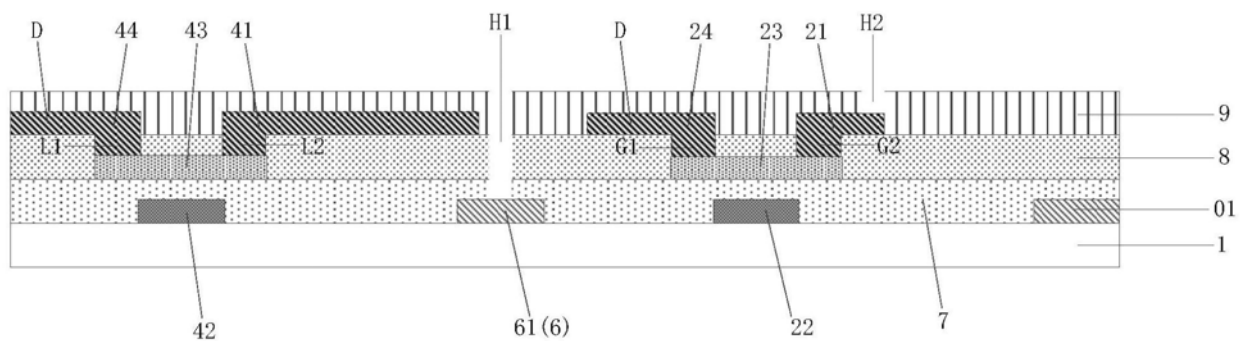


图6E

|                |                                                |         |            |
|----------------|------------------------------------------------|---------|------------|
| 专利名称(译)        | 一种阵列基板、显示面板及显示装置                               |         |            |
| 公开(公告)号        | <a href="#">CN209946604U</a>                   | 公开(公告)日 | 2020-01-14 |
| 申请号            | CN201920881708.0                               | 申请日     | 2019-06-12 |
| [标]申请(专利权)人(译) | 京东方科技集团股份有限公司                                  |         |            |
| 申请(专利权)人(译)    | 京东方科技集团股份有限公司                                  |         |            |
| 当前申请(专利权)人(译)  | 京东方科技集团股份有限公司                                  |         |            |
| [标]发明人         | 龙春平<br>李会                                      |         |            |
| 发明人            | 龙春平<br>李会                                      |         |            |
| IPC分类号         | G02F1/1362 G02F1/1368                          |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a> |         |            |

#### 摘要(译)

本实用新型公开了一种阵列基板、显示面板及显示装置，该阵列基板通过将非显示区域内围绕显示区域四周设置的至少部分虚拟像素单元中的虚拟像素电极与虚拟公共电极结构电连接，虚拟公共电极结构的电压一般为0V，由于至少部分虚拟像素电极与公共电极结构电连接，因此至少部分虚拟像素电极可以始终具有与公共电极结构相同的0V电压，从而设置在显示区域四周的至少部分虚拟像素单元所在区域不会形成液晶电场，因此非显示区域接近显示区边缘的至少部分区域不会发生漏光的现象，从而提高显示效果。

