



(12) 实用新型专利

(10) 授权公告号 CN 202710889 U

(45) 授权公告日 2013. 01. 30

(21) 申请号 201220367115. 0

(22) 申请日 2012. 07. 26

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

专利权人 北京京东方显示技术有限公司

(72) 发明人 王宝强

(74) 专利代理机构 北京同达信恒知识产权代理

有限公司 11291

代理人 黄志华

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

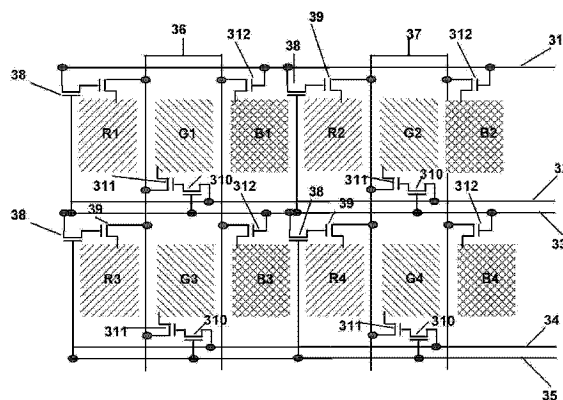
权利要求书 1 页 说明书 6 页 附图 3 页

(54) 实用新型名称

阵列基板单元、阵列基板、液晶显示面板及液晶显示装置

(57) 摘要

本实用新型公开了一种阵列基板单元、阵列基板、液晶显示面板及液晶显示装置,用以减少液晶面板生产过程中 COF 数量。其中,阵列基板单元包括包括横向排列的、用于提供驱动信号的栅线以及纵向排列的、用于提供极性连续翻转的电压信号的数据线,其特征在于,包括 4 个阵列基板子单元,各阵列基板子单元在水平方向和垂直方向上两两对称排列,其中:每一阵列基板子单元内包括 3 个像素、以及与 3 个像素电连接的一条数据线和三条栅线;且水平排列的两个阵列基板子单元共用栅线,垂直排列的两个阵列基板子单元共用数据线和其中一条栅线。



1. 一种阵列基板单元,包括横向排列的、用于提供驱动信号的栅线以及纵向排列的、用于提供极性连续翻转的电压信号的数据线,其特征在于,包括四个阵列基板子单元,各阵列基板子单元在水平方向和垂直方向上两两对称排列,其中:

每一阵列基板子单元内包括三个像素以及与三个像素电连接的一条数据线和三条栅线;且

水平排列的两个阵列基板子单元共用三条栅线,垂直排列的两个阵列基板子单元共用一条数据线和其中一条栅线。

2. 如权利要求 1 所述的阵列基板单元,其特征在于,在每一阵列基板子单元内,每一像素通过开关分别与对应的栅线和数据线电连接。

3. 如权利要求 2 所述的阵列基板单元,其特征在于,所述开关为薄膜晶体场效应管 TFT。

4. 如权利要求 3 所述的阵列基板单元,其特征在于,所述三个像素分别为像素 R、像素 G 和像素 B,所述三条栅线分别为栅线 G1、栅线 G2 和栅线 G3;以及

在每一阵列基板子单元内,像素 R 通过第一 TFT 和第二 TFT 分别与栅线 G1、栅线 G3 和数据线电连接,具体为:所述第一 TFT 的栅极与所述栅线 G3 连接,所述第一 TFT 的漏极与所述栅线 G1 连接,所述第一 TFT 的源极与所述第二 TFT 的栅极连接,所述第二 TFT 的漏极与所述数据线连接,所述第二 TFT 的源极与所述像素 R 连接;

像素 G 通过第三 TFT 和第四 TFT 分别与栅线 G2、栅线 G3 和数据线电连接,具体为:所述第三 TFT 的栅极与所述栅线 G3 连接,所述第三 TFT 的漏极与所述栅线 G2 连接,所述第三 TFT 的源极与所述第四 TFT 的栅极连接,所述第四 TFT 的漏极与所述数据线连接,所述第四 TFT 的源极与所述像素 G 连接;

像素 B 通过第五 TFT 与分别与栅线 G1 和数据线电连接,具体为:所述第五 TFT 的栅极与所述栅线 G1 连接,所述第五 TFT 的漏极与所述数据线连接,所述第五 TFT 的源极与所述像素 B 连接。

5. 一种阵列基板,其特征在于,包括预设数量的权利要求 1~4 任一权利要求所述阵列基板单元。

6. 一种液晶显示面板,包括彩膜基板、阵列基板以及位于所述彩膜基板和阵列基板之间的液晶,其特征在于,所述阵列基板包括预设数量的权利要求 1~4 任一权利要求所述阵列基板单元。

7. 一种液晶显示装置,包括背光源、液晶面板以及用于向液晶面板提供控制信号的集成电路板,所述液晶面板包括彩膜基板、阵列基板以及位于所述彩膜基板和阵列基板之间的液晶,其特征在于,所述阵列基板包括预设数量的权利要求 1~4 任一权利要求所述阵列基板单元。

阵列基板单元、阵列基板、液晶显示面板及液晶显示装置

技术领域

[0001] 本实用新型涉及液晶显示技术领域,尤其涉及一种阵列基板单元、阵列基板、液晶显示面板及液晶显示装置。

背景技术

[0002] 液晶显示装置是一种通过面板内的像素电极和公共电极之间形成电场,控制液晶分子的排列,并通过控制液晶分子对光的折射率,显示画面的一种平板显示装置。液晶显示装置的面板由阵列基板和彩膜基板构成,其中阵列基板由横行排列的栅线和纵向排列的数据线构成,并且在每个栅线和数据线交叉处设有一个开关,以控制每个像素。

[0003] 在阵列基板通常由一定数量的阵列基板单元组成,现有技术中,针对阵列基板单元的设计方案有很多。

[0004] 如图1所示,为其中一种阵列基板单元的结构示意图,图1所示阵列基板单元采用Dual Gate驱动方式驱动,其具体结构为:阵列基板单元设有横向排列的第一栅线G1、第二栅线G2、第三栅线G3和第四栅线G4,纵向排列的第一数据线D1、第二数据线D2和第三数据线D3,其中,第一栅线G1和第二栅线G2之间设有像素R1、像素G1、像素B1、像素R2、像素G2和像素B2,各像素在第一栅线G1和第二栅线G2之间横向排列;第三栅线G3和第四栅线G4之间同样设有像素R3、像素G3、像素B3、像素R4、像素G4和像素B4,各像素在第三栅线G3和第四栅线G4之间横向排列,其中,像素R1、像素G1和像素B1及与其连接的栅线和数据线构成第一阵列基板子单元,像素R2、像素G2和像素B2及与其连接的栅线和数据线构成第二阵列基板子单元,像素R3、像素G3和像素B3及与其连接的栅线和数据线构成第三阵列基板子单元,像素R4、像素G4和像素B5及与其连接的栅线和数据线构成第四阵列基板子单元,在每一个阵列基板子单元内,各像素与栅线及数据线的连接方式相似,只是连接的栅线与数据线不同,以下以第一阵列基板子单元为例进行说明,像素R1通过开关分别与第一栅线G1和第一数据线D1电连接,像素G1通过开关分别与第二栅线G2和第一数据线D1电连接,像素B1通过开关分别与第二栅线G2和第二数据线D2电连接。

[0005] 如图2所示,为另外一种阵列基板单元的结构示意图,图2所示的阵列基板单元采用Triple Gate驱动方式驱动,其具体结构为:阵列基板单元设有横向排列的第一栅线G1、第二栅线G2、第三栅线G3、第四栅线G4、第五栅线G5和第六栅线G6,纵向排列的第一数据线D1和第二数据线D2,与图1中像素结构不同,图2中各像素长边在水平方向,而短边在垂直方向,像素R1与像素R2横向排列于第一栅线G1之上,像素R1分别与第一栅线G1和第一数据线D1电连接,像素R2分别与第一栅线G1和第二数据线D2电连接;像素G1和像素G2横向排列于第一栅线G1和第二栅线G2之间,像素G1分别与第二栅线G2和第一数据线D1电连接,像素G2分别与第二栅线G2和第二数据线D2电连接;像素B1和像素B2横向排列于第二栅线G2和第三栅线G3之间,像素B1分别与第三栅线G3和第一数据线D1电连接,像素B2分别与第三栅线G3和第二数据线D2电连接;像素R3与像素R4横向排列于第三栅线G3和第四栅线G4之间,像素R3分别与第四栅线G4和第一数据线D1电连接,像素

R4 分别与第四栅线 G4 和第二数据线 D2 电连接 ; 像素 G3 和像素 G4 横向排列于第四栅线 G4 和第五栅线 G5 之间, 像素 G3 分别与第五栅线 G5 和第一数据线 D1 电连接, 像素 G4 分别与第五栅线 G5 和第二数据线 D2 电连接 ; 像素 B3 和 B42 像素横向排列于第五栅线 G5 和第六栅线 G6 之间, 像素 B3 分别与第六栅线 G62 和第一数据线 D1 电连接, 像素 B4 分别与第六栅线 G6 和第二数据线 D2 电连接。

[0006] 由于阵列基板单元组成的阵列基板在与面板结合时, 需要使用覆晶薄膜 (COF, Chip On Film), 使用的 COF 数量与栅线和数据线的数量有关, 栅线和数据线越多, 需要的 COF 数量也越多, 使用的 COF 越多, 生产成本也越高, 因此, 如何设计一种阵列基板单元, 减少栅线和数据线的数量, 以减少液晶面板生产过程中所需的 COF 的数量, 成为现有技术中亟待解决的技术问题之一。

实用新型内容

[0007] 本实用新型提供一种阵列基板单元、阵列基板、液晶显示面板以及液晶显示装置, 用以减少液晶面板生产过程中所需的 COF 的数量。

[0008] 本实用新型提供一种阵列基板单元, 包括横向排列的、用于提供驱动信号的栅线以及纵向排列的、用于提供极性连续翻转的电压信号的数据线, 所述阵列基板单元包括四个阵列基板子单元, 各阵列基板子单元在水平方向和垂直方向上两两对称排列, 其中:

[0009] 每一阵列基板子单元内包括三个像素、以及与三个像素电连接的一条数据线和三条栅线 ; 且

[0010] 水平排列的两个阵列基板子单元共用三条栅线, 垂直排列的两个阵列基板子单元共用一条数据线和其中一条栅线。

[0011] 本实用新型提供一种阵列基板, 包括预设数量的上述阵列基板单元。

[0012] 本实用新型提供一种液晶面板, 包括彩膜基板、阵列基板以及位于所述彩膜基板和阵列基板之间的液晶, 其中, 所述阵列基板包括预设数量的上述阵列基板单元。

[0013] 本实用新型提供一种液晶显示装置, 包括背光源、液晶面板以及用于向液晶面板提供控制信号的集成电路板, 所述液晶面板包括彩膜基板、阵列基板以及位于所述彩膜基板和阵列基板之间的液晶, 其中, 所述阵列基板包括预设数量的上述阵列基板单元。

[0014] 本实用新型提供的阵列基板单元、阵列基板、液晶显示面板及液晶显示装置, 包括四个阵列基板子单元, 各阵列基板子单元在水平方向和垂直方向上两两对称排列, 其中: 每一阵列基板子单元内包括三个像素、以及与三个像素电连接的一条数据线和三条栅线 ; 且水平排列的两个阵列基板子单元共用三条栅线, 垂直排列的两个阵列基板子单元共用一条数据线和其中一条栅线, 这样, 本实用新型提供的阵列基板单元包括 5 条栅线和 2 条数据线, 其与 Dual Gate 驱动方式下的阵列基板单元相比, 减少了 1 条数据线, 与 Triple Gate 驱动方式下的阵列基板单元相比, 减少了一条栅线, 由于每一液晶面板包含数百个阵列基板单元, 从而, 有效减少了液晶面板生产过程中 COF 的使用数量。

[0015] 本实用新型的其它特征和优点将在随后的说明书中阐述, 并且, 部分地从说明书中变得显而易见, 或者通过实施本实用新型而了解。本实用新型的目的和其他优点可通过在所写的说明书、权利要求书、以及附图中所特别指出的结构来实现和获得。

附图说明

- [0016] 图 1 为现有技术中, Dual Gate 驱动方式下, 阵列基板单元的结构示意图 ;
- [0017] 图 2 为现有技术中, Triple Gate 驱动方式下, 阵列基板单元的结构示意图 ;
- [0018] 图 3a 为本实用新型实施例中, 一个阵列基板子单元的结构示意图 ;
- [0019] 图 3b 为本实用新型实施例中, 阵列基板单元的结构示意图 ;
- [0020] 图 4 为本实用新型实施例中, 各栅线提供的驱动信号的波形示意图。

具体实施方式

[0021] 为了减少液晶面板生产过程中所需的 COF 数量, 本实用新型提供一种阵列基板单元、阵列基板、液晶面板及液晶显示装置。

[0022] 以下结合说明书附图对本实用新型的优选实施例进行说明, 应当理解, 此处所描述的优选实施例仅用于说明和解释本实用新型, 并不用于限定本实用新型, 并且在不冲突的情况下, 本实用新型中的实施例及实施例中的特征可以相互组合。

[0023] 本实用新型提供的阵列基板单元共包括四个阵列基板子单元, 各阵列基板子单元在水平方向和垂直方向上两两对称排列, 其中 : 每一阵列基板子单元内包括三个像素、分别为像素 R、像素 G 和像素 B, 以及与三个像素电连接的一条数据线和三条栅线, 其中, 三条栅线分别为栅线 G1、栅线 G2 和栅线 G3 ; ; 水平排列的两个阵列基板子单元共用三条栅线, 垂直排列的两个阵列基板子单元共用一条数据线和其中一条栅线。

[0024] 具体的, 如图 3a 所示, 为一个阵列基板子单元的结构示意图, 在每一阵列基板子单元内, 像素 R 通过第一 TFT 38 和第二 TFT 39 分别与栅线 G1、栅线 G3 和数据线电连接, 具体为 : 第一 TFT 38 的栅极与栅线 G3 连接, 第一 TFT 38 的漏极与栅线 G1 连接, 第一 TFT 38 的源极与第二 TFT 39 的栅极连接, 第二 TFT 39 的漏极与数据线连接, 第二 TFT 39 的源极与像素 R 连接 ; 像素 G 通过第三 TFT 310 和第四 TFT 311 分别与栅线 G2、栅线 G3 和数据线电连接, 具体为 : 第三 TFT 310 的栅极与栅线 G3 连接, 第三 TFT 310 的漏极与栅线 G2 连接, 第三 TFT 310 的源极与第四 TFT 311 的栅极连接, 第四 TFT 311 的漏极与数据线连接, 第四 TFT 311 的源极与像素 G 连接 ; 像素 B 通过第五 TFT 312 与分别与栅线 G1 和数据线电连接, 具体为 : 第五 TFT 312 的栅极与栅线 G1 连接, 第五 TFT 312 的漏极与数据线连接, 第五 TFT 312 的源极与像素 B 连接。

[0025] 具体实施时, 当四个阵列基板子单元组成的阵列基板单元时, 水平方向上依次排列两个阵列基板子单元共用三条栅线, 在垂直方向上排列的两个阵列基板子单元需要共用一条数据线, 以及其中的一条数据线, 即下面的阵列基板子单元在垂直方向上的第一条栅线与上面的阵列基板子单元在垂直方向上的最后一条栅线相同, 为了便于描述, 依次以第一栅线 31、第二栅线 32、第三栅线 33 表示与水平排列的两个阵列基板子单元电连接的三条栅线, 以第三栅线 33、第四栅线 34 和第五栅线 35 表示与垂直排列的两个阵列基板子单元连接的三条栅线, 即水平排列的两个阵列基板子单元共用第一栅线、第二栅线、第三栅线, 垂直排列的两个阵列基板子单元共用第三栅线、第四栅线和第五栅线, 如图 3b 所示, 包括 :

[0026] 横向排列的第一栅线 31、第二栅线 32、第三栅线 33、第四栅线 34 和第五栅线 35, 纵向排列的第一数据线 36 和第二数据线 37 ; 第一栅线 31 和第二栅线 32 之间, 依次设有像素 R1、像素 G1、像素 B1、像素 R2、像素 G2、像素 B2 ; 第三栅线 33 和第四栅线 34 之间, 依次设

有像素 R3、像素 G3、像素 B3、像素 R4、像素 G4、像素 B4；其中，每一栅线用于提供驱动信号，每一数据线用于提供极性连续翻转的电压信号。

[0027] 具体实施时，像素 R1 分别与第一栅线 31、第三栅线 33 和第一数据线 36 电连接；像素 G1 分别与第二栅线 32、第三栅线 33 和第一数据线 36 电连接；像素 B1 分别与第一栅线 31 和第一数据线 36 电连接；像素 R2 分别与第一栅线 31、第三栅线 33 和第二数据线 37 电连接；像素 G2 分别与第二栅线 32、第三栅线 33 和第二数据线 37 电连接；像素 B2 分别与第一栅线 31 和第二数据线 37 电连接；像素 R3 分别与第三栅线 33、第五栅线 35 和第一数据线 36 电连接；像素 G3 分别与第四栅线 34、第五栅线 35 和第一数据线 36 电连接；像素 B3 分别与第三栅线 33 和第一数据线 36 电连接；像素 R4 分别与第三栅线 33、第五栅线 35 和第二数据线 37 电连接；像素 G4 分别与第四栅线 34、第五栅线 35 和第二数据线 37 电连接；像素 B4 分别与第三栅线 33 和第二数据线 37 电连接。

[0028] 其中，像素 R1、像素 G1 和像素 B1 及各像素分别连接的栅线和数据线组成第一阵列基板子单元，即像素 R1、像素 G1 和像素 B1 以及第一栅线 31、第二栅线 32、第三栅线 33 和第一数据线 36 组成第一阵列基板子单元，像素 R2、像素 G2 和像素 B2 及各像素分别连接的栅线和数据线组成第二阵列基板子单元，即像素 R2、像素 G2 和像素 B2 以及第一栅线 31、第二栅线 31、第三栅线 33 和第二数据线 37 组成第二阵列基板子单元，第二阵列基板子单元与第一阵列基板子单元共用三条栅线，即第一栅线 31、第二栅线 32 和第三栅线 33；像素 R3、像素 G3 和像素 B3 及各像素分别连接的栅线和数据线组成第三阵列基板子单元，即像素 R3、像素 G3 和像素 B3 以及第三栅线 33、第四栅线 34、第五栅线 35 和第一数据线 36 组成第三阵列基板子单元，第三阵列基板子单元与第一阵列基板子单元之间共同第一数据线 36 和第三栅线 33；像素 R4、像素 G4 和像素 B4 及各像素分别连接的栅线和数据线组成第四阵列基板子单元，像素 R4、像素 G4 和像素 B4 以及第三栅线 33、第四栅线 34、第五栅线 35 和第二数据线 37 组成第四阵列基板子单元，第四阵列基板子单元与第三阵列基板子单元共用三条栅线，即第三栅线 33、第四栅线 34 和第五栅线 35，第四阵列基板子单元与第二阵列基板子单元共用第二数据线 37 和第三栅线 33；在每一阵列基板子单元内，每一像素通过开关分别与对应的栅线和数据线电连接，其中，各像素与其对应的栅线和数据线连接的开关可以但不限于为 TFT（薄膜晶体场效应管）。

[0029] 具体实施时，若每一像素通过 TFT 与对应的栅线和数据线连接时，如图 3 所示，其具体结构可以为：在第一阵列基板子单元内，像素 R1 通过第一 TFT 38 和第二 TFT 39 分别与第一栅线 31、第三栅线 33 和第一数据线 36 电连接，具体为：第一 TFT 38 的栅极与第三栅线 33 连接，第一 TFT 38 的漏极与第一栅线 31 连接，第一 TFT 38 的源极与第二 TFT 39 的栅极连接，第二 TFT 39 的漏极与第一数据线连接，第二 TFT 39 的源极与像素 R1 连接；像素 G1 通过第三 TFT 310 和第四 TFT 311 分别与第二栅线 32、第三栅线 33 和第一数据线电连接，具体为：第三 TFT 310 的栅极与第三栅线 33 连接，第三 TFT 310 的漏极与第二栅线 32 连接，第三 TFT 310 的源极与第四 TFT 311 的栅极连接，第四 TFT 311 的漏极与第一数据线连接，第四 TFT 311 的源极与像素 G1 连接；像素 B1 通过第五 TFT 312 与分别与第一栅线 31 和第一数据线电连接，具体为：第五 TFT 312 的栅极与第一栅线 31 连接，第五 TFT 312 的漏极与第一数据线连接，第五 TFT 312 的源极与像素 B1 连接；

[0030] 在第二阵列基板子单元内，像素 R2 通过第一 TFT 38 和第二 TFT 39 分别与第一栅

线 31、第三栅线 33 和第二数据线电连接,具体为:第一 TFT 38 的栅极与第三栅线 33 连接,第一 TFT 38 的漏极与第一栅线 31 连接,第一 TFT 38 的源极与第二 TFT 39 的栅极连接,第二 TFT 39 的漏极与第二数据线连接,第二 TFT 39 的源极与像素 R2 连接;像素 G2 通过第三 TFT 310 和第四 TFT 311 分别与第二栅线 32、第三栅线 33 和第二数据线电连接,具体为:第三 TFT 310 的栅极与第三栅线 33 连接,第三 TFT 310 的漏极与第二栅线 32 连接,第三 TFT 310 的源极与第四 TFT 311 的栅极连接,第四 TFT 311 的漏极与第二数据线连接,第四 TFT 311 的源极与像素 G2 连接;像素 B2 通过第五 TFT 312 与分别与第一栅线 31 和第二数据线电连接,具体为:第五 TFT 312 的栅极与第一栅线 31 连接,第五 TFT 312 的漏极与第二数据线连接,第五 TFT 312 的源极与像素 B2 连接;

[0031] 在第三阵列基板子单元内,像素 R3 通过第一 TFT38 和第二 TFT39 分别与第三栅线 33、第五栅线 35 和第一数据线电连接,具体为:第一 TFT38 的栅极与第五栅线 35 连接,第一 TFT38 的漏极与第三栅线 33 连接,第一 TFT38 的源极与第二 TFT39 的栅极连接,第二 TFT39 的漏极与第一数据线连接,第二 TFT39 的源极与像素 R3 连接;像素 G3 通过第三 TFT310 和第四 TFT311 分别与第四栅线 34、第五栅线 35 和第一数据线 36 电连接,具体为:第三 TFT 310 的栅极与第五栅线 35 连接,第三 TFT 310 的漏极与第四栅线 34 连接,第三 TFT 310 的源极与第四 TFT 311 的栅极连接,第四 TFT 311 的漏极与第一数据线 36 连接,第四 TFT 311 的源极与像素 G3 连接;像素 B3 通过第五 TFT 312 与分别与第三栅线 33 和第一数据线 36 电连接,具体为:第五 TFT 312 的栅极与第三栅线 33 连接,第五 TFT 312 的漏极与第一数据线 36 连接,第五 TFT 312 的源极与像素 B3 连接;

[0032] 在第四阵列基板子单元内,像素 R4 通过第一 TFT 38 和第二 TFT 39 分别与第三栅线 33、第五栅线 35 和第二数据线 37 电连接,具体为:第一 TFT 38 的栅极与第五栅线 35 连接,第一 TFT 38 的漏极与第三栅线 33 连接,第一 TFT38 的源极与第二 TFT 39 的栅极连接,第二 TFT 39 的漏极与第二数据线 37 连接,第二 TFT 39 的源极与像素 R4 连接;像素 G4 通过第三 TFT 310 和第四 TFT311 分别与第四栅线 34、第五栅线 35 和第二数据线 37 电连接,具体为:第三 TFT 310 的栅极与第五栅线 35 连接,第三 TFT 310 的漏极与第四栅线 34 连接,第三 TFT 310 的源极与第四 TFT 311 的栅极连接,第四 TFT 311 的漏极与第二数据线 37 连接,第四 TFT 311 的源极与像素 G4 连接;像素 B4 通过第五 TFT312 与分别与第三栅线 33 和第二数据线 37 电连接,具体为:第五 TFT 312 的栅极与第三栅线 33 连接,第五 TFT 312 的漏极与第二数据线 37 连接,第五 TFT 312 的源极与像素 B4 连接。

[0033] 如图 4 所示,为本实用新型实施例中,各栅线提供的驱动信号的波形示意图,其中,在时刻 1 到达时,第一栅线 31、第三栅线 33 为高电平,其余栅线为低电平,这样,第一数据线 36 对像素 R1 和像素 B1 进行充电,第二数据线 37 对像素 R2 和像素 B2 进行充电,假设对像素 R1 需要的电压为 8V,而对像素 B1 需要的电压为 16V,这样,在时刻 1 对像素 B1 的充电为预充电,待下次为像素 B1 充电时,从 8V 开始即可;同理,在时刻 1 对像素 B2 的充电为预充电,待下次为像素 B1 充电时,从 8V 开始即可;在时刻 2 内,第二栅线 32、第三栅线 33 处于高电平,第一数据线 36 对 G1 充电,第二数据线 37 对像素 G2 充电;在时刻 3 内,第一栅线 31 处于高电平,第一数据线 36 为 B1 充电,第二数据线 37 为像素 B3 充电,依次类推,各栅线根据接收到的驱动信号的高低电平控制各数据线在时刻 4、时刻 5、时刻 6、时刻 7 以及时刻 8 为各像素进行充电。

[0034] 具体实施时,预设数量的本实用新型提供的阵列基板单元可以组成阵列基板,该阵列基板可以用于彩膜基板以及填充与彩膜基板和阵列基板之间的液晶组成液晶面板,而液晶面板与背光源以及用于向液晶面板提供控制信号的集成电路板可以组成液晶显示装置,上述各装置中,除了阵列基板单元采用本实用新型提供的阵列基板单元以外,其余部分结构与现有技术相同,这里不再赘述。

[0035] 本实用新型提供的阵列基板单元、阵列基板、液晶显示面板及液晶显示装置,包括4个阵列基板子单元,各阵列基板子单元在水平方向和垂直方向上两两对称排列,其中:每一阵列基板子单元内包括3个像素、以及与3个像素电连接的一条数据线和三条栅线;且水平排列的两个阵列基板子单元共用三条栅线,垂直排列的两个阵列基板子单元共用一条数据线和其中一条栅线,这样,本实用新型提供的阵列基板单元包括5条栅线和2条数据线,其与Dual Gate驱动方式下的阵列基板单元相比,减少了1条数据线,与Triple Gate驱动方式下的阵列基板单元相比,减少了一条栅线,由于每一液晶面板包含数百个阵列基板单元,从而,有效减少了液晶面板生产过程中COF的使用数量。

[0036] 显然,本领域的技术人员可以对本实用新型进行各种改动和变型而不脱离本实用新型的精神和范围。这样,倘若本实用新型的这些修改和变型属于本实用新型权利要求及其等同技术的范围之内,则本实用新型也意图包含这些改动和变型在内。

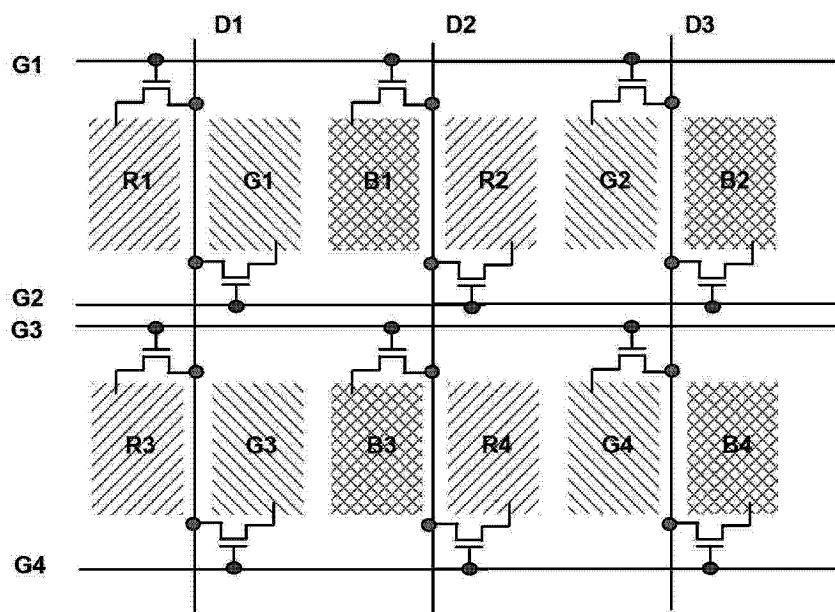


图 1

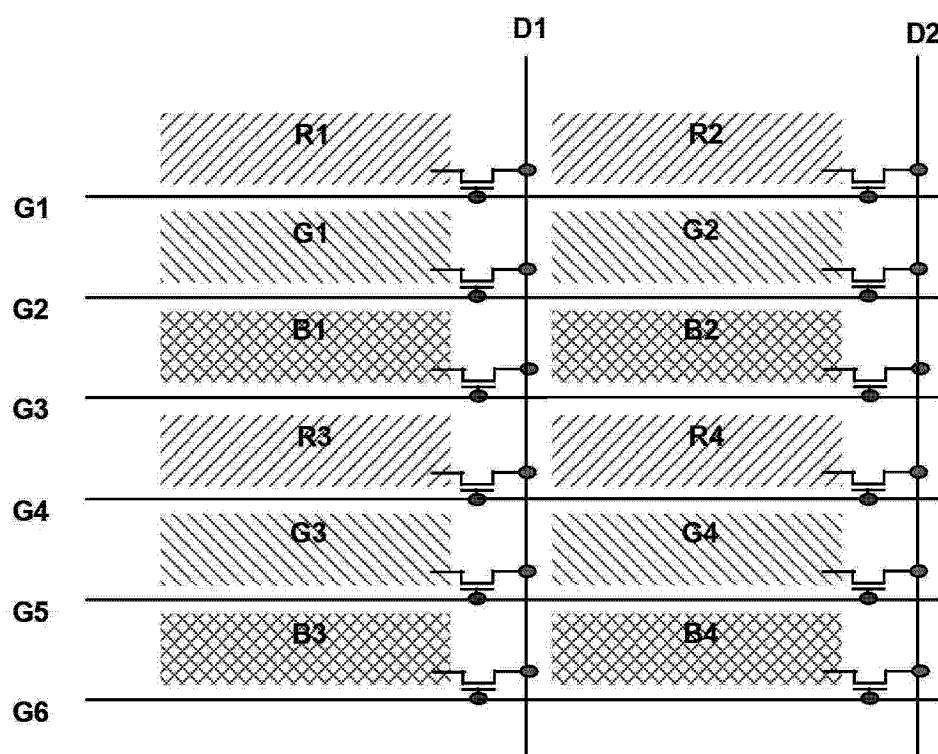


图 2

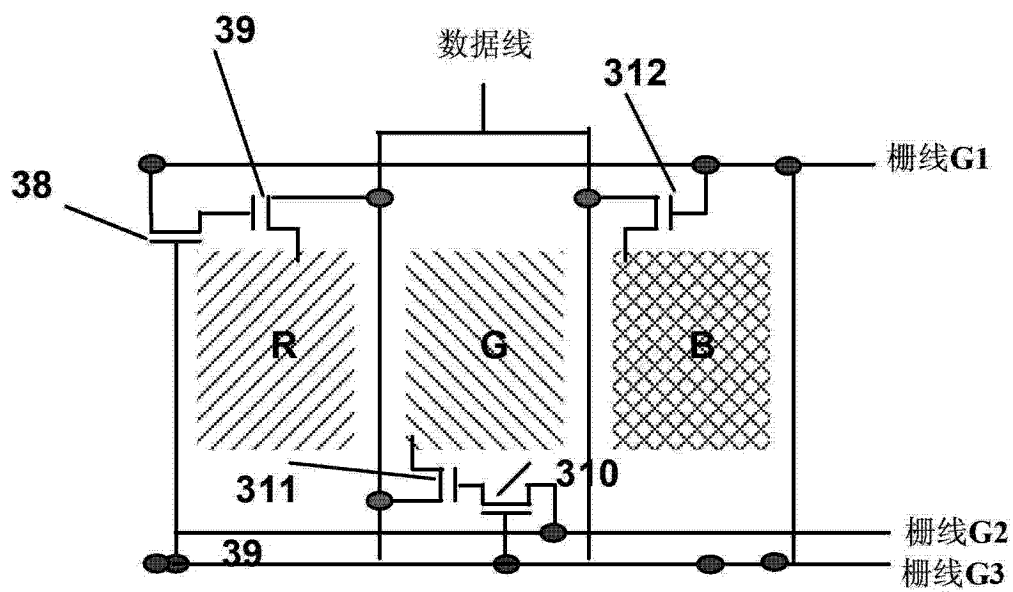


图 3a

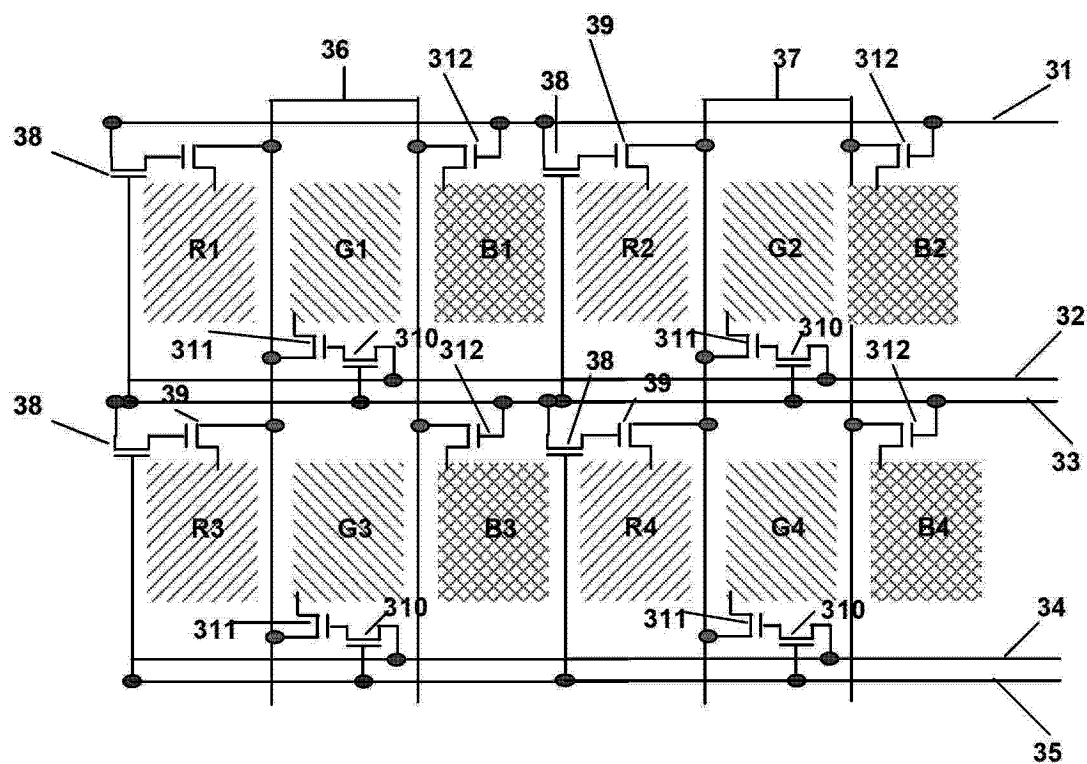


图 3b

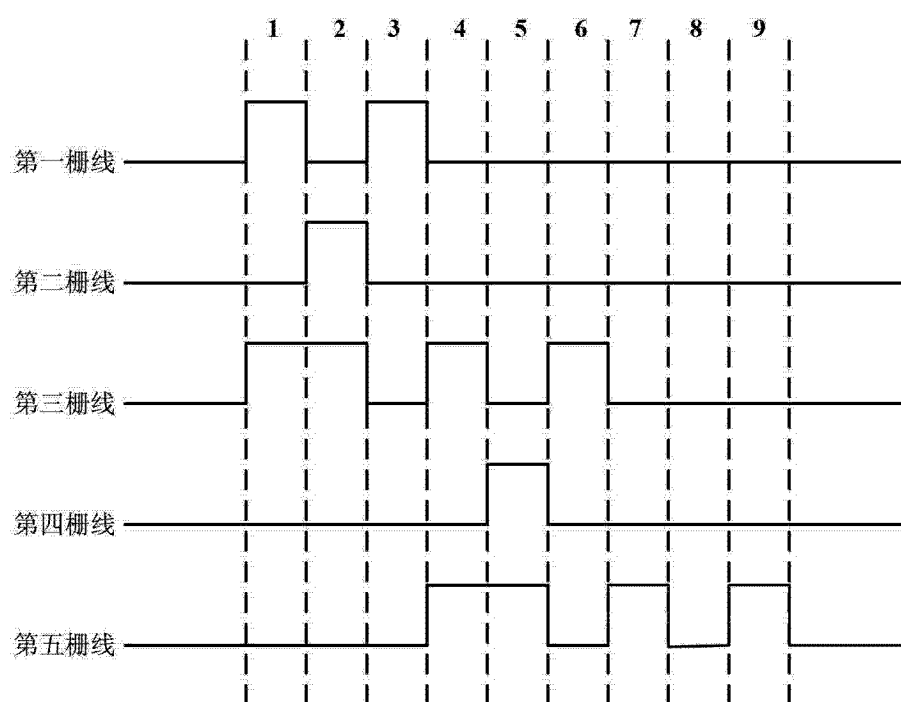


图 4

专利名称(译)	阵列基板单元、阵列基板、液晶显示面板及液晶显示装置		
公开(公告)号	CN202710889U	公开(公告)日	2013-01-30
申请号	CN201220367115.0	申请日	2012-07-26
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
[标]发明人	王宝强		
发明人	王宝强		
IPC分类号	G02F1/1362 G02F1/1368		
CPC分类号	G02F1/136286 G02F1/13624		
代理人(译)	黄志华		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型公开了一种阵列基板单元、阵列基板、液晶显示面板及液晶显示装置，用以减少液晶面板生产过程中COF数量。其中，阵列基板单元包括包括横向排列的、用于提供驱动信号的栅线以及纵向排列的、用于提供极性连续翻转的电压信号的数据线，其特征在于，包括4个阵列基板子单元，各阵列基板子单元在水平方向和垂直方向上两两对称排列，其中：每一阵列基板子单元内包括3个像素、以及与3个像素电连接的一条数据线和三条栅线；且水平排列的两个阵列基板子单元共用栅线，垂直排列的两个阵列基板子单元共用数据线和其中一条栅线。

