



(12)发明专利申请

(10)申请公布号 CN 111381406 A
(43)申请公布日 2020.07.07

(21)申请号 201811639002.X

(22)申请日 2018.12.29

(71)申请人 咸阳彩虹光电科技有限公司
地址 712000 陕西省咸阳市秦都区高科一路一号

(72)发明人 胡佳乔 吴永良 陈宥焯

(74)专利代理机构 西安嘉思特知识产权代理事务所(普通合伙) 61230
代理人 郝梦玲

(51) Int. Cl.
G02F 1/1362(2006.01)
G02F 1/1343(2006.01)

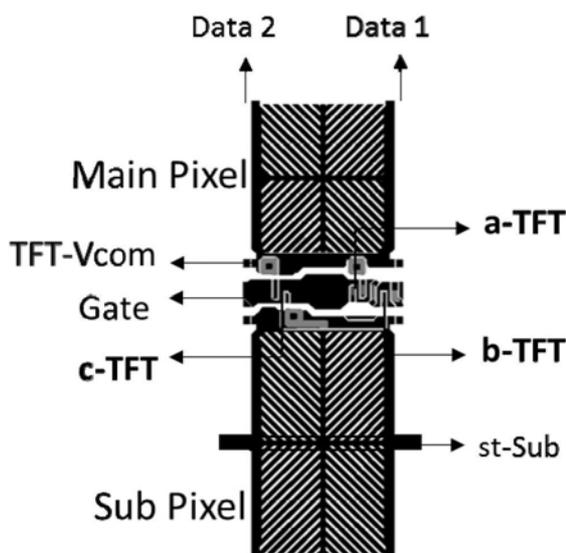
权利要求书1页 说明书6页 附图3页

(54)发明名称

一种像素单元、像素阵列及其液晶面板

(57)摘要

本发明涉及一种像素单元、像素阵列及其液晶面板,所述像素单元包括第一开关,第二开关和第三开关,所述第一开关、所述第二开关与同一条数据线和同一条扫描线电性连接,所述第三开关与所述第二开关并接,且所述第三开关与所述同一条扫描线电性连接;主像素电极,与所述第一开关电性连接;亚像素电极,与所述第二开关和所述第三开关电性连接;耦合电极,与所述第二开关和所述第三开关电性连接;所述第三开关还与共通线电性连接。本发明通过增加第三开关,并将第三开关和第二开关并联,从而提高第二存储电容的充放电速度,第二存储电容的电荷释放能力增强,可以改善残像。



1. 一种像素单元,其特征在于,包括:

第一开关,第二开关和第三开关,所述第一开关、所述第二开关与同一条数据线和同一条扫描线电性连接,所述第三开关与所述第二开关并接,且所述第三开关与所述同一条扫描线电性连接;

主像素电极,与所述第一开关电性连接;

亚像素电极,与所述第二开关和所述第三开关电性连接;

耦合电极,与所述第二开关和所述第三开关电性连接;

所述第三开关还与共通线电性连接。

2. 根据权利要求1所述的像素单元,其特征在于,所述像素单元还包括:

第一电容电极,与所述主像素电极一起构成第一存储电容;

第二电容电极,与所述亚像素电极一起构成第二存储电容。

3. 根据权利要求2所述的像素单元,其特征在于,所述像素单元还包括:

主像素耦合电容,一端与所述主像素电极电性连接,另一端与所述其中一条共通线电性连接;

亚像素耦合电容,一端与所述亚像素电极电性连接,另一端与所述其中一条共通线电性连接。

4. 一种像素阵列,其特征在于,包括

多条扫描线;

多条数据线,与所述多条扫描线交错,所述多条扫描线和所述多条数据线定义出多个像素区域;

多个如权利要求1-3任一项所述的像素单元,分别配置于对应的所述多个像素区域中,任一个所述像素单元与其中一条扫描线以及其中一条数据线电性连接;

多条共通线,其中一条共通线与所述第三开关电性连接;

多条耦合线,其中一条耦合线与所述耦合电极构成耦合电容。

5. 根据权利要求4所述的像素阵列,其特征在于,所述第一开关为第一薄膜晶体管,所述第一薄膜晶体管的栅极与其中一条扫描线电性连接,所述第一薄膜晶体管的源极与其中一条数据线电性连接,所述第一薄膜晶体管的漏极与所述主像素电极电性连接。

6. 根据权利要求5所述的像素阵列,其特征在于,所述第二开关为第二薄膜晶体管,所述第二薄膜晶体管的栅极与其中一条扫描线电性连接,所述第二薄膜晶体管的源极与其中一条数据线电性连接,所述第二薄膜晶体管的漏极与所述第三开关及所述亚像素电极电性连接。

7. 根据权利要求6所述的像素阵列,其特征在于,所述第三开关为第三薄膜晶体管,所述第三薄膜晶体管的栅极与其中一条扫描线电性连接,所述第三薄膜晶体管的源极与其中一条共通线电性连接,所述第三薄膜晶体管的漏极与所述第二薄膜晶体管的漏极和所述亚像素电极。

8. 根据权利要求4所述的像素阵列,其特征在于,所述耦合线与耦合驱动器连接,所述耦合驱动器用于控制所述耦合电容的驱动时序。

9. 一种液晶面板,其特征在于,包括如权利要求4-8任一项所述的像素阵列。

一种像素单元、像素阵列及其液晶面板

技术领域

[0001] 本发明涉及液晶显示屏领域,具体涉及一种像素单元、像素阵列及其液晶面板。

背景技术

[0002] 液晶显示器(Liquid Crystal Display,LCD)具有机身薄、省电、无辐射等众多优点,得到了广泛的应用,如:液晶电视、移动电话、个人数字助理(PDA)、数码相机、计算机屏幕或笔记本电脑屏幕等,在平板显示领域中占主导地位。

[0003] 目前主流的液晶显示面板是由一片薄膜晶体管阵列基板(Thin Film Transistor Array Substrate,TFT Array Substrate)与一片彩色滤光片(Color Filter,CF)基板贴合而成,且在TFT基板与CF基板之间灌入液晶。通过通电与否来控制液晶分子改变方向,将背光模组的光线折射出来产生画面。

[0004] 其中,CF基板一侧具有多个呈阵列式排布的像素单元,每一像素单元包括红色子像素、绿色子像素、蓝色子像素,黑色矩阵(Black Matrix,BM)分布于每一子像素的外围,用于遮光。CF基板上对应于红、绿、蓝三色的光阻区以及对应于黑色矩阵的遮光区的面积大小直接影响液晶显示器的开口率和对比度,从而影响液晶显示器整体的显示质量。开口率是液晶显示面板的一个重要的参数,指的是液晶显示面板的有效透光区域与全部面积的比例。当光线经由背光模组发射出来时,并不是所有的光线都能穿过液晶显示面板:对于TFT基板而言,液晶显示面板源极驱动芯片及栅极驱动芯片所用的信号走线、储存电压用的储存电容等,这些地方除了不完全透光外,经过这些地方的光线并不受电压的控制,所以需要利用黑色矩阵加以遮蔽;对于CF基板而言,透光区主要为红、绿、蓝子像素对应的光阻区,而黑色矩阵则为遮光区,主要是用来防止各子像素红、绿、蓝光阻的混色,以提高面板的对比值。

[0005] 在液晶显示屏中,每个TFT开关的栅极连接至水平方向的扫描线,源极连接至垂直方向的数据线,而漏极连接至液晶像素电极和存储电容。显示屏一次只启动一条栅极扫描线,以将相应一行的TFT开关打开。垂直方向的数据线送入对应的视频信号,对液晶存储电容充电至适当的电压,用于显示对应行的图像。

[0006] 由于不同视野角下液晶分子的折射率存在各向异性,导致了RGB像素亮度差异,最终形成了色偏。CC Type(Capacitance Coupling Type,电容耦合技术)是常见的8畴显示设计方式。现有的CC Type技术如图1-图2所示,将连接a-TFT开关的金属像素电极与ITO悬浮电极通过接触孔连接,形成主像素main pixel,将连接b-TFT开关的金属像素电极与ITO悬浮电极通过接触孔连接,形成更低电位的亚像素sub pixel,主像素上通过一个金属电极形成st-Main,亚像素上通过一个金属电极形成st-Sub,ITO悬浮电极电压的大小与上下电容的比值有关,同时亚像素的电位受b-TFT的控制。该种设计结构中,像素阵列中具有两条金属电极,使得像素的开口率降低。进一步的,亚像素受到ITO悬浮电极电位的影响,使得电荷释放能力较低,容易出现残像。

[0007] 因此,有必要提供一种新的更有效的解决色偏问题的技术方案。

发明内容

[0008] 为了解决现有技术中存在的上述问题,本发明提供了一种像素单元、像素阵列及其液晶面板。本发明要解决的技术问题通过以下技术方案实现:

[0009] 本发明实施例提供一种像素单元,包括:

[0010] 第一开关,第二开关和第三开关,所述第一开关、所述第二开关与同一条数据线和同一条扫描线电性连接,所述第三开关与所述第二开关并接,且所述第三开关与所述同一条扫描线电性连接;

[0011] 主像素电极,与所述第一开关电性连接;

[0012] 亚像素电极,与所述第二开关和所述第三开关电性连接;

[0013] 耦合电极,与所述第二开关和所述第三开关电性连接;

[0014] 所述第三开关还与共通线电性连接。

[0015] 在一个具体的实施例中,所述像素单元还包括:

[0016] 第一电容电极,与所述主像素电极一起构成第一存储电容;

[0017] 第二电容电极,与所述亚像素电极一起构成第二存储电容。

[0018] 在一个具体的实施例中,所述像素单元还包括:

[0019] 主像素耦合电容,一端与所述主像素电极电性连接,另一端与所述其中一条共通线电性连接;

[0020] 亚像素耦合电容,一端与所述亚像素电极电性连接,另一端与所述其中一条共通线电性连接。

[0021] 本发明另一实施例还提供一种像素阵列,包括

[0022] 多条扫描线;

[0023] 多条数据线,与所述多条扫描线交错,所述多条扫描线和所述多条数据线定义出多个像素区域;

[0024] 多个如上述任一项所述的像素单元,分别配置于对应的所述多个像素区域中,任一所述像素单元与其中一条扫描线以及其中一条数据线电性连接;

[0025] 多条共通线,其中一条共通线与所述第三开关电性连接;

[0026] 多条耦合线,其中一条耦合线与所述耦合电极构成耦合电容。

[0027] 在一个具体的实施例中,所述第一开关为第一薄膜晶体管,所述第一薄膜晶体管的栅极与其中一条扫描线电性连接,所述第一薄膜晶体管的源极与其中一条数据线电性连接,所述第一薄膜晶体管的漏极与所述主像素电极电性连接。

[0028] 在一个具体的实施例中,所述第二开关为第二薄膜晶体管,所述第二薄膜晶体管的栅极与其中一条扫描线电性连接,所述第二薄膜晶体管的源极与其中一条数据线电性连接,所述第二薄膜晶体管的漏极与所述第三开关及所述亚像素电极电性连接。

[0029] 在一个具体的实施例中,所述第三开关为第三薄膜晶体管,所述第三薄膜晶体管的栅极与其中一条扫描线电性连接,所述第三薄膜晶体管的源极与其中一条共通线,所述第三薄膜晶体管的漏极与所述第二薄膜晶体管的漏极和所述亚像素电极电性连接。

[0030] 在一个具体的实施例中,所述耦合线与耦合驱动器连接,所述耦合驱动器用于控制所述耦合电容的驱动时序。

[0031] 本发明另一实施例还提供一种液晶面板,包括上述任一项所述的像素阵列。

[0032] 与现有技术相比,本发明的有益效果:

[0033] 1、本发明提供了一种像素单元,通过设置第一开关、第二开关和第三开关,并将第三开关和第二开关并联,从而提高第二存储电容的充放电速度,第二存储电容的电荷释放能力增强,可以改善残像。

[0034] 2、耦合电极的驱动通过耦合线控制,耦合线的电压来自于外部自由控制端,也即耦合电极可以根据设计所需进行调整,增加了设计空间。

[0035] 3、利用第三开关和第二开关并联分压,以及与第三开关和第二开关连接节点相连的耦合电容共同控制第二存储电容的充电电压,可以使亚像素的电压调节更加灵活。

附图说明

[0036] 图1为现有技术中的像素阵列的结构示意图;

[0037] 图2为现有技术中的驱动电路示意图;

[0038] 图3为本发明实施例提供的像素阵列的结构示意图;

[0039] 图4为本发明实施例提供的驱动电路示意图;

[0040] 图5为本发明实施例提供的V-T曲线图。

具体实施方式

[0041] 在以下的叙述中,为了使读者更好地理解本申请而提出了许多技术细节。但是,本领域的普通技术人员可以理解,即使没有这些技术细节和基于以下各实施方式的种种变化和修改,也可以实现本申请所要求保护的技术方案。

[0042] 为使本发明的目的、技术方案和优点更加清楚,下面结合具体实施例对本发明做进一步详细的描述,但本发明的实施方式不限于此。

[0043] 如图3-图4所示,图3为本发明实施例提供的像素阵列的结构示意图;图4为本发明实施例提供的驱动电路示意图;本实施例的像素阵列包括交叉且绝缘设置的多条扫描线10(i)和多条数据线20(j),扫描线10(i)和数据线20(j)交叉位置处限定出像素区域,多个像素单元30配置在像素区域中;像素阵列还包括多条共通线40(i)以及多条耦合线50(i),像素单元30与其中一条扫描线10(i)、其中一条数据线20(j)、其中一条共通线40(i)以及其中一条耦合线50(i)电性连接,其中,i,j都为自然数,多条共通线40(i)可彼此连接;多个像素单元30排列成多行,且排列在同一行的像素单元与同一条扫描线以及同一条耦合线电性连接,也即扫描线10(i)、共通线40(i)以及耦合线50(i)分别与排列于第i行的像素单元30电性连接;进一步的,数据线20(j)则与排列在j列的像素单元30电性连接,扫描线10(i)、共通线40(i)以及耦合线50(i)彼此电性绝缘。

[0044] 在本实施例中,扫描线10(i)、共通线40(i)以及耦合线50(i)的延伸方向实质上平行,而数据线20(j)的延伸方向则垂直于扫描线10(i)的延伸方向。

[0045] 进一步的,如图3所示,像素单元包括第一开关a-TFT,第二开关b-TFT和第三开关c-TFT,主像素电极、亚像素电极和耦合电极,第一开关a-TFT、第二开关b-TFT与同一条数据线和同一条扫描线电性连接;第一开关a-TFT和主像素电极电性连接,第二开关b-TFT和亚像素电极电性连接,第三开关c-TFT和第二开关b-TFT并联后与亚像素电极电性连接,第三开关c-TFT和第二开关b-TFT的连接节点还连接有耦合电极,第三开关c-TFT还与其中一条

共通线TFT-Vcom电性连接,共通线TFT-Vcom向第三开关c-TFT提供电压。

[0046] 进一步的,第一电容电极和主像素电极构成第一存储电容,第一开关a-TFT用于向第一存储电容充电;第二电容电极和亚像素电极构成第二存储电容,亚像素电极连接至第二开关b-TFT和第三开关c-TFT的连接节点,因此第二开关b-TFT和第三开关c-TFT一起用于向第二存储电容充电;耦合电极和耦合线构成耦合电容,耦合电极与第二开关b-TFT和第三开关c-TFT的连接节点电性连接,因此,第二开关b-TFT和第三开关c-TFT还用于向耦合电容充电。

[0047] 具体的实际应用时,数据线导通后,扫描线和共通线TFT-Vcom同时导通;此时数据线和扫描线交叉点的像素单元的驱动过程如下:

[0048] 第一开关a-TFT导通,向第一存储电容充电;主像素电压通过数据线和扫描线控制;

[0049] 第三开关c-TFT和第二开关b-TFT导通,向第二存储电容和耦合电容充电,耦合电容和耦合线连接,耦合线的电压为外部加载电压,与扫描线电压没有相关性,因此第二存储电容与耦合电容的充电时长受到耦合线的影响,也即亚像素电压需要通过数据线data、扫描线gate、共通线TFT-Vcom和耦合线st-Sub共同决定;该种设计方式,一方面能够满足亚像素的液晶驱动,另一方面能够避免亚像素液晶充放电速度减慢。

[0050] 具体的,本发明实施例中,第二开关b-TFT和第三开关c-TFT并联分压的原理如式1和图5所示,

$$[0051] \quad V_{\text{Sub}} = \int_0^{T_{\text{gate}}} \frac{I_{\text{data}}}{C_{\text{total}}} dt + \int_0^{T_{\text{gate}}} \frac{I_{\text{Vcom}}}{C_{\text{total}}} dt + \Delta V_{\text{st-Sub}} \times \left(\frac{C_X}{C_{\text{st-Sub}} + C_{\text{lc-Sub}} + C_X} \right) \text{式 1}$$

[0052] 其中, V_{Sub} 是亚像素电压, T_{gate} 是gate关闭的时间点, I_{data} 是data电流, C_{total} 是像素总电容, I_{Vcom} 是共通线电流, $\Delta V_{\text{st-Sub}}$ 是耦合线的电压差, C_X 是st_sub与CF-Vcom形成的耦合电容, $C_{\text{st-Sub}}$ 是耦合线与亚像素形成的耦合电容, $C_{\text{lc-sub}}$ 是亚像素的液晶电容

$$[0053] \quad \int_0^{T_{\text{gate}}} \frac{I_{\text{data}}}{C_{\text{total}}} dt \text{ 表示第二开关b-TFT的充电电压;}$$

$$[0054] \quad \int_0^{T_{\text{gate}}} \frac{I_{\text{Vcom}}}{C_{\text{total}}} dt \text{ 表示第三开关c-TFT的充电电压;}$$

$$[0055] \quad \Delta V_{\text{st-Sub}} \times \left(\frac{C_X}{C_{\text{st-Sub}} + C_{\text{lc-Sub}} + C_X} \right) \text{ 表示耦合对亚像素电压差的影响。}$$

[0056] 如图5所示,数据线、扫描线以及共通线提供电位信号,在第N帧时刻,扫描线提供电位信号,亚像素电极开始充电,如虚线所示,由于受到b-TFT和c-TFT的并联作用,亚像素电极的电位从a点降至b点,扫描线关闭时,受到馈通电压的影响,亚像素电极的电位降低至c点,并保持该电位状态,直至耦合电容打开,耦合电容打开时,亚像素电极的电位的受到耦合电容的影响,电位上升至d点并保持到第N+1帧。

[0057] 在第N+1帧时,数据线提供与前一帧极性相反电位信号,由于受到b-TFT和c-TFT的并联作用,在Gate打开时像素电压从虚线所示变为实线所示,电压降至e点,扫描线关闭时,受到馈通电压的影响,亚像素电极的电位降至f点,并保持该电位状态,直至耦合电容打开,

耦合电容打开时,亚像素电极的电位的受到耦合电容的影响,电位上升至g点并保持到下一帧。

[0058] b-TFT和c-TFT共同用于向第二存储电容的充电,提高了充电速度,相应的,在释放电荷时,第二存储电容的放电速度也得到了提高。

[0059] 并且,耦合电容和耦合线连接,耦合电容的驱动时序是可以根据需要自由设计的,具体的,耦合线上加载的电位由耦合驱动器控制,耦合驱动器用于控制耦合电容的驱动时序以及电位大小。例如:当耦合线上加载的电位高于扫描线的电位时,耦合电容起到拉高电位的作用,延长第二存储电容的充电过程,当耦合线上加载的电位低于扫描线提供的电位时,耦合电容起到拉低电位的作用,缩短第二存储电容的充电过程;

[0060] 对应的,在释放电荷时,耦合线上加载的电位高于扫描线的电位,那么放电过程延长,当耦合线上加载的电位低于扫描线,或者当耦合线上加载的电位处于极低状态时,能够提高第二存储电容的电荷释放速度,从而提高亚像素的反应速度,改善色偏问题。

[0061] 需要说明的是,耦合电容的驱动时序是可以根据需要自由设计的,还包括在耦合线上不加载任何电压,也就是说,耦合电容可以处于不对亚像素电位进行调节的状态,进一步的,耦合电容的调节时间是可以自由设计的,什么时候工作,什么时候不工作均由耦合驱动器控制;进一步的,耦合电容的压差大小可以根据实际需求进行调节,并且,耦合电容对亚像素的影响可以是正向的也可以是负向的,即工作时既可以使第二存储电容充放电速度加快,也可以使其减慢,增加了耦合线的设计空间。

[0062] 进一步的,本发明实施例相比于现有技术,只在亚像素上设计耦合电极,减去了现有技术中主像素的耦合电极,提高了像素的开口率。

[0063] 进一步的,像素单元还包括主像素耦合电容和亚像素耦合电容,主像素耦合电容的一端与第一开关a-TFT电性连接,另一端和共通线电性连接;亚像素耦合电容的一端与第二开关b-TFT和第三开关c-TFT电性连接,另一端和共通线电性连接。主像素耦合电容和亚像素耦合电容,是第一存储电容和第二存储电容在充电过程中的必然结果,但是将主像素耦合电容和亚像素耦合电容与共通线连接,共通线提供一个稳定的电压,因此,主像素耦合电容和亚像素耦合电容的电压漂移较小,能够起到稳定电压的作用。在一个优选的实施例中,第一开关a-TFT为第一薄膜晶体管,第一薄膜晶体管具有与扫描线连接的栅极,与数据线连接的源极和与主像素电极连接的漏极;第二开关b-TFT为第二薄膜晶体管,具有与扫描线连接的栅极,与数据线连接的源极和与第三开关c-TFT、耦合电极和亚像素电极连接的漏极;第三开关c-TFT为第三薄膜晶体管,具有与扫描线连接的栅极,与共通线连接的源极和与第二薄膜晶体管的漏极及亚像素电极连接的漏极。

[0064] 需要说明的是,本实施例中像素单元包括主像素区和亚像素区,主像素电极和多组第一狭缝定义出第一显示区,亚像素电极和多组第二狭缝定义出第二显示区,多个第一显示区和多个第二显示区使得像素单元具有广视角特性。如图3所示,主像素区具有四个第一显示区,亚像素区具有四个第二显示区,因此,一个像素单元具有8个显示区,能够改善色偏问题。

[0065] 本发明实施例还提供过一种液晶面板,该液晶面板包括上述实施例所提供的像素阵列,应用了上述像素阵列的液晶面板能够较好地改善色偏和残像问题,具有较好的视觉体验。

[0066] 需要说明的是,在本申请文件中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。本专利的申请文件中,如果提到根据某要素执行某行为,则是指至少根据该要素执行该行为的意思,其中包括了两种情况:仅根据该要素执行该行为、和根据该要素和其它要素执行该行为。

[0067] 以上内容是结合具体的优选实施方式对本发明所作的进一步详细说明,不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干简单推演或替换,都应当视为属于本发明的保护范围。

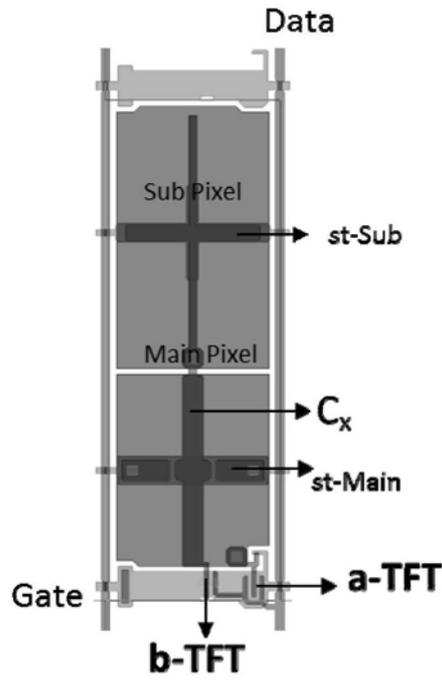


图1

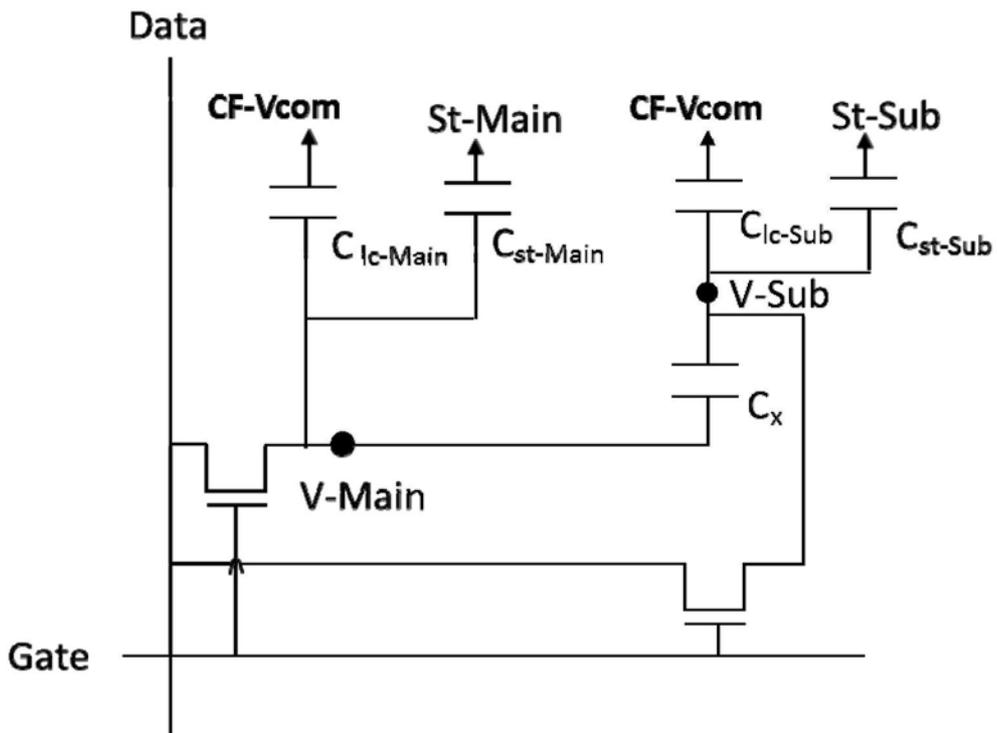


图2

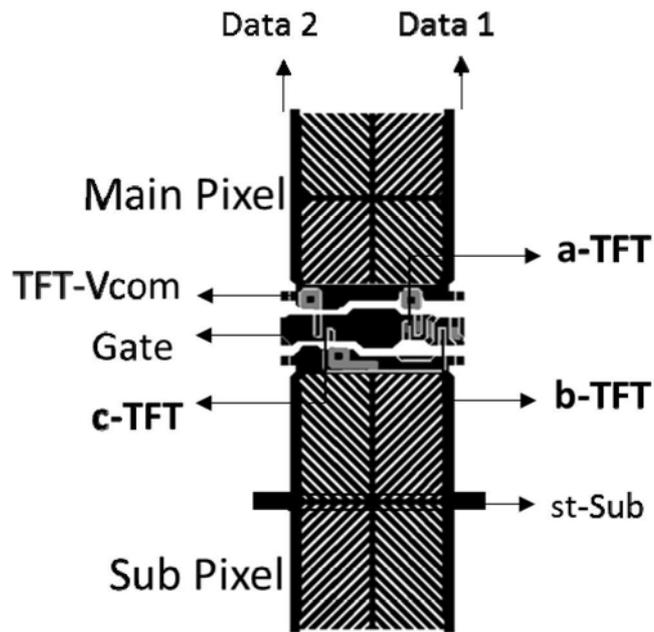


图3

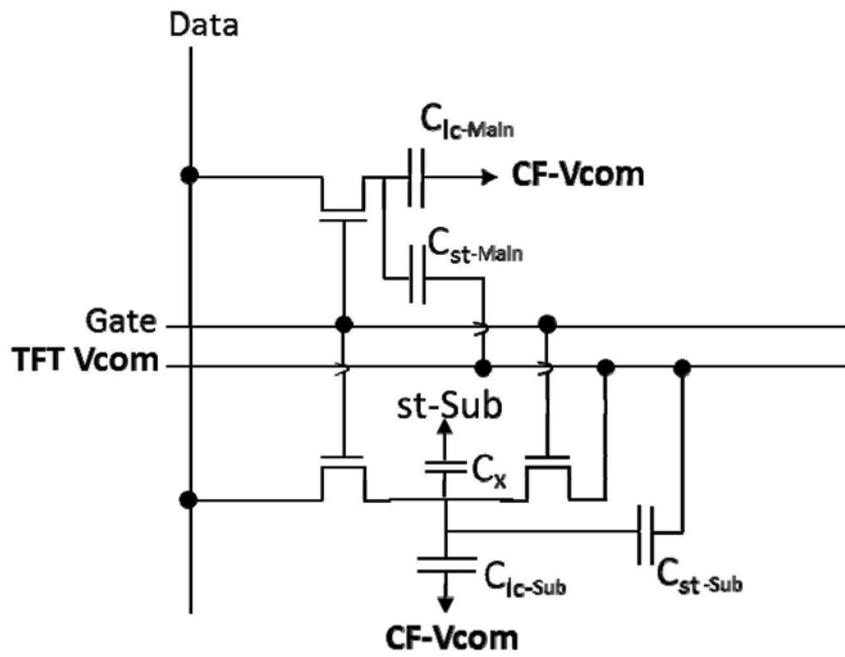


图4

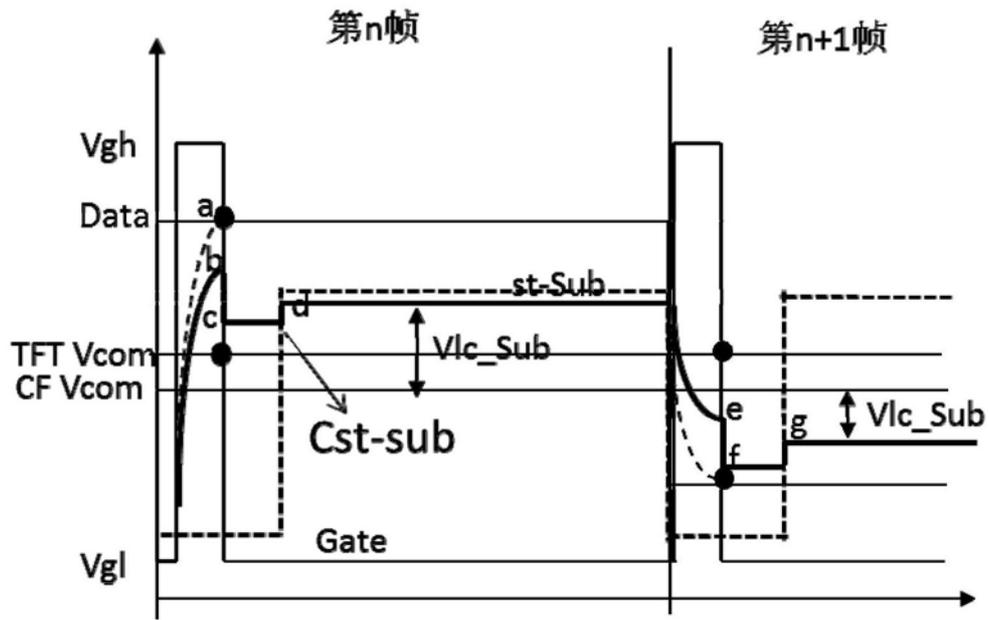


图5

专利名称(译)	一种像素单元、像素阵列及其液晶面板		
公开(公告)号	CN111381406A	公开(公告)日	2020-07-07
申请号	CN201811639002.X	申请日	2018-12-29
[标]发明人	胡佳乔 吴永良 陈宥烨		
发明人	胡佳乔 吴永良 陈宥烨		
IPC分类号	G02F1/1362 G02F1/1343		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种像素单元、像素阵列及其液晶面板，所述像素单元包括第一开关，第二开关和第三开关，所述第一开关、所述第二开关与同一条数据线和同一条扫描线电性连接，所述第三开关与所述第二开关并联，且所述第三开关与所述同一条扫描线电性连接；主像素电极，与所述第一开关电性连接；亚像素电极，与所述第二开关和所述第三开关电性连接；耦合电极，与所述第二开关和所述第三开关电性连接；所述第三开关还与共通线电性连接。本发明通过增加第三开关，并将第三开关和第二开关并联，从而提高第二存储电容的充放电速度，第二存储电容的电荷释放能力增强，可以改善残像。

