



(12)发明专利申请

(10)申请公布号 CN 110727151 A

(43)申请公布日 2020.01.24

(21)申请号 201911026097.2

(22)申请日 2019.10.25

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 北京京东方显示技术有限公司

(72)发明人 张英豪 王谦 张夺 路永全
孙冬雪 江峰 张旭茹 张炜檬
张彦杰

(74)专利代理机构 北京三高永信知识产权代理
有限责任公司 11138
代理人 杨广宇

(51)Int.Cl.
G02F 1/1362(2006.01)
G02F 1/1368(2006.01)
G09G 3/36(2006.01)

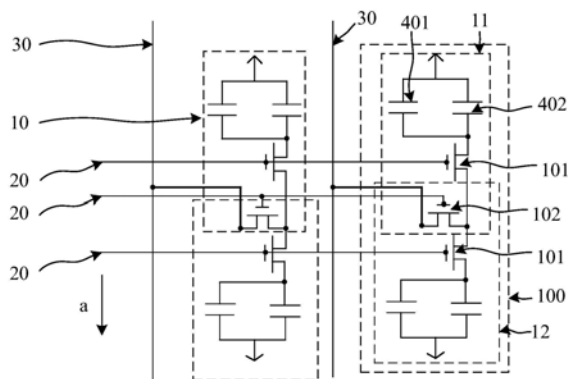
权利要求书2页 说明书9页 附图6页

(54)发明名称

阵列基板、显示面板、显示装置及驱动方法

(57)摘要

本公开是关于一种阵列基板、显示面板、显示装置及驱动方法,属于显示器领域。所述阵列基板包括阵列布置的多个子像素单元,每一列的子像素单元分成多组,每组包括相邻设置的两个子像素单元。每个子像素单元包括N个单独控制的TFT,每组中的两个子像素单元包括M个共用的TFT。每个子像素单元中的N个单独控制的TFT与M个共用的TFT串联,且N和M均为正整数。减少了子像素单元中TFT的数量,可以减少每个子像素单元的面积,提高分辨率。同时也可以减少阵列基板中的漏电流,延长液晶保持时间。



1. 一种阵列基板,其特征在于,所述阵列基板包括阵列布置的多个子像素单元,每一列所述子像素单元分成多组,每组所述子像素单元包括相邻设置的两个所述子像素单元;

每个所述子像素单元包括N个单独控制的薄膜晶体管,每组所述子像素单元中的两个子像素单元包括M个共用的薄膜晶体管,N和M均为正整数;

每个所述子像素单元中的N个单独控制的薄膜晶体管与M个共用的薄膜晶体管串联。

2. 根据权利要求1所述的阵列基板,其特征在于,N为1或2。

3. 根据权利要求1所述的阵列基板,其特征在于,M为1或2。

4. 根据权利要求1所述的阵列基板,其特征在于,N和M均为1。

5. 根据权利要求1至4任一项所述的阵列基板,其特征在于,在一行所述子像素单元中,各个所述子像素单元中单独控制的薄膜晶体管连接一根栅线,各个所述子像素单元中共用的薄膜晶体管连接另一根栅线。

6. 根据权利要求5所述的阵列基板,其特征在于,所述M个共用的薄膜晶体管连接在数据线和所述N个单独控制的薄膜晶体管之间。

7. 一种显示面板,所述显示面板包括如权利要求1至6任一项所述的阵列基板。

8. 一种显示装置,其特征在于,所述显示装置包括如权利要求7所述的显示面板。

9. 根据权利要求8所述的显示装置,其特征在于,所述显示装置还包括:

驱动模块,被配置为在每组所述子像素单元中的第一子像素单元工作时,控制所述第一子像素单元的N个单独控制的薄膜晶体管导通,以及M个共用的薄膜晶体管导通;

在每组所述子像素单元中的第二子像素单元工作时,控制所述第二子像素单元的N个单独控制的薄膜晶体管导通,以及M个共用的薄膜晶体管导通;所述第一子像素单元和所述第二子像素单元为任一组所述子像素单元中沿着显示面板的扫描方向依次布置的两个子像素单元。

10. 根据权利要求9所述的显示装置,其特征在于,所述驱动模块被配置为在所述第一子像素单元工作时,向所述第一子像素单元的N个单独控制的薄膜晶体管连接的栅线,以及M个共用的薄膜晶体管连接的栅线提供栅极导通电平;

在所述第二子像素单元工作时,向所述第二子像素单元的N个单独控制的薄膜晶体管连接的栅线,以及M个共用的薄膜晶体管连接的栅线提供栅极导通电平。

11. 一种驱动方法,其特征在于,所述驱动方法用于驱动如权利要求7所述的显示面板,所述驱动方法包括:

在每组所述子像素单元中的第一子像素单元工作时,控制所述第一子像素单元的N个单独控制的薄膜晶体管导通,以及M个共用的薄膜晶体管导通;

在每组所述子像素单元中的第二子像素单元工作时,控制所述第二子像素单元的N个单独控制的薄膜晶体管导通,以及M个共用的薄膜晶体管导通;所述第一子像素单元和所述第二子像素单元为任一组所述子像素单元中沿着显示面板的扫描方向依次布置的两个子像素单元。

12. 根据权利要求11所述的驱动方法,其特征在于,所述控制所述第一子像素单元的N个单独控制的薄膜晶体管导通,以及M个共用的薄膜晶体管导通,包括:

向所述第一子像素单元的N个单独控制的薄膜晶体管连接的栅线,以及M个共用的薄膜晶体管连接的栅线提供栅极导通电平;

所述控制所述第二子像素单元的N个单独控制的薄膜晶体管导通,以及M个共用的薄膜晶体管导通,包括:

向所述第二子像素单元的N个单独控制的薄膜晶体管连接的栅线,以及M个共用的薄膜晶体管连接的栅线提供栅极导通电平。

阵列基板、显示面板、显示装置及驱动方法

技术领域

[0001] 本公开涉及显示器领域,特别涉及一种阵列基板、显示面板及其驱动方法。

背景技术

[0002] 薄膜晶体管(英文:Thin Film Transistor,简称:TFT)被广泛应用于液晶显示器(英文:Liquid Crystal Display,简称:LCD)中,这种LCD称为TFT-LCD。

[0003] 在TFT-LCD中,像素单元阵列布置,每一个像素单元中均具有电容。在液晶保持阶段,电容中的电量会通过TFT泄露。为了减小TFT产生的漏电流,相关技术采用增加像素单元中TFT数量的方式,使得TFT电路的阻抗变大,从而减小漏电流,延长液晶的放电时间。

[0004] 但是,这种方式会导致单个像素单元中TFT数量较多,单个像素单元中TFT数量多占用面积也就大,不利于高分辨率显示面板的设计和制作。

发明内容

[0005] 本公开实施例提供了一种阵列基板、显示面板、显示装置及驱动方法,可以既减小漏电流,又减少TFT的数量。所述技术方案如下:

[0006] 一方面,本公开提供了一种阵列基板,所述阵列基板包括阵列布置的多个子像素单元,每一列所述子像素单元分成多组,每组所述子像素单元包括相邻设置的两个子像素单元;

[0007] 每个所述子像素单元包括N个单独控制的薄膜晶体管,每组所述子像素单元中的两个子像素单元包括M个共用的薄膜晶体管,N和M均为正整数;

[0008] 每个所述子像素单元中的N个单独控制的薄膜晶体管与M个共用的薄膜晶体管串联。

[0009] 在本公开实施例的一种实现方式中,N为1或2。

[0010] 在本公开实施例的一种实现方式中,M为1或2。

[0011] 在本公开实施例的一种实现方式中,N和M均为1。

[0012] 在本公开实施例的一种实现方式中,在一行所述子像素单元中,各个所述子像素单元中单独控制的薄膜晶体管连接一根栅线,各个所述子像素单元中共用的薄膜晶体管连接另一根栅线。

[0013] 在本公开实施例的一种实现方式中,所述M个共用的薄膜晶体管连接在数据线和所述N个单独控制的薄膜晶体管之间。

[0014] 另一方面,本公开提供了一种显示面板,所述显示面板包括上述任一项所述的阵列基板。

[0015] 另一方面,本公开提供了一种显示装置,所述显示装置包括上述所述的显示面板。

[0016] 在本公开实施例的一种实现方式中,所述显示装置还包括:

[0017] 驱动模块,被配置为在每组所述子像素单元中的第一子像素单元工作时,控制所述第一子像素单元的N个单独控制的薄膜晶体管导通,以及M个共用的薄膜晶体管导通;

[0018] 在每组所述子像素单元中的第二子像素单元工作时,控制所述第二子像素单元的N个单独控制的薄膜晶体管导通,以及M个共用的薄膜晶体管导通;所述第一子像素单元和所述第二子像素单元为任一组所述子像素单元中沿着显示面板的扫描方向依次布置的两个子像素单元。

[0019] 在本公开实施例的一种实现方式中,所述驱动模块被配置为在所述第一子像素单元作时,向所述第一子像素单元的N个单独控制的薄膜晶体管连接的栅线,以及M个共用的薄膜晶体管连接的栅线提供栅极导通电平;

[0020] 在所述第二子像素单元工作时,向所述第二子像素单元的N个单独控制的薄膜晶体管连接的栅线,以及M个共用的薄膜晶体管连接的栅线提供栅极导通电平。

[0021] 另一方面,本公开提供了一种驱动方法,所述驱动方法用于驱动上述所述的显示面板工作,所述驱动方法包括:

[0022] 在每组所述子像素单元中的第一子像素单元工作时,控制所述第一子像素单元的N个单独控制的薄膜晶体管导通,以及M个共用的薄膜晶体管导通;

[0023] 在每组所述子像素单元中的第二子像素单元工作时,控制所述第二子像素单元的N个单独控制的薄膜晶体管导通,以及M个共用的薄膜晶体管导通;所述第一子像素单元和所述第二子像素单元为任一组所述子像素单元中沿着显示面板的扫描方向依次布置的两个子像素单元。

[0024] 在本公开实施例的一种实现方式中,所述控制所述第一子像素单元的N个单独控制的薄膜晶体管导通,以及M个共用的薄膜晶体管导通,包括:

[0025] 向所述第一子像素单元的N个单独控制的薄膜晶体管连接的栅线,以及M个共用的薄膜晶体管连接的栅线提供栅极导通电平;

[0026] 所述控制所述第二子像素单元的N个单独控制的薄膜晶体管导通,以及M个共用的薄膜晶体管导通,包括:

[0027] 向所述第二子像素单元的N个单独控制的薄膜晶体管连接的栅线,以及M个共用的薄膜晶体管连接的栅线提供栅极导通电平。

[0028] 本公开实施例提供的技术方案带来的有益效果是:

[0029] 将同一列的子像素单元分组,每组子像素单元包括相邻设置的两个子像素单元,且每个子像素单元包括N个单独控制的薄膜晶体管,每组中的两个子像素单元共用M个薄膜晶体管。两个子像素单元共用M个薄膜晶体管可以减少每个子像素单元中的薄膜晶体管的数量,即减少了每个子像素单元的面积,可以提高分辨率;每组中相邻设置的两个子像素单元共用的M个薄膜晶体管与N个单独控制的薄膜晶体管串联,通过等效电路计算出的漏电流减小,可以延长液晶保持时间。在减小漏电流的前提下,又提高了显示面板的分辨率。

附图说明

[0030] 为了更清楚地说明本公开实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0031] 图1示出了相关技术中TFT-LCD的一列子像素单元中两个子像素单元的结构示意

图；

- [0032] 图2是本公开实施例提供的一种TFT-LCD的像素结构的示意图；
- [0033] 图3是本公开实施例提供的一种漏电流与栅源电压的关系曲线图；
- [0034] 图4是本公开实施例提供的一种漏电流与源漏电压的关系曲线图；
- [0035] 图5是本公开实施例提供的像素结构的一部分的等效电路图；
- [0036] 图6是本公开实施例提供的像素结构的一部分的等效电路图；
- [0037] 图7是图1的等效电路图；
- [0038] 图8是本公开实施例提供的TFT和电容间的连接示意图；
- [0039] 图9是图8的等效电路图；
- [0040] 图10示出了各种像素结构对应的液晶电容两端的电压与时间的关系曲线图；
- [0041] 图11是本公开实施例提供的一种显示装置的框图；
- [0042] 图12是本公开实施例提供的一种驱动方法的流程图。

具体实施方式

[0043] 为使本公开的目的、技术方案和优点更加清楚，下面将结合附图对本公开实施方式作进一步地详细描述。

[0044] 在显示面板中，每一列的子像素单元包括多个子像素单元。图1示出了相关技术中TFT-LCD的一列子像素单元中两个子像素单元的结构示意图。参见图1，每个子像素单元10包括串联的2个TFT 101，这两个串联的TFT串联在电容（包括存储电容401和液晶电容402）和数据线之间。通过TFT串联来减小漏电流，该漏电流从电容依次经过2个TFT流到数据线，流动方向如图中箭头L所示。图中， V_s 表示数据线提供的电压。图1仅为一种示例，如果要进一步减小漏电流，还可以在每个子像素单元10中设置更多的TFT，也即TFT的数量大于2。

[0045] 在相关技术中，单个子像素单元10中的TFT的数量较多，导致每个子像素单元10占用的面积增大，会降低液晶显示器的分辨率。

[0046] 图2是本公开实施例提供的一种TFT-LCD的像素结构的示意图。参见图2，阵列基板包括阵列布置的多个子像素单元10，每一列的子像素单元10分成多组，每组子像素单元10包括相邻设置的两个子像素单元10。每个子像素单元10包括N个单独控制的TFT 101，每组子像素单元10中的两个子像素单元10包括M个共用的TFT 102，N和M均为正整数。每个子像素单元10中的N个单独控制的TFT 101与M个共用的TFT 102串联。

[0047] 参见图2，标号100表示一组子像素单元，包括第一子像素单元11和第二子像素单元12。

[0048] TFT串联是指至少2个TFT依次连接，且相邻2个TFT分别通过源极和漏极相连接。

[0049] 在相关技术中，如果每个子像素单元10包括M+N个TFT，则两个子像素单元10包括 $2M+2N$ 个TFT。而在本申请中，两个子像素单元10总共包含 $2N+M$ 个TFT，但由于M个TFT共用，即每个子像素单元包括M+N个TFT。因此，本申请在保证对漏电流的抑制效果的前提下，减小了TFT的数量。

[0050] 相比之下，本申请中平均每个子像素单元10中的TFT的数量变少，即减小了阵列基板中TFT的数量，也减小了每个子像素单元10的面积，提高液晶显示器的分辨率。子像素单元10的面积减小，通过液晶显示器的光线的比例增加，可以提高液晶显示器的开口率和光

线的透过率。

[0051] 每个子像素单元10中的N个单独控制的TFT 101与M个共用的TFT 102串联,所以在第一子像素单元11工作时,控制第一子像素单元11中的N个单独控制的TFT 101与M个共用的TFT 102导通。由于相邻的第二子像素单元12中的N个TFT 101是单独控制的,使该N个TFT 101不导通,那么第二子像素单元12就不会工作。即第一子像素单元11和第二子像素单元12能够单独工作。

[0052] 在本公开实施例的一种实现方式中, $N=1$ 或 $N=2$ 。即每个子像素单元10单独控制1个TFT 101或者2个TFT 101,尽量减少阵列基板中TFT的数量,减小每个子像素单元10的面积,提高液晶显示器的分辨率。

[0053] 例如,每个子像素单元10可以包括2个TFT,其中每个子像素单元10包括1个单独控制的TFT 101和1个共用的TFT 102;或者每个子像素单元10可以包括3个TFT,其中每个子像素单元10包括2个单独控制的TFT 101和1个共用的TFT 102。

[0054] 在其他实现方式中,每个子像素单元10可以包括2个以上的单独控制的TFT 101。每个子像素单元10也可以包括2个或2个以上的共用的TFT 102。

[0055] 在本公开实施例的一种实现方式中, $M=1$ 或者 $M=2$ 。即每组子像素单元10中的相邻的两个子像素单元10共用1个TFT 102或者共用2个TFT 102,尽量减少阵列基板中TFT的数量,减小每个子像素单元101的面积,提高液晶显示器的分辨率。

[0056] 例如,每个子像素单元10可以包括2个TFT,其中每个子像素单元10包括1个单独控制的TFT 101和1个共用的TFT 102;或者每个子像素单元10可以包括3个TFT,其中每个子像素单元10包括1个单独控制的TFT 101和2个共用的TFT 102。

[0057] 在其他实现方式中,每个子像素单元10可以包括2个以上的共用的TFT 102。每个子像素单元10也可以包括2个或2个以上的单独控制的TFT 101。

[0058] 在本公开实施例的一种实现方式中, $N=1$ 且 $M=1$ 。如图2所示,在N和M都为1时,每个子像素单元10包括单独控制的1个TFT 101,每组中的相邻的两个子像素单元10共用1个TFT 102,在相关技术基础上省去1/4数量的TFT,减小每个子像素单元10的面积,提高液晶显示器的分辨率。

[0059] 在本公开实施例中,每个子像素单元10中的TFT的等效电阻的阻值比相关技术中的TFT的等效电阻的阻值大,可以减少漏电流,延长液晶的放电时间。下面通过分析说明,本申请的每个子像素单元10中的TFT的等效电阻的阻值比相关技术大:

[0060] 如图2所示,每一个子像素单元10包括一个存储电容401和一个液晶电容402。其中,液晶电容402是指阵列基板上的像素电极和彩膜基板上的公共电极间形成的电容,存储电容401可以是指阵列基板上的像素电极和栅线间形成的电容。在扫描阶段,数据线30向像素电极写入数据信号,从而给液晶电容402充电。液晶电容402在保持阶段保持液晶的偏转。存储电容401同样可以在扫描阶段实现充电,存储电容401在保持阶段可以给液晶电容402补充电能。存储电容401及液晶电容402在保持阶段会存在前文所述的漏电流。

[0061] 图3是本公开实施例提供的一种漏电流与栅源电压的关系曲线图。参见图3,分别取TFT的源漏电压 $V_{ds}=0.1V$ 、 $V_{ds}=5.1V$ 、 $V_{ds}=10.1V$ 、和 $V_{ds}=15.1V$ 四种情况下,漏电流 I_{off} 与栅源电压 V_{gs} 的关系图。

[0062] 图3中横坐标为TFT的栅源电压(V_{gs}),单位:V;纵坐标为漏电流(I_{off}),单位:A。从图

3可以看出在TFT的栅源电压一定的情况下(也即TFT的电阻一定的情况下),TFT的源漏电压越大,漏电流越大,符合欧姆定律。例如图3所示,在栅源电压为-10V时, $V_{ds}=15.1V$ 时对应的漏电流明显大于 $V_{ds}=5.1V$ 时对应的漏电流。那么,在TFT的源漏电压一定的情况下,可以通过增大整个子像素单元中TFT的总的电阻值来减小漏电流。

[0063] 在TFT的栅源电压为负值的情况下,栅源电压常用-11V至-8V。取常用的栅源电压为-11V至-8V之间,图3中不同栅源电压对应的各条线上的点的平均值,获得在不同源漏电压下的漏电流,拟合得到漏电流与源漏电压的关系图,结果如图4。

[0064] 图4是本公开实施例提供的一种漏电流与源漏电压的关系曲线图。参见图4,在TFT的栅源电压一定的情况下, I_{off} 与 V_{ds} 近似成正比的关系, I_{off} 与 V_{ds} 的函数关系可以表达为:

$$[0065] \quad V_{ds} = K \times I_{off} \quad (1)$$

[0066] 式中: K 可以理解为TFT的电阻值 R_{ds} 。

[0067] 根据公式(1)可以建立在液晶保持状态下的TFT中漏电流(I_{off})与TFT的栅源极电压(V_{gs})的等效电路图。

[0068] 图5是本公开实施例提供的像素结构的一部分的等效电路图。参见图5, R_{ds} 表示TFT的电阻值。图5所示的电路图符合欧姆定律。即:

$$[0069] \quad V_{ds} = R_{ds} \times I_{off} \quad (2)$$

[0070] 从公式(2)可以看出:在TFT的源漏电压(V_{ds})相同的情况下,电阻 R_{ds} 的阻值越大,漏电流(I_{off})越小。

[0071] 进一步可以根据图5所示的等效电路图得到在液晶保持状态下的等效电路图,如图6所示。

[0072] 图6是本公开实施例提供的像素结构的一部分的等效电路图。参见图6, V_c 表示液晶电容两端的电压,在液晶保持阶段,由于TFT的源漏极中一极连接液晶电容,另一极通过另一个TFT连接数据线,或者源漏极中一极通过TFT连接液晶电容,另一极连接数据线。在这种连接方式下,液晶电容的电压 V_c 减小时,TFT的源漏电压 V_{ds} 也随之减小,因此可以由图5的等效电路得到图6的等效电路。

[0073] 根据电容的放电函数得出液晶电容402两端的电压随时间变化的函数关系。

$$[0074] \quad V_t = V_c \times e^{-t/(R_{ds} \times C)} \quad (3)$$

[0075] 式中, V_t 指液晶电容402两端的电压与时间的函数,也即,在液晶保持状态下,液晶电容402两端的电压随时间变化的函数; t 指时间,单位:秒(s); C 指液晶电容402的电容; R_{ds} 指电阻。

[0076] 从公式(3)可以看出:在初始状态下液晶电容402的电压 V_c 、电容 C 一定的情况下,由于 e 为常数,那么电阻 R_{ds} 越大,液晶电容402两端的电压 V_t 减小为0时,所用的时间越长。也即可以通过增大电阻的方式来减小漏电流和延长液晶保持时间。

[0077] 图7是图1的等效电路图。即图7所示的等效电路图为图1所示的TFT-LCD的一列子像素单元中两个子像素单元的结构示意图的等效电路图。

[0078] 参见图7,每个子像素单元串联2个TFT,相邻两个子像素单元之间相互并联。 R_{ds} 表示一个TFT的电阻值。

[0079] 根据图7的电路图计算图7电路中的等效电阻,根据欧姆定律:

$$[0080] \quad V_c = 2 \times R_{ds} \times I_{off} \quad (4)$$

[0081] 即图7所示的等效电路的等效电阻为 $2R_{ds}$,得出漏电流:

$$[0082] \quad I_{off} = V_c / (2 \times R_{ds}) \quad (5)$$

[0083] 根据电容放电公式得出图1所示的液晶电容402两端的电压随时间变化的函数关系:

$$[0084] \quad V_t = V_c \times e^{(-t / (2 \times R_{ds} \times C))} \quad (6)$$

[0085] 图8是本公开实施例提供的TFT和电容间的连接示意图。图8所示的电路图中 $M=N=1$ 。

[0086] 图9是图8的等效电路图。参加图9,两个子像素单元中分别单独控制的TFT的电阻值分别为 R_1 和 R_2 ,两个子像素单元共用的TFT的电阻值为 R_3 。阵列基板中各个TFT的电阻值在截止状态下是相等的,即三个电阻的阻值相等, $R_1=R_2=R_3=R_{ds}$ 。

[0087] 通过两个单独控制的TFT的电流相等,即 $I_1=I_2$,基于并联电路中电流分配规律,通过共用的TFT的电流 $I_3=2 \times I_1=2 \times I_2$ 。根据欧姆定律可以得到:

$$[0088] \quad R_1 \times I_1 + R_3 \times I_3 = V_c \quad (7)$$

[0089] 将 $R_1=R_2=R_3$ 、 $I_3=2 \times I_1=2 \times I_2$ 代入,得到 $I_1=V_c / (3R_1)$ 。即:

$$[0090] \quad I_1 = I_{off} = V_c / (3R_{ds}) \quad (8)$$

[0091] 即图9所示的等效电路图中的等效电阻为 $3R_{ds}$,漏电流 $I_{off}=V_c / (3R_{ds})$,根据电容放电公式得出图8所示的液晶电容两端的电压所时间变化的函数关系:

$$[0092] \quad V_t = V_c \times e^{(-t / (3 \times R_{ds} \times C))} \quad (9)$$

[0093] 根据公式(5)和公式(8)可以看出,当液晶电容402和TFT的参数一样的情况下,在液晶保持状态下,本申请中的漏电流(I_{off})更小。

[0094] 根据公式(6)和公式(9)可以看出,当液晶电容402和TFT的参数一样的情况下,在液晶保持状态下,当液晶电容402两端的电压(V_t)减小为0时,本申请提供的技术方案所用的时间(t)更长,即延长了液晶保持时间。

[0095] 图10示出了各种像素结构对应的液晶电容两端的电压与时间的关系曲线图。参见图10,本申请提供的技术方案液晶放电时间最长,最初的放电斜率最小,液晶保持时间最长。

[0096] 其中单栅表示一个子像素单元10只包括1个单独控制的TFT 101,无共用的TFT 102;双栅表示一个子像素单元10只包括2个单独控制的TFT 101,无共用TFT 102,即图1所示的TFT-LCD的像素结构连接方式;3/2栅表示一个子像素单元10包括1个单独控制的TFT 101,一组子像素单元10中的两个子像素单元10共用一个TFT 102,平均下来每个子像素单元10包括3/2个TFT。本申请提供的方案比相关技术RCloading(负载)小,负载小则输入阻抗大,能够通过电流就小,因此能够减小漏电流。其中, R 表示电阻, C 表示电容。

[0097] 再次参见图2,在本公开实施例中,在一行子像素单元10中,各个子像素单元10中单独控制的TFT 101连接一根栅线20,各个子像素单元10中共用的TFT 102连接另一根栅线20。

[0098] 例如图2所示,每行子像素单元10中,各个子像素单元10中单独控制的TFT 101连接一根栅线20,各个子像素单元10中共用的TFT 102连接另一根栅线20。如果是TFT的数量更多的方案中,所有单独控制的TFT 101连接一根栅线20,所有共用的TFT 102连接另一根栅线20。

[0099] 这里,TFT连接栅线20是指,TFT的栅极与栅线20电连接。

[0100] 在该实现方式中,每个子像素单元10中单独控制的TFT 101和共用的TFT102,分别连接不同的栅线20。在一组子像素单元10中的其中一个子像素单元10工作时,通过向该子像素单元10中N个单独控制的TFT 101连接的栅线20和M个共用的TFT 102连接的栅线20写入栅极导通电平,向另一个子像素单元10中的N个单独控制的TFT 101连接的栅线20写入栅极截至电平,即可在驱动该子像素单元10工作的同时,避免同组的另一个子像素单元10工作。这样N个单独控制的TFT 101和M个共用的TFT 102之间不会相互影响。同时,这种方式分别将N个或M个TFT用一根栅线20控制,在TFT较多时,节省了栅线20数量。减少了阵列基板背板的上的走线面积,可以提高液晶显示器的分辨率。

[0101] 在其他实现方式中,也可以每个子像素单元10中单独控制的TFT 101中不同的TFT 101分别连接不同的栅线20,或者每个子像素单元10中共用的TFT 102中不同的TFT 102分别连接不同的栅线20。

[0102] 在本公开实施例中,M个共用的TFT 102连接在数据线30和N个单独控制的TFT 101之间。

[0103] 如前所述,在一个子像素单元10中,M个共用的TFT 102和N个单独控制的TFT 101是串联的。这里,将共用的TFT 102布置在数据线30和单独控制的TFT 101之间,对于一组子像素单元10而言,数据线30只需要与TFT 101存在一处连接,简化了电路结构。

[0104] 例如图2所示,1个共用的TFT 102连接在一个单独控制的TFT 101和数据线30之间。该共用的TFT 102的源极连接数据线30,共用的TFT 102的漏极同时连接一组中两个子像素单元10的单独控制的TFT 101的源极,单独控制的TFT 101的漏极连接其所在的子像素单元10的像素电极。

[0105] 在该实现方式中,一组子像素单元10中的两个子像素单元10通过公用的TFT 102与数据线30连接,即一根数据线30可以通过公用的TFT 102同时与一组子像素单元10中的两个子像素单元10实现连接。即简化了阵列基板上数据线30与子像素单元10的TFT的连接。

[0106] 在其他实现方式中,也可以将N个单独控制的TFT 101连接在数据线30和M个共用的TFT 102之间。

[0107] 本公开提供了一种显示面板,该显示面板包括上述阵列基板。该显示面板的阵列基板上的TFT的数量减少,每个子像素单元10占用的面积减少,可以提高液晶显示器的分辨率。同时每个子像素单元10的TFT的等效电阻增大,可以减小漏电流,延长液晶保持时间。

[0108] 本公开提供了一种显示装置,该显示装置包括上述的显示面板。同样该显示装置的分辨率能够得到提高,同时可以延长该显示装置的液晶保持时间。

[0109] 图11是本公开实施例提供的一种显示装置的框图。参见图11,显示装置还包括驱动模块40。驱动模块40与显示面板50电连接。

[0110] 该驱动模块40被配置为在每组子像素单元10中的第一子像素单元11工作时,控制第一子像素单元11的N个单独控制的TFT 101导通,以及M个共用的TFT 102导通。在每组子像素单元10中的第二子像素单元12工作时,控制第二子像素单元12的N个单独控制的TFT 101导通,以及M个共用的TFT 102导通。第一子像素单元11和第二子像素单元12为任一组子像素单元10中沿着显示面板的扫描方向a依次布置的两个子像素单元10。

[0111] 在该实现方式中,通过驱动模块40为子像素单元10提供驱动信号。驱动模块40为

栅线20和数据线30充电,同时为存储电容401和液晶电容402进行充电。

[0112] 驱动模块40驱动第一子像素单元11工作时,控制第一子像素单元11的N个单独控制的TFT 101导通,以及M个共用的TFT 102导通,此时第一子像素单元11工作。此时第二子像素单元12中的N个单独控制的TFT 101没有导通,所以第二子像素单元12不会被驱动工作。即第一子像素单元11工作时不会影响第二子像素单元12工作。同样在第二子像素单元12工作时也不会影响第一子像素单元11工作。

[0113] 在本公开的一种实现方式中,驱动模块40,被配置为在第一子像素单元11工作时,向第一子像素单元11的N个单独控制的TFT 101连接的栅线20,以及M个共用的TFT 102连接的栅线20提供栅极导通电平。此时,向第二子像素单元12的N个单独控制的TFT 101连接的栅线20提供栅极截至电平。

[0114] 在第二子像素单元12工作时,向第二子像素单元12的N个单独控制的TFT101连接的栅线20,以及M个共用的TFT 102连接的栅线20提供栅极导通电平。此时,向第一子像素单元11的N个单独控制的TFT 101连接的栅线20提供栅极截至电平。

[0115] 在该实现方式中,通过驱动模块40为栅线20提供栅极导通电平。

[0116] 相应地,在通过2根栅线控制一行子像素单元10的TFT导通时,驱动模块40还通过数据线30向该行的各个子像素单元10写入相应地数据信号,从而控制各个子像素单元10显示相应的灰阶。

[0117] 图12是本公开实施例提供的一种驱动方法的流程图。参见图12,该驱动方法包括:

[0118] 步骤501:在每组子像素单元中的第一子像素单元工作时,控制第一子像素单元的N个单独控制的TFT导通,以及M个共用的TFT导通。

[0119] 示例性地,控制第一子像素单元的N个单独控制的TFT导通,以及M个共用的TFT导通,包括:

[0120] 向第一子像素单元的N个单独控制的TFT连接的栅线,以及个共用的TFT连接的栅线提供栅极导通电平。此时,向第二子像素单元的N个单独控制的TFT101连接的栅线提供栅极截至电平。

[0121] 示例性地,这里可以同时向第一子像素单元的N个单独控制的TFT连接的栅线和共用的TFT连接的栅线提供栅极导通电平。

[0122] 步骤502:在每组子像素单元中的第二子像素单元工作时,控制第二子像素单元的N个单独控制的TFT导通,以及M个共用的TFT导通。

[0123] 示例性地,控制第二子像素单元的N个单独控制的TFT导通,以及M个共用的TFT导通,包括:

[0124] 向第二子像素单元的N个单独控制的TFT连接的栅线,以及M个共用的TFT连接的栅线提供栅极导通电平。此时,向第一子像素单元的N个单独控制的TFT连接的栅线提供栅极截至电平。

[0125] 示例性地,这里可以同时向第二子像素单元的N个单独控制的TFT连接的栅线和共用的TFT连接的栅线提供栅极导通电平。

[0126] 其中,第一子像素单元和第二子像素单元为任一组子像素单元中沿着显示面板的扫描方向依次布置的两个子像素单元。通过该驱动方法分别控制第一子像素单元和第二子像素单元,使两个像素单元之间不会相互影响。

[0127] 以上所述仅为本公开的较佳实施例,并不用以限制本公开,凡在本公开的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本公开的保护范围之内。

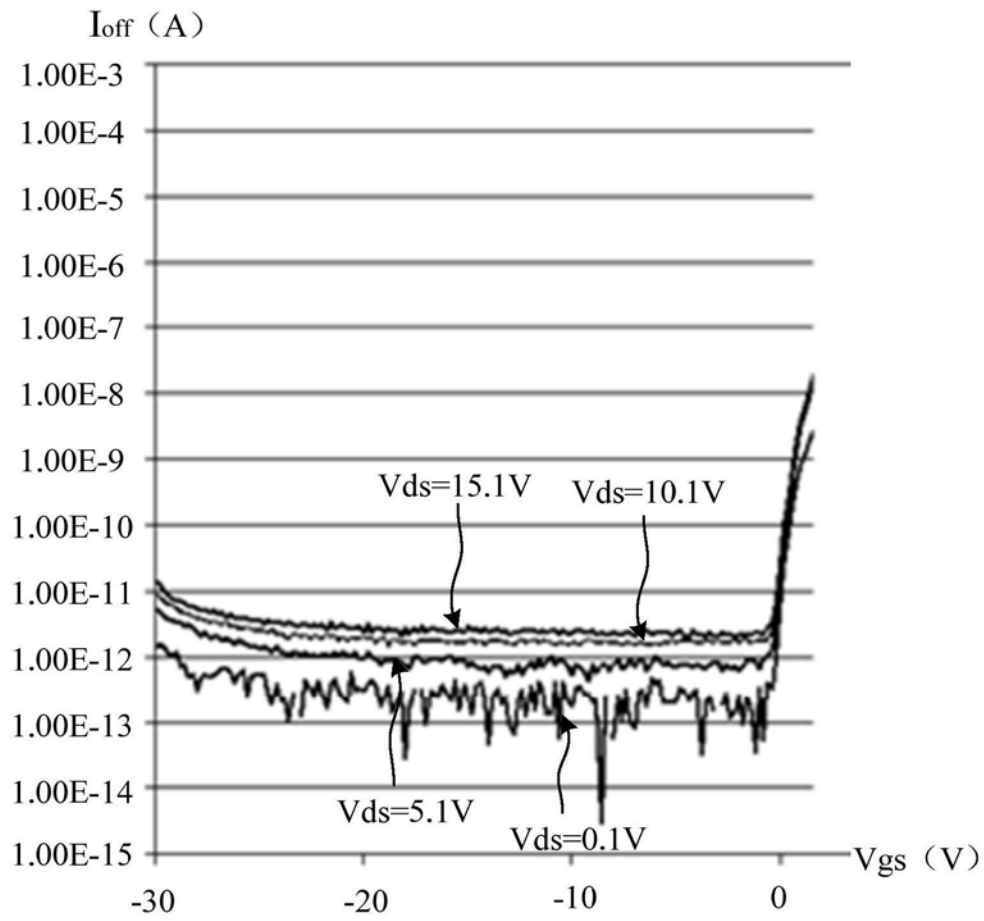


图3

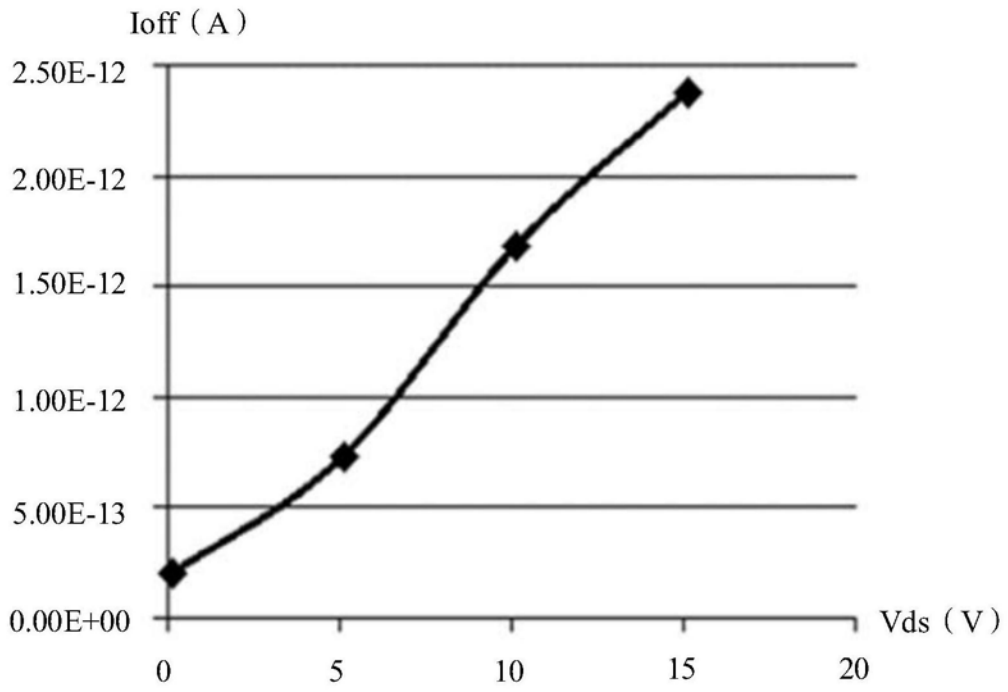


图4

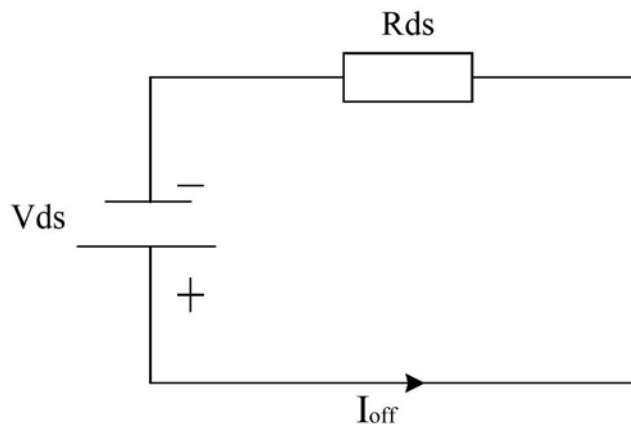


图5

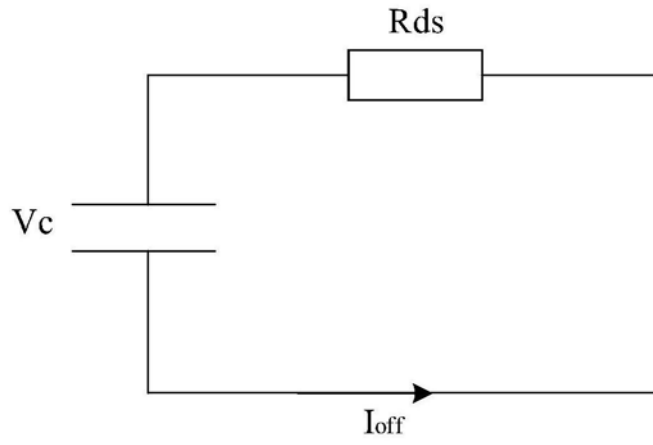


图6

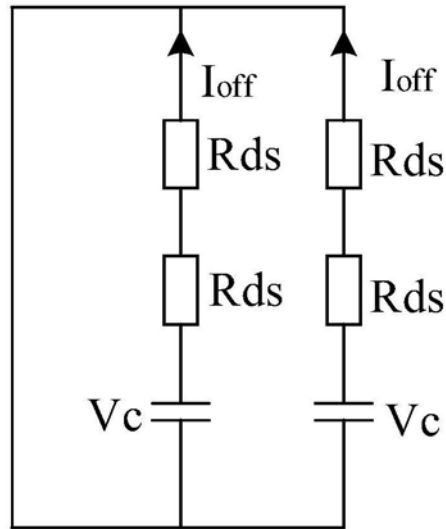


图7

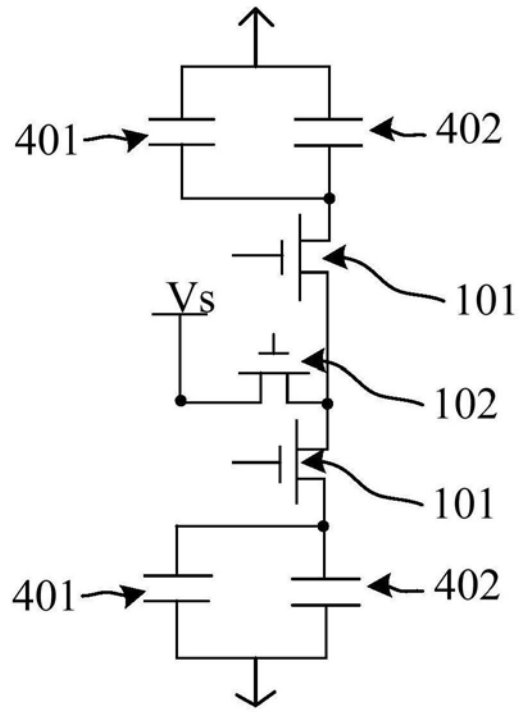


图8

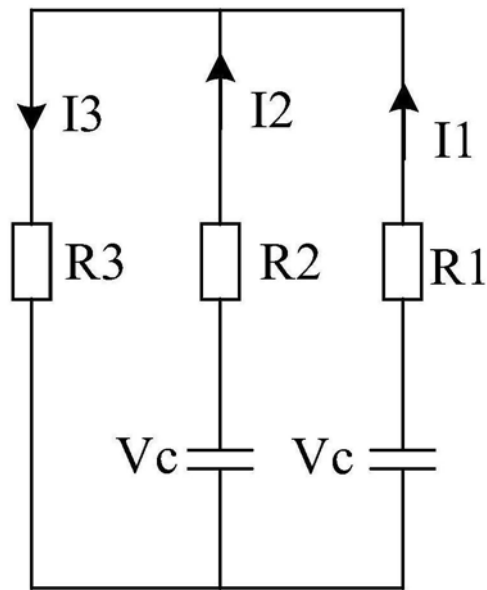


图9

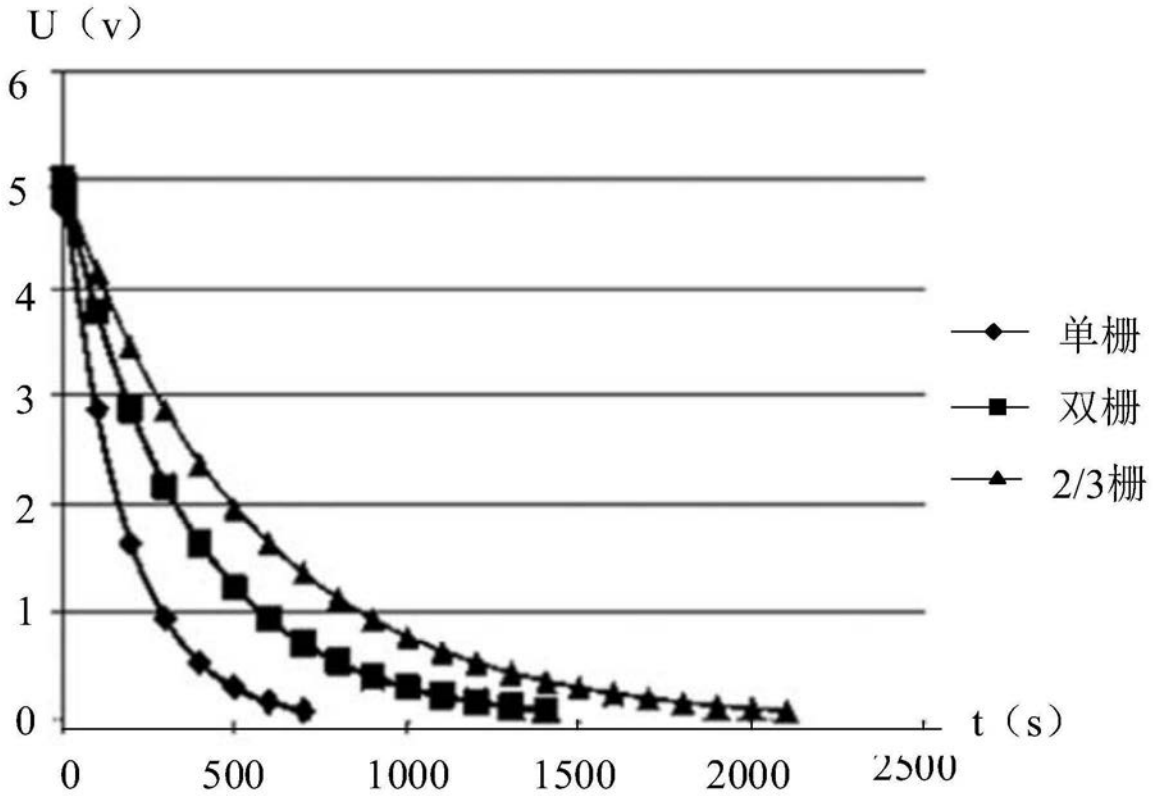


图10

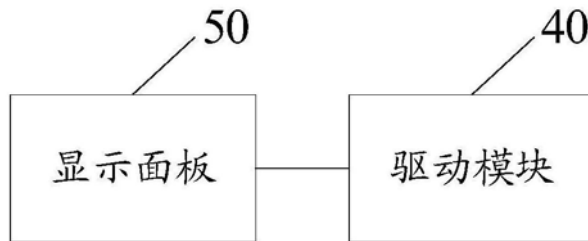


图11

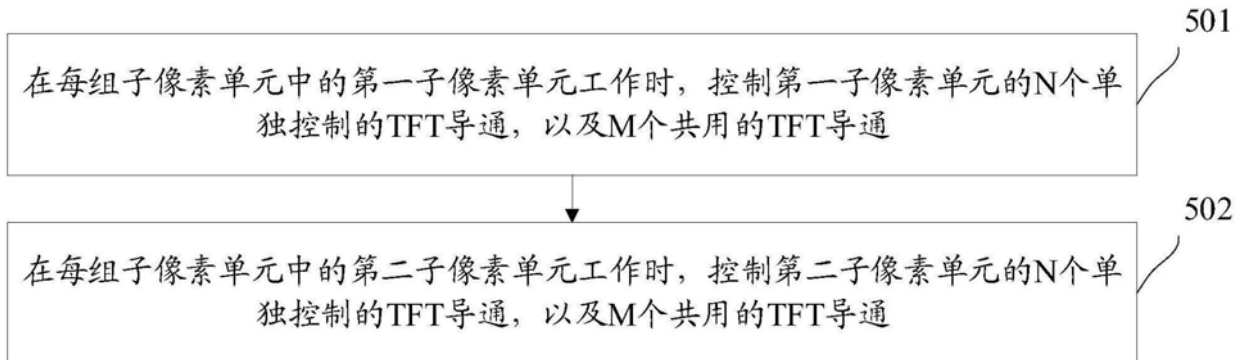


图12

专利名称(译)	阵列基板、显示面板、显示装置及驱动方法		
公开(公告)号	CN110727151A	公开(公告)日	2020-01-24
申请号	CN201911026097.2	申请日	2019-10-25
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
[标]发明人	张英豪 王谦 张夺 路永全 孙冬雪 江峰 张旭茹 张炜檬 张彦杰		
发明人	张英豪 王谦 张夺 路永全 孙冬雪 江峰 张旭茹 张炜檬 张彦杰		
IPC分类号	G02F1/1362 G02F1/1368 G09G3/36		
CPC分类号	G02F1/13624 G02F1/1368 G09G3/3648		
代理人(译)	杨广宇		
外部链接	Espacenet SIPO		

摘要(译)

本公开是关于一种阵列基板、显示面板、显示装置及驱动方法，属于显示器领域。所述阵列基板包括阵列布置的多个子像素单元，每一列的子像素单元分成多组，每组包括相邻设置的两个子像素单元。每个子像素单元包括N个单独控制的TFT，每组中的两个子像素单元包括M个共用的TFT。每个子像素单元中的N个单独控制的TFT与M个共用的TFT串联，且N和M均为正整数。减少了子像素单元中TFT的数量，可以减少每个子像素单元的面积，提高分辨率。同时也可以减少阵列基板中的漏电流，延长液晶保持时间。

