



(12)发明专利申请

(10)申请公布号 CN 109856872 A

(43)申请公布日 2019.06.07

(21)申请号 201910279844.7

(22)申请日 2019.04.09

(71)申请人 惠科股份有限公司

地址 518000 广东省深圳市宝安区石岩街
道水田村民营工业园惠科工业园厂房
1、2、3栋,九州阳光1号厂房5、7楼

(72)发明人 黄北洲

(74)专利代理机构 深圳精智联合知识产权代理
有限公司 44393

代理人 邓铁华

(51)Int.Cl.

G02F 1/1343(2006.01)

G02F 1/1337(2006.01)

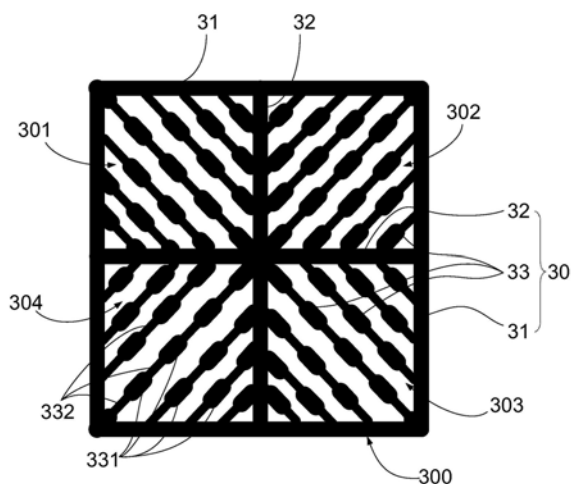
权利要求书1页 说明书6页 附图6页

(54)发明名称

像素电极及液晶显示面板

(57)摘要

本公开实施例公开了一种像素电极及液晶显示面板。所述像素电极包括边框电极线、多条主干电极线及多条分支电极线。所述边框电极线围合形成一个电极区域。所述多条主干电极线在电极区域内交叉分布从而将电极区域分割成多个液晶配向区。所述多条分支电极线等间距地分布在每个液晶配向区,每条分支电极线均与边框电极线、主干电极线成夹角,且每条分支电极线均包括依次连接的第一连接段和第二连接段,所述第一连接段的线宽大于所述第二连接段的线宽。



1. 一种像素电极,其特征在于,包括:

边框电极线,所述边框电极线围合形成一个电极区域;

多条主干电极线,所述多条主干电极线在电极区域内交叉分布从而将电极区域分割成多个液晶配向区;及

多条分支电极线,所述多条分支电极线等间距地分布在每个液晶配向区,每条分支电极线均与边框电极线、主干电极线成夹角,且每条分支电极线均包括依次连接的第一连接段和第二连接段,所述第一连接段的线宽大于所述第二连接段的线宽。

2. 根据权利要求1所述的像素电极,其特征在于,每条分支电极线均与主干电极线成30度至60度的夹角。

3. 根据权利要求1所述的像素电极,其特征在于,每相邻的两条分支电极线中,一条分支电极线的第一连接段与另一条分支电极线的第二连接段对应相邻。

4. 根据权利要求1所述的像素电极,其特征在于,所述电极区域为长方形,所述多条主干电极线垂直相交将电极区域分割成相邻的第一液晶配向区和第二液晶配向区,在第一液晶配向区的分支电极线与在第二液晶配向区的分支电极线相垂直。

5. 根据权利要求1所述的像素电极,其特征在于,所述第一连接段的线长等于第二连接段的线长。

6. 根据权利要求1所述的像素电极,其特征在于,每个液晶配向区中,较长的分支电极线包括多个交替连接的第一连接段和第二连接段,较短的分支电极线包括相连接的一个第一连接段和一个第二连接段。

7. 根据权利要求1所述的像素电极,其特征在于,所述第一连接段的线宽与第二连接段的线宽的差值为0.5微米至1微米。

8. 根据权利要求7所述的像素电极,其特征在于,所述第二连接段的线宽在2微米至3微米之间,所述第一连接段的线长和所述第二连接段的线长均在1微米至2微米之间。

9. 根据权利要求7所述的像素电极,其特征在于,相邻的两条分支电极线的间距可以在2微米至4微米之间。

10. 一种显示面板,包括:

阵列基板,所述阵列基板包括依次设置的第一偏光片、第一玻璃基板、像素结构层及第一配向层,所述像素结构层包括多条扫描线、多条数据线、有源元件阵列及像素电极阵列,所述像素电极阵列包括多个阵列排布的像素电极,每个像素电极均包括边框电极线、多条主干电极线及多条分支电极线,所述边框电极线围合形成一个电极区域,所述多条主干电极线在电极区域内交叉分布从而将电极区域分割成多个液晶配向区,所述多条分支电极线等间距地分布在每个液晶配向区,每条分支电极线均与边框电极线、主干电极线成夹角,且每条分支电极线均包括依次连接的第一连接段和第二连接段,所述第一连接段的线宽大于所述第二连接段的线宽;

彩色滤光基板,所述彩色滤光基板包括依次设置的第二偏光片、第二玻璃基板、彩色滤光层、公共电极层及第二配向层,所述彩色滤光层包括多个彩色色阻,每个彩色色阻与一个像素电极相对应;及

液晶层,所述液晶层位于第一配向层和第二配向层之间。

像素电极及液晶显示面板

技术领域

[0001] 本公开涉及显示技术领域,尤其涉及一种像素电极及液晶显示面板。

背景技术

[0002] 液晶显示器(Liquid Crystal Display,LCD)具有机身薄、省电、无辐射等众多优点,得到了广泛的应用,如:液晶电视、移动电话、个人数字助理(PDA)、数字相机、计算机屏幕或笔记本电脑屏幕等,在平板显示领域中占主导地位。

[0003] 液晶显示器主要利用透明导电金属作为像素驱动电极,常见之透明导电金属材料有铟锡氧化物,其在显示器产品上可具有高穿透度、高抗水性及抗刮,而在像素里所扮演的角色,除作为驱动液晶分子所需电极使用外,也能防止液晶分子扩散污染底层金属。像素电极图案的设计差异会影响此像素内液晶分子受外加电压倾倒的快慢与均匀性,进而产生像素亮暗纹分布,造成像素穿透度差异。

发明内容

[0004] 本公开的实施例提供一种像素电极及液晶显示面板,用以改善液晶分子受外加电压倾倒的速度与均匀性。

[0005] 本公开提供了一种像素电极,包括边框电极线、多条主干电极线及多条分支电极线,所述边框电极线围合形成一个电极区域,所述多条主干电极线在电极区域内交叉分布从而将电极区域分割成多个液晶配向区,所述多条分支电极线等间距地分布在每个液晶配向区,每条分支电极线均与边框电极线、主干电极线成夹角,且每条分支电极线均包括依次连接的第一连接段和第二连接段,所述第一连接段的线宽大于所述第二连接段的线宽。

[0006] 在本公开的一个实施例中,每条分支电极线均与主干电极线成30度至60度的夹角。

[0007] 在本公开的一个实施例中,每相邻的两条分支电极线中,一条分支电极线的第一连接段与另一条分支电极线的第二连接段对应相邻。

[0008] 在本公开的一个实施例中,所述电极区域为长方形,所述多条主干电极线垂直相交将电极区域分割成相邻的第一液晶配向区和第二液晶配向区,在第一液晶配向区的分支电极线与在第二液晶配向区的分支电极线相垂直。

[0009] 在本公开的一个实施例中,所述第一连接段的线长等于第二连接段的线长。

[0010] 在本公开的一个实施例中,每个液晶配向区中,较长的分支电极线包括多个交替连接的第一连接段和第二连接段,较短的分支电极线包括相连接的一个第一连接段和一个第二连接段。

[0011] 在本公开的一个实施例中,所述第一连接段的线宽与第二连接段的线宽的差值为0.5微米至1微米。

[0012] 在本公开的一个实施例中,所述第二连接段的线宽在2微米至3微米之间,所述第一连接段的线长和所述第二连接段的线长均在1微米至2微米之间。

[0013] 在本公开的一个实施例中,相邻的两条分支电极线的间距可以在2微米至4微米之间。

[0014] 本公开还提供了一种液晶显示面板。所述液晶显示面板包括阵列基板、彩色滤光基板及液晶层。所述阵列基板包括依次设置的第一偏光片、第一玻璃基板、像素结构层及第一配向层。所述像素结构层包括多条扫描线、多条数据线、有源元件阵列及像素电极阵列。所述像素电极阵列包括多个阵列排布的像素电极,每个像素电极均包括边框电极线、多条主干电极线及多条分支电极线。所述边框电极线围合形成一个电极区域。所述多条主干电极线在电极区域内交叉分布从而将电极区域分割成多个液晶配向区。所述多条分支电极线等间距地分布在每个液晶配向区,每条分支电极线均与边框电极线、主干电极线成夹角,且每条分支电极线均包括依次连接的第一连接段和第二连接段,所述第一连接段的线宽大于所述第二连接段的线宽。所述彩色滤光基板包括依次设置的第二偏光片、第二玻璃基板、彩色滤光层、公共电极层及第二配向层,所述彩色滤光层包括多个彩色色阻,每个彩色色阻与一个像素电极相对应。所述液晶层位于第一配向层和第二配向层之间。

[0015] 上述像素电极及采用该像素电极的液晶显示面板中,对像素电极的分支电极线采用了不同线长、不同线宽的设计,从而使得像素电极在充电过程中,电荷累积较为均匀,电极电位较为均匀,如此可以改善液晶分子受外加电压倾倒的速度与均匀性,即改善显示效果。

附图说明

[0016] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0017] 图1为本公开一个实施例中的一种像素电极的示意图。

[0018] 图2为本公开另一个实施例中的一种像素电极的示意图。

[0019] 图3为本公开另一个实施例中的一种像素电极的示意图。

[0020] 图4为本公开另一个实施例中的一种像素电极的示意图。

[0021] 图5为本公开一个实施例中的一种液晶显示面板的剖面示意图。

[0022] 图6为图5的液晶显示面板中一个像素结构的示意图。

具体实施方式

[0023] 为使本公开实施例的目的、技术方案和优点更加清楚,下面将结合本公开实施例中的附图,对本公开实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本公开一部分实施例,而不是全部的实施例。基于本公开中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本公开保护的范围。

[0024] 以下各实施例的说明是参考附加的图式,用以例示本公开可用以实施的特定实施例。本公开所提到的方向用语,例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本公开,而非用以限制本公开。

[0025] 附图和说明被认为在本质上是示出性的,而不是限制性的。在图中,结构相似的单元是以相同标号表示。另外,为了理解和便于描述,附图中示出的每个组件的尺寸和厚度是任意示出的,但是本公开不限于此。

[0026] 另外,在说明书中,除非明确地描述为相反的,否则词语“包括”将被理解为意指包括所述组件,但是不排除任何其它组件。此外,在说明书中,“在……上”意指位于目标组件上方或者下方,而不意指必须位于基于重力方向的顶部上。

[0027] 为更进一步阐述本公开为达成预定公开目的所采取的技术手段及功效,以下结合附图及较佳实施例,对依据本公开提出的一种像素电极及液晶显示面板,其具体实施方式、结构、特征及其功效,详细说明如后。

[0028] 如图1所示,本公开一个实施例中提供的一种像素电极10包括边框电极线11、多条主干电极线12以及多条分支电极线13。所述边框电极线11围合形成一个长方形的电极区域100。所述多条主干电极线12包括两条垂直相交的主干电极线12,在电极区域100内垂直交叉从而将电极区域100分割成四个液晶配向区。即,依次相邻的第一液晶配向区101、第二液晶配向区102、第三液晶配向区103和第四液晶配向区104。当然,也可以认为像素电极10包括四条呈十字架形状分布的主干电极线12,将电极区域100分割成四个液晶配向区。在每个液晶配向区中,均分布有多条分支电极线13,多条分支电极线13等间距分布且相互平行。每条分支电极线13均与边框电极线11、主干电极线12成夹角。例如,每条分支电极线13均与主干电极线12成30度至60度的夹角。可选的,每条分支电极线13均与主干电极线12成45度的夹角,即在第一液晶配向区101的分支电极线13与在第二液晶配向区102的分支电极线13相垂直。

[0029] 在每个液晶配向区中,至少有三条分支电极线13的线宽不同。即,每个液晶配向区的多条分支电极线13至少具有三种线宽。每个液晶配向区中,线长最长的分支电极线13的线宽最大,线长最短的分支电极线13线宽最小,线长居中的分支电极线13的线宽居中,最大线宽、居中线宽及最小线宽之间存在等差递减的规律。例如,图1中每个液晶配向区的分支电极线13存在四种线宽,记最大线宽为 L_1 ,记最小线宽为 L_4 ,与 L_1 相邻的分支电极线13的线宽记为 L_2 ,与 L_4 相邻的分支电极线13的线宽记为 L_3 ,则 L_1 、 L_2 、 L_3 、 L_4 之间存在等差递减的规律。即 $L_2 = L_1 - d$, $L_3 = L_2 - d = L_1 - 2d$, $L_4 = L_3 - d = L_1 - 3d$, d 为0.5微米至1微米, L_4 为2微米至3微米。

[0030] 当然,本领域技术人员可以理解,除如图1所示外,每个液晶配向区还可以存在以等差递减规律分布的三种、五种及以上线宽的分支电极线13。另外,需要指出的是,电极区域100的形状不限,主干电极线12的数量及相交角度也不限。

[0031] 如图2所示,本公开一个实施例中提供的一种像素电极20与像素电极10基本相同,每个液晶配向区的多条分支电极线23也至少具有三种线宽,不同之处在于,在每个液晶配向区中,线长最长的分支电极线23的线宽最小,线长最短的分支电极线23线宽最大,线长居中的分支电极线23的线宽居中,最小线宽、居中线宽及最大线宽之间存在等差递增的规律。例如,图2中每个液晶配向区的分支电极线23存在四种线宽,记最大线宽为 L_1 ,记最小线宽为 L_4 ,与 L_1 相邻的分支电极线23的线宽记为 L_2 ,与 L_4 相邻的分支电极线23的线宽记为 L_3 ,则 L_1 、 L_2 、 L_3 、 L_4 之间存在等差递增的规律,即 $L_2 = L_1 + d$, $L_3 = L_2 + d = L_1 + 2d$, $L_4 = L_3 + d = L_1 + 3d$, d 为0.5微米至1微米, L_1 为2微米至3微米。本领域技术人员可以理解,每个液晶配向区还可

以存在以等差递减规律分布的三种或五种及以上线宽的分支电极线23。

[0032] 如图3所示,本公开一个实施例中提供的一种像素电极30包括边框电极线31、多条主干电极线32以及多条分支电极线33。所述边框电极线31围合形成一个长方形的电极区域300。所述多条主干电极线32包括两条垂直相交的主干电极线32,在电极区域300内垂直交叉从而将电极区域300分割成四个液晶配向区。即,依次相邻的第一液晶配向区301、第二液晶配向区302、第三液晶配向区303和第四液晶配向区304。在每个液晶配向区中,均分布有多条分支电极线33,多条分支电极线33等间距分布且相互平行。每条分支电极线33均与边框电极线31、主干电极线32成夹角。例如,每条分支电极线33均与主干电极线32成30度至60度的夹角。可选的,每条分支电极线33均与主干电极线32成45度的夹角,即在第一液晶配向区301的分支电极线33与在第二液晶配向区302的分支电极线33相垂直。

[0033] 每条分支电极线33均包括相连接的第一连接段331和第二连接段332,第一连接段331的线宽大于第二连接段332的线宽,第一连接段331的线长等于第二连接段332的线长。所述第一连接段331的线宽与第二连接段332的线宽的差值为0.5微米至1微米,第二连接段332的线宽在2微米至3微米之间,第一连接段331的线长、第二连接段332的线长均在1微米至2微米之间。

[0034] 每个液晶配向区中,较长的分支电极线33包括多个交替连接的第一连接段331和第二连接段332,较短的分支电极线33包括相连接的一个第一连接段331和一个第二连接段332。每相邻的两条分支电极线33中,一条分支电极线33的第一连接段331与另一条分支电极线33的第二连接段332对应相邻,如此,相邻的两条分支电极线33的间距保持一致。相邻的两条分支电极线33的间距可以在2微米至4微米之间。

[0035] 本领域技术人员可以理解,本实施例中像素电极30的分支电极线33采用了不同线宽交替分布的设计,从而使得像素电极30在充电过程中,电荷累积较为均匀,电极电位较为均匀,如此可以改善液晶分子受外加电压倾倒的速度与均匀性,即改善显示效果。

[0036] 如图4所示,本公开一个实施例中提供的一种像素电极40包括边框电极线41、多条主干电极线42以及多条分支电极线43。所述边框电极线41围合形成一个长方形的电极区域400。所述多条主干电极线42包括两条垂直相交的主干电极线42,在电极区域400内垂直交叉从而将电极区域400分割成四个液晶配向区。即,依次相邻的第一液晶配向区401、第二液晶配向区402、第三液晶配向区403和第四液晶配向区404。在每个液晶配向区中,均分布有多条分支电极线43,多条分支电极线43等间距分布且相互平行。每条分支电极线43均与边框电极线41、主干电极线42成夹角。例如,每条分支电极线43均与主干电极线42成30度至60度的夹角。可选的,每条分支电极线43均与主干电极线42成45度的夹角,即在第一液晶配向区401的分支电极线43与在第二液晶配向区402的分支电极线43相垂直,在第三液晶配向区403的分支电极线43与在第四液晶配向区404的分支电极线43相垂直。

[0037] 每个液晶配向区中,至少有三条分支电极线43呈分段设计。每条分段设计的分支电极线43包括位于同一延长线且不相连的第一分段431和第二分段432,第一分段431的线长不同于第二分段432的线长。记相邻的两条分段设计的分支电极线43分别为S1、S2,则S1的分段处在S2的投影不与S2的分段处重合。

[0038] 可选的,主干电极线42垂直相交处呈镂空设计。即,电极区域400中心处镂空。可选的,边框电极线41的中段具有弯曲设计,例如,向电极区域400内弯曲。在本实施例中,两条

主干电极线42在边框电极线41上有四个投影位置,边框电极线41在该四个投影位置处向电极区域400内弯曲。可选的,主干电极线42不与边框电极线41相连。也可以理解为,主干电极线42的两端也具有镂空设计,使得主干电极线42的两端与线长较短的分支电极线43相连,而不与边框电极线41相连。可选的,每个液晶配向区中线长较长的分支电极线43为分段设计,线长较短的分支电极线43则连续而不分段。

[0039] 在每条分段设计的分支电极线43中,第一分段431和第二分段432的间距大于或等于2微米,第一分段431的线长大于或等于2微米,第二分段432的线长大于或等于2微米。

[0040] 本领域技术人员可以理解,本实施例中像素电极40的分支电极线43采用了不同线长的分段设计,从而使得像素电极40在充电过程中,电荷累积较为均匀,电极电位较为均匀,如此可以改善液晶分子受外加电压倾倒的速度与均匀性,即改善显示效果。

[0041] 如图5及图6所示,本公开一个实施例中提供的一种液晶显示面板5包括阵列基板6、彩色滤光基板7及液晶层8。

[0042] 所述阵列基板6包括依次设置的第一偏光片61、第一玻璃基板62、像素结构层63及第一配向层64。所述像素结构层63包括阵列排布的多个像素结构,由多条扫描线SL、多条数据线DL、有源元件阵列TA及像素电极阵列PA构成。所述多条扫描线SL的延伸方向与多条数据线DL的延伸方向垂直。所述扫描线SL和数据线DL位于不相同的膜层,且相互绝缘。扫描线SL和数据线DL均用于传递驱动信号。扫描线SL和数据线DL一般通过金属导电层经过蚀刻工艺制成。有源元件阵列TA包括阵列排布的多个有源元件T,例如薄膜晶体管(TFT),其包括栅极GT、沟道层GH、漏极D以及源极S。栅极GT与扫描线SL电性连接,源极S与数据线DL电性连接。也就是说,当有控制信号输入扫描线SL时,扫描线SL与栅极GT之间电性连接,当有控制信号输入数据线DL时,数据线DL与源极S电性连接。像素电极阵列PA包括阵列排布的多个像素电极P,可以由透明导电层经过光蚀刻工序制成,其材料一般为铟锡氧化物、铟锌氧化物、铝锡氧化物、铝锌氧化物、铟锗锌氧化物等。像素电极P对应地与有源元件T电性连接。具体地,漏极D与导线L连接,且位于同一层,像素电极P位于导线L上一层,且通过接触窗C或导孔与导线L电性连接。所述像素电极P可以为以上任一实施例的像素电极,即,可以为选自像素电极10、20、30、40中的任一种。图6仅是示意性的绘示了一条数据线DL、一条扫描线SL、一个像素电极P及一个有源元件T构成的一个像素结构,本领域技术人员可以理解,在液晶显示面板5中,多个像素结构呈阵列排布。

[0043] 彩色滤光基板7包括依次设置的第二偏光片71、第二玻璃基板72、彩色滤光层73、公共电极层74及第二配向层75。所述彩色滤光层73具有黑色矩阵731以及多个彩色色阻732,每个彩色色阻732与一个像素电极P对应。一般来说,彩色色阻732包括红色色阻R、绿色色阻G及蓝色色阻B。所述公共电极层74也是透明导电层,其材料一般为氧化铟锡。

[0044] 所述液晶层8设置在阵列基板6和彩色滤光基板7之间,具体地,位于第一配向层64和第二配向层75之间。可选地,第一配向层64和第二配向层75之间还设置有多个间隔物(spacer),以使得第一玻璃基板62和第二玻璃基板72维持在适当的间隙。可选的,阵列基板6和彩色滤光基板7之间还设置有框胶以密封所述液晶层8。

[0045] 本领域技术人员可以理解,本技术方案中对像素电极的分支电极线采用了不同线长、不同线宽的设计,从而使得像素电极在充电过程中,电荷累积较为均匀,电极电位较为均匀,如此可以改善液晶分子受外加电压倾倒的速度与均匀性,即改善显示效果。

[0046] “在一些实施例中”及“在各种实施例中”等用语被重复地使用。所述用语通常不是指相同的实施例；但它也可以是指相同的实施例。“包含”、“具有”及“包括”等用词是同义词，除非其前后文意显示出其它意思。

[0047] 以上所述，仅是本公开的较佳实施例而已，并非对本公开作任何形式上的限制，虽然本公开已以具体的实施例揭露如上，然而并非用以限定本公开，任何熟悉本专业的技术人员，在不脱离本公开技术方案范围内，当可利用上述揭示的技术内容做出些许更动或修饰为等同变化的等效实施例，但凡是未脱离本公开技术方案的内容，依据本公开的技术实质对以上实施例所作的任何简单修改、等同变化与修饰，均仍属于本公开技术方案的范围

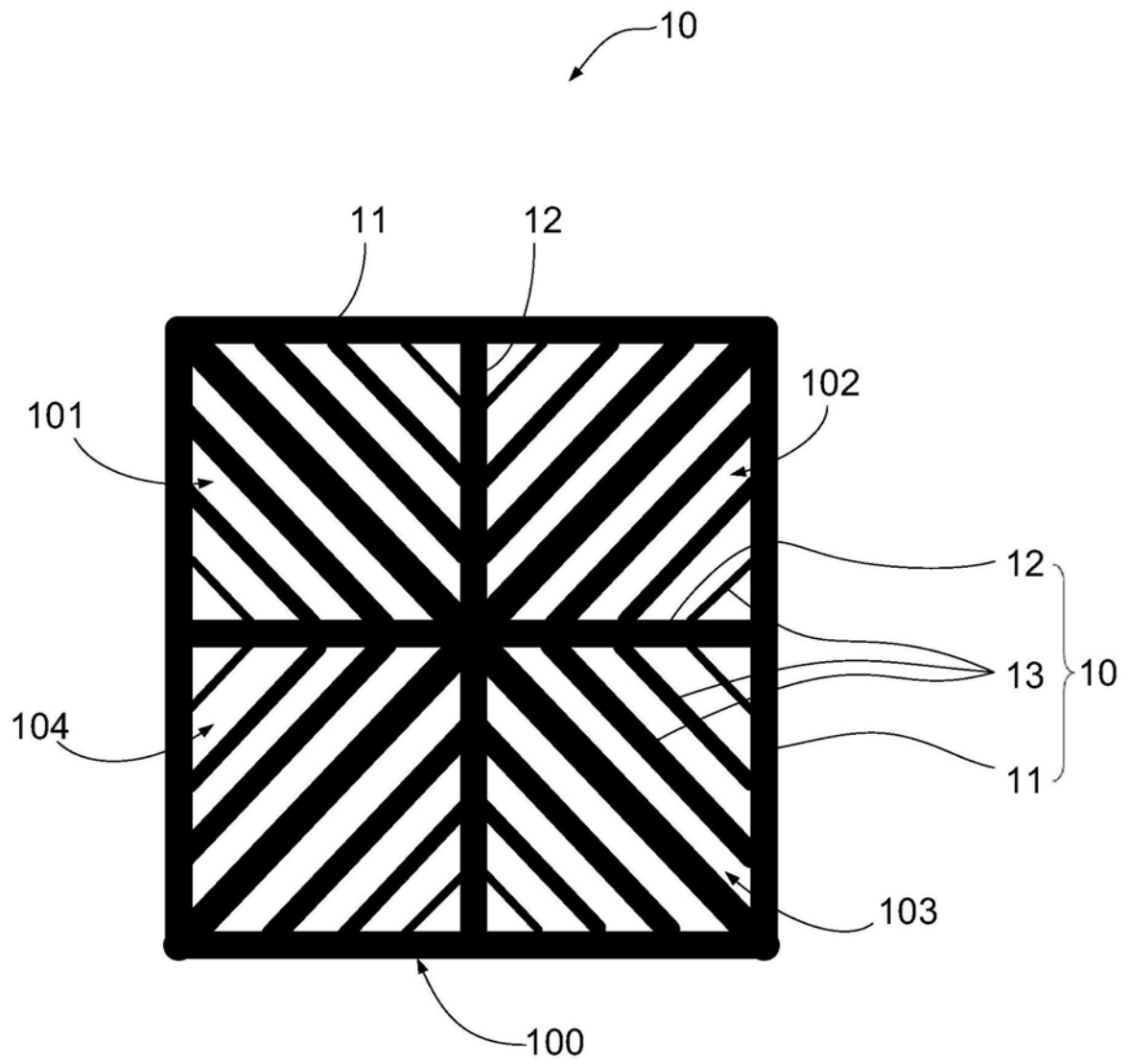


图1

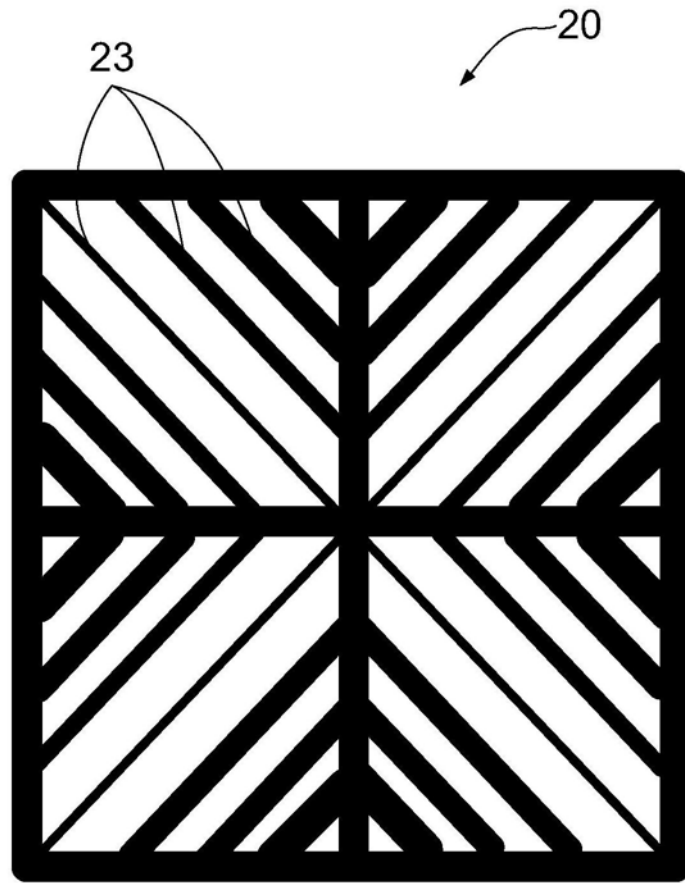


图2

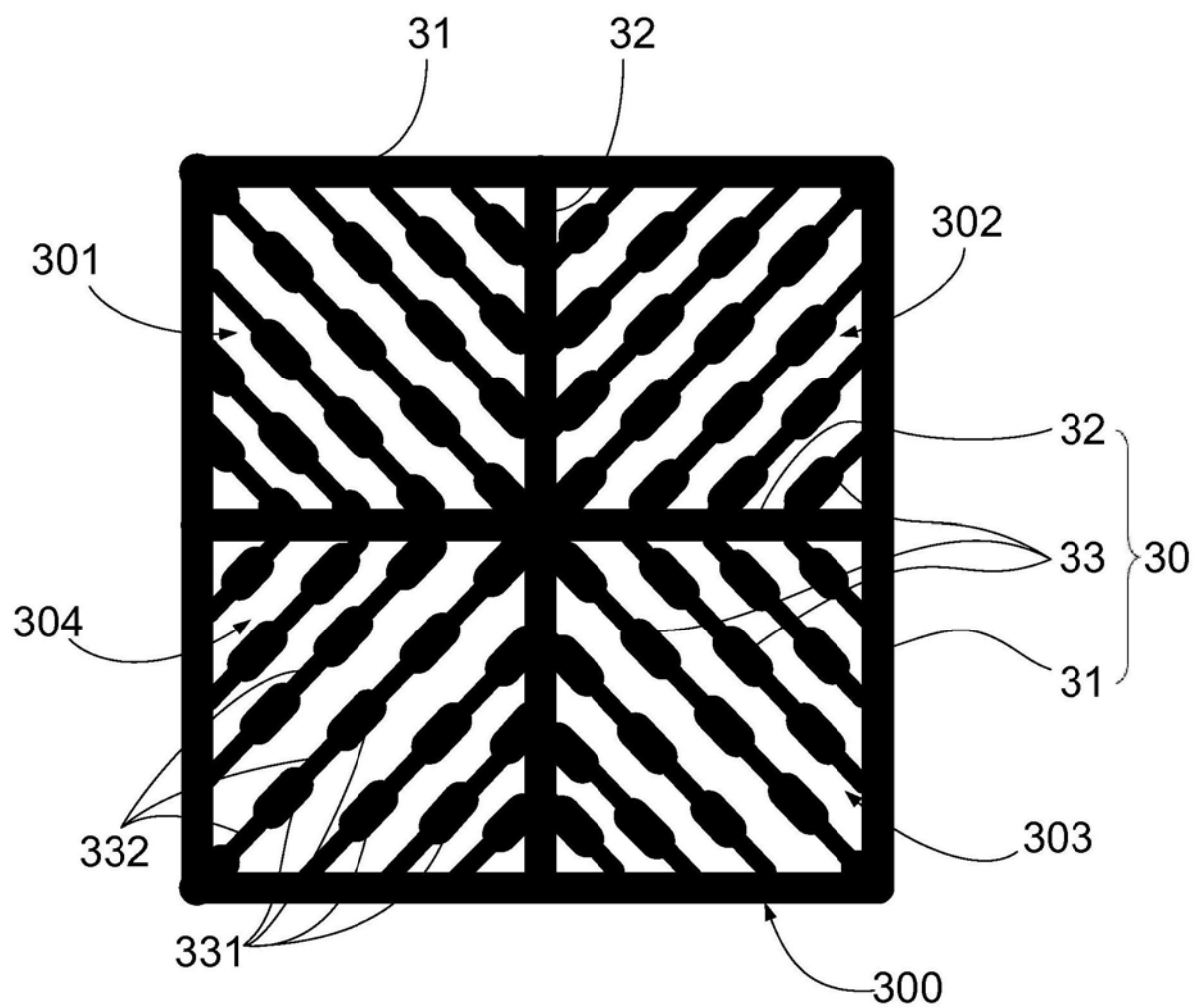


图3

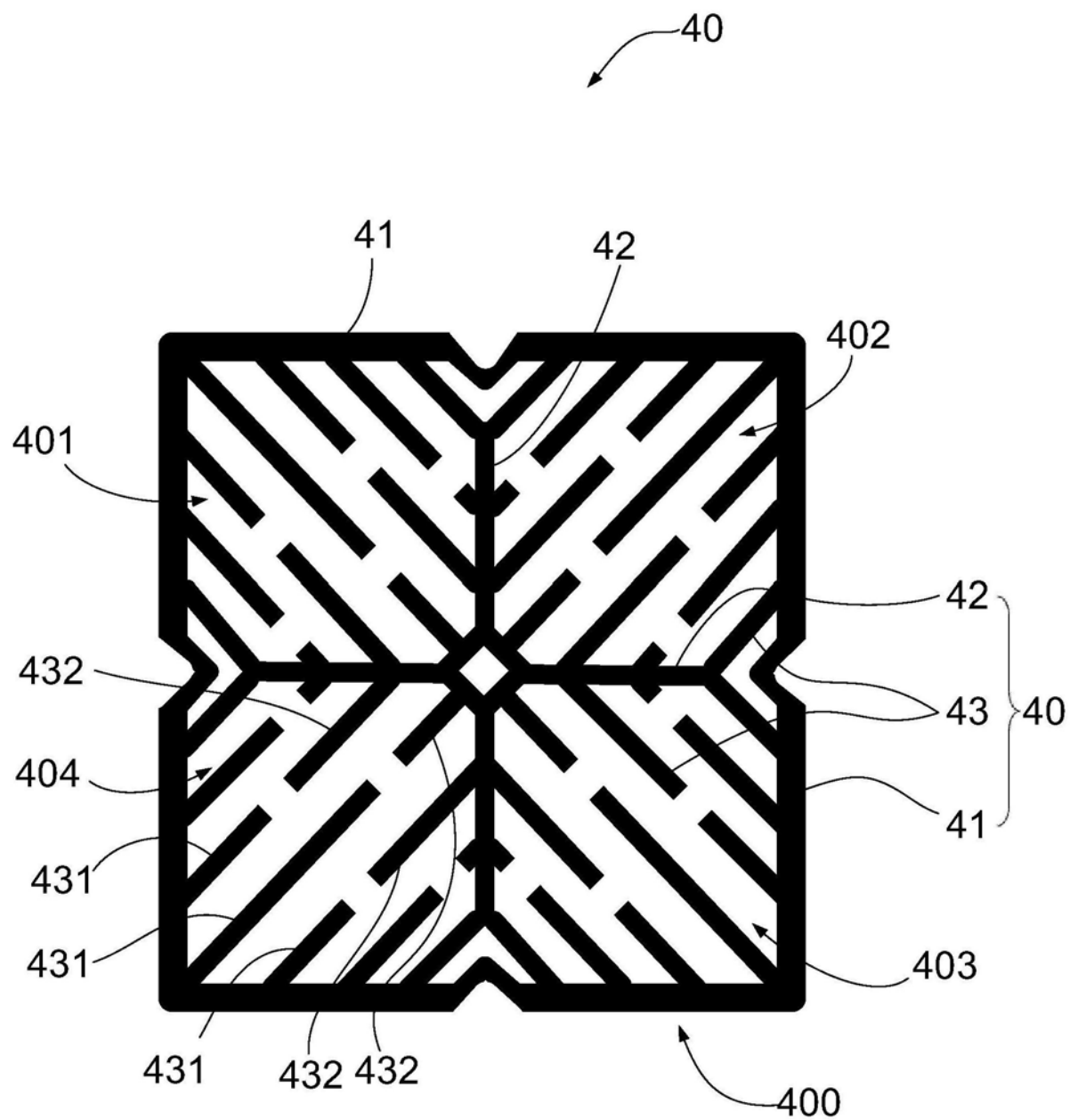


图4

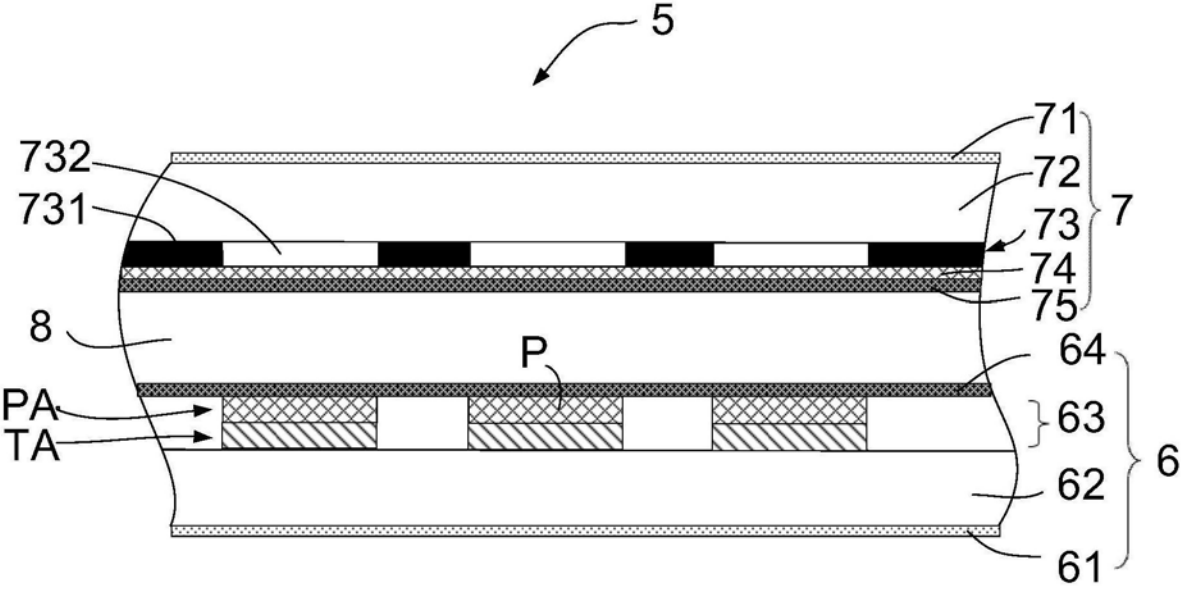


图5

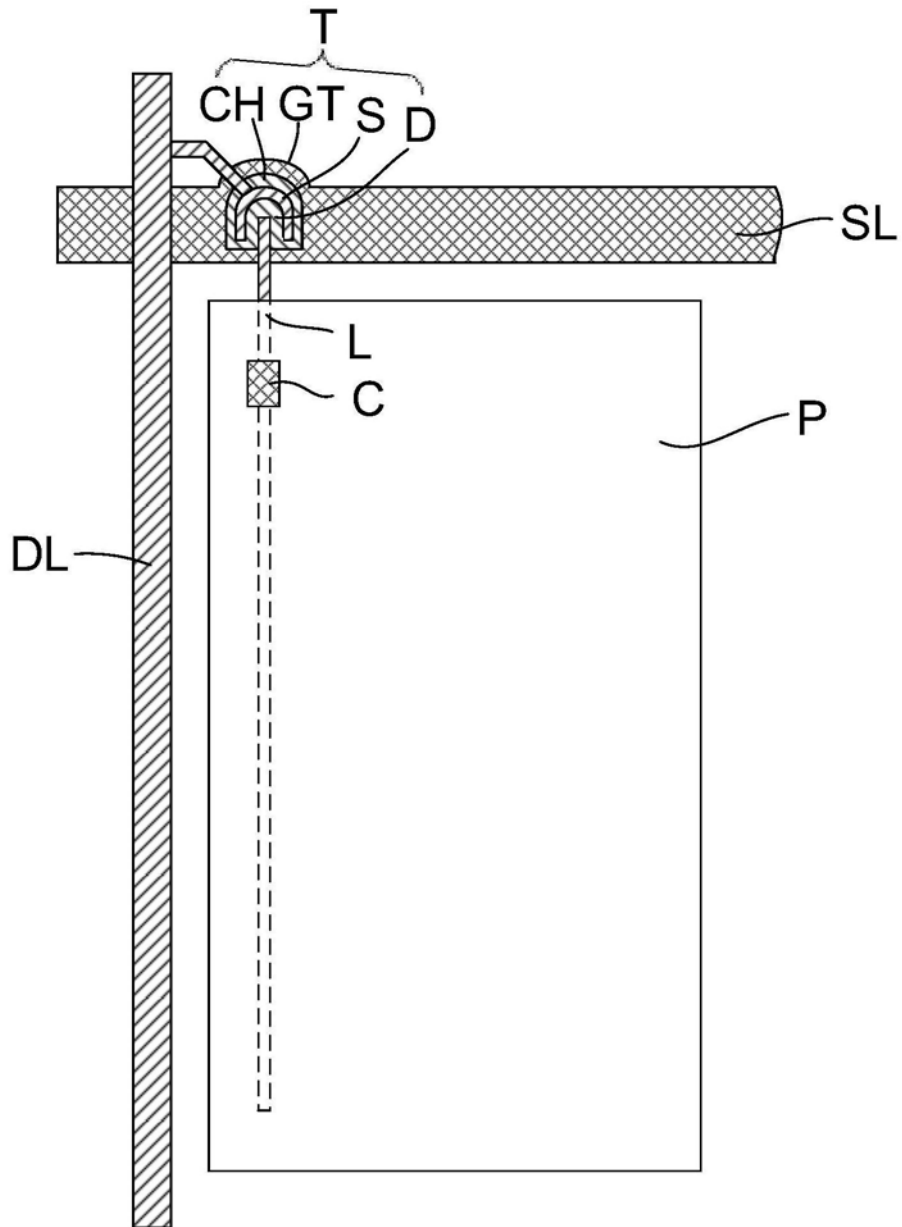


图6

专利名称(译)	像素电极及液晶显示面板		
公开(公告)号	CN109856872A	公开(公告)日	2019-06-07
申请号	CN201910279844.7	申请日	2019-04-09
[标]申请(专利权)人(译)	惠科股份有限公司		
申请(专利权)人(译)	惠科股份有限公司		
当前申请(专利权)人(译)	惠科股份有限公司		
[标]发明人	黄北洲		
发明人	黄北洲		
IPC分类号	G02F1/1343 G02F1/1337		
外部链接	Espacenet SIPO		

摘要(译)

本公开实施例公开了一种像素电极及液晶显示面板。所述像素电极包括边框电极线、多条主干电极线及多条分支电极线。所述边框电极线围合形成一个电极区域。所述多条主干电极线在电极区域内交叉分布从而将电极区域分割成多个液晶配向区。所述多条分支电极线等间距地分布在每个液晶配向区，每条分支电极线均与边框电极线、主干电极线成夹角，且每条分支电极线均包括依次连接的第一连接段和第二连接段，所述第一连接段的线宽大于所述第二连接段的线宽。

