



(12) 发明专利申请

(10) 申请公布号 CN 105629614 A

(43) 申请公布日 2016. 06. 01

(21) 申请号 201610190726. 5

(22) 申请日 2016. 03. 29

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 肖丽 张慧

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 彭久云

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

G02F 1/1343(2006. 01)

H01L 21/77(2006. 01)

H01L 27/12(2006. 01)

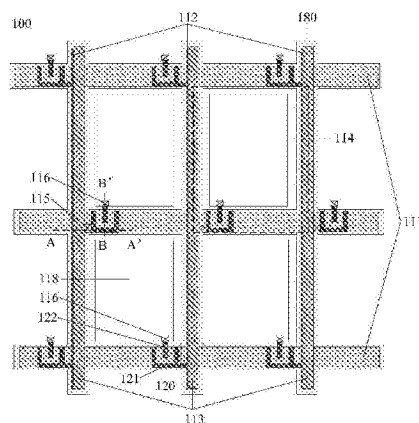
权利要求书2页 说明书8页 附图5页

(54) 发明名称

阵列基板及其制造方法、显示面板和显示装置

(57) 摘要

一种阵列基板及其制造方法、显示面板和显示装置。该阵列基板包括衬底基板、设置于衬底基板上的多条栅线、多条第一数据线、多条第二数据线和以矩阵形式排布的多行和多列像素单元。每行像素单元由相应的栅线驱动，多行像素单元中，每两行构成一个像素单元行组且像素单元行组在阵列基板的工作过程中接收相同的栅极信号；每列像素单元由相应的第一数据线和第二数据线驱动，相邻的第一数据线和第二数据线相互绝缘、设置于不同的层，且连接到不同的像素单元，该相邻的第一数据线和第二数据线在垂直于衬底基板的板面的方向上至少部分交叠。该阵列基板减小了两条数据线占用的面积，使相应的黑矩阵面积减小，提高了液晶显示面板的开口率。



1. 一种阵列基板, 包括衬底基板、设置于所述衬底基板上的多条栅线、多条第一数据线、多条第二数据线和以矩阵形式排布的多行和多列像素单元, 其中,

每行所述像素单元由相应的栅线驱动, 所述多行像素单元中, 每两行构成一个像素单元行组且所述像素单元行组在所述阵列基板的工作过程中接收相同的栅极信号;

每列所述像素单元由相应的第一数据线和第二数据线驱动, 相邻的所述第一数据线和所述第二数据线相互绝缘、设置于不同的层, 且连接到不同的像素单元, 所述相邻的第一数据线和所述第二数据线在垂直于所述衬底基板的板面的方向上至少部分交叠。

2. 根据权利要求1所述的阵列基板, 其中,

第 $2m-1$ 行所述像素单元与第 $2m$ 行所述像素单元构成一个像素单元行组且在所述阵列基板的工作过程中接收相同的栅极信号, m 为大于或等于1的自然数。

3. 根据权利要求1或2所述的阵列基板, 还包括多个第一过孔和设置在每个所述像素单元中的薄膜晶体管, 其中,

所述第一数据线与每个像素单元行组中的一行所述像素单元中的薄膜晶体管的源极和漏极同层设置, 所述第二数据线通过相应的所述第一过孔与所述像素单元行组中的另一行所述像素单元中的薄膜晶体管电连接。

4. 根据权利要求3所述的阵列基板, 其中, 所述第一过孔与所述栅线在所述阵列基板的板面方向上至少部分交叠。

5. 根据权利要求1或2所述的阵列基板, 还包括第一钝化层, 其中, 所述第一钝化层设置于所述第一数据线与所述第二数据线之间。

6. 根据权利要求5所述的阵列基板, 其中, 所述第一钝化层为无机绝缘层。

7. 根据权利要求5所述的阵列基板, 还包括屏蔽电极层和公共电极, 其中, 所述屏蔽电极层设置于所述第一钝化层和所述第二数据线之间, 所述屏蔽电极层与所述公共电极同层设置、由相同的材料形成且被施加相同的电压。

8. 根据权利要求7所述的阵列基板, 还包括第二钝化层, 其中, 所述第二钝化层设置在所述屏蔽电极层和所述第二数据线之间。

9. 根据权利要求8所述的阵列基板, 其中, 所述第二钝化层为无机绝缘层。

10. 根据权利要求8所述的阵列基板, 还包括平坦化层, 其中, 所述平坦化层设置于所述屏蔽电极层与所述第一钝化层之间。

11. 根据权利要求10所述的阵列基板, 其中, 所述平坦化层为树脂层。

12. 根据权利要求10所述的阵列基板, 还包括保护层和像素电极, 其中, 所述保护层设置在所述第二数据线上, 所述保护层和所述像素电极同层设置且由相同的材料形成。

13. 根据权利要求12所述的阵列基板, 其中, 所述保护层为氧化铟锡层。

14. 一种显示面板, 包括如权利要求1-13任一项所述的阵列基板。

15. 一种显示装置, 包括如权利要求14所述的显示面板。

16. 一种阵列基板的制造方法, 包括:

在衬底基板上形成多条栅线、多条第一数据线、多条第二数据线和以矩阵形式排布的多行和多列像素单元,

其中, 每行所述像素单元由相应的栅线驱动, 所述多行像素单元中, 每两行构成一个像素单元行组;

每列像素单元由相应的第一数据线和第二数据线驱动,相邻的所述第一数据线和所述第二数据线相互绝缘、设置于不同的层,且连接到不同的像素单元,所述相邻的第一数据线和所述第二数据线在垂直于衬底基板的板面的方向上至少部分交叠。

17.根据权利要求16所述的阵列基板的制造方法,还包括,在所述第一数据线和所述第二数据线之间形成第一钝化层。

18.根据权利要求17所述的阵列基板的制造方法,还包括,在同一次图案化工艺中形成屏蔽电极层和公共电极,其中,所述屏蔽电极层设置在所述第一钝化层和所述第二数据线之间。

19.根据权利要求18所述的阵列基板的制造方法,还包括,在所述屏蔽电极层和所述第二数据线之间形成第二钝化层。

20.根据权利要求19所述的阵列基板的制造方法,还包括,在同一次图案化工艺中形成保护层和像素电极,其中,所述保护层设置在所述第二数据线上。

阵列基板及其制造方法、显示面板和显示装置

技术领域

[0001] 本公开的实施例涉及一种阵列基板及其制造方法、显示面板和显示装置。

背景技术

[0002] TFT-LCD(Thin Film Transistor-Liquid Crystal Display, 薄膜晶体管液晶显示器)图像显示品质好、能耗低且环保, 广泛应用于显示器领域。

[0003] TFT-LCD中的显示面板通过将阵列基板和对置基板对盒形成, 阵列基板和对置基板对盒后的空腔内填充有液晶。阵列基板上形成有纵横交叉的数据线和栅线, 数据线和栅线交叉形成矩阵形式排列的像素单元。

发明内容

[0004] 本公开的实施例提供一种阵列基板, 包括衬底基板、设置于所述衬底基板上的多条栅线、多条第一数据线、多条第二数据线和以矩阵形式排布的多行和多列像素单元, 其中, 每行所述像素单元由相应的栅线驱动, 所述多行像素单元中, 每两行构成一个像素单元行组且所述像素单元行组在所述阵列基板的工作过程中接收相同的栅极信号; 每列所述像素单元由相应的第一数据线和第二数据线驱动, 相邻的所述第一数据线和所述第二数据线相互绝缘、设置于不同的层, 且连接到不同的像素单元, 所述相邻的第一数据线和所述第二数据线在垂直于所述衬底基板的板面的方向上至少部分交叠。

[0005] 例如, 在本公开一实施例提供的阵列基板中, 第 $2m-1$ 行所述像素单元与第 $2m$ 行所述像素单元构成一个像素单元行组且在所述阵列基板的工作过程中接收相同的栅极信号, m 为大于或等于1的自然数。

[0006] 例如, 本公开一实施例提供的阵列基板, 还包括多个第一过孔和设置在每个所述像素单元中的薄膜晶体管, 其中, 所述第一数据线与每个像素单元行组中的一行所述像素单元中的薄膜晶体管的源极和漏极同层设置, 所述第二数据线通过相应的所述第一过孔与所述像素单元行组中的另一行所述像素单元中的薄膜晶体管电连接。

[0007] 例如, 在本公开一实施例提供的阵列基板中, 所述第一过孔与所述栅线在所述阵列基板的板面方向上至少部分交叠。

[0008] 例如, 本公开一实施例提供的阵列基板, 还包括第一钝化层, 其中, 所述第一钝化层设置于所述第一数据线与所述第二数据线之间。

[0009] 例如, 在本公开一实施例提供的阵列基板中, 所述第一钝化层为无机绝缘层。

[0010] 例如, 本公开一实施例提供的阵列基板, 还包括屏蔽电极层和公共电极, 其中, 所述屏蔽电极层设置于所述第一钝化层和所述第二数据线之间, 所述屏蔽电极层与所述公共电极同层设置、由相同的材料形成且被施加相同的电压。

[0011] 例如, 本公开一实施例提供的阵列基板, 还包括第二钝化层, 其中, 所述第二钝化层设置于所述屏蔽电极层和所述第二数据线之间。

[0012] 例如, 在本公开一实施例提供的阵列基板中, 所述第二钝化层为无机绝缘层。

[0013] 例如,本公开一实施例提供的阵列基板,还包括平坦化层,其中,所述平坦化层设置于所述屏蔽电极层与所述第一钝化层之间。

[0014] 例如,在本公开一实施例提供的阵列基板中,所述平坦化层为树脂层。

[0015] 例如,本公开一实施例提供的阵列基板,还包括保护层和像素电极,其中,所述保护层设置在所述第二数据线上,所述保护层和所述像素电极同层设置且由相同的材料形成。

[0016] 例如,在本公开一实施例提供的阵列基板中,所述保护层为氧化锡锡层。

[0017] 本公开的实施例提供还提供一种显示面板,包括本公开任一实施例所述的阵列基板。

[0018] 本公开的实施例提供还提供一种显示装置,包括本公开任一实施例所述的显示面板。

[0019] 本公开的实施例提供还提供一种阵列基板的制造方法,包括:在衬底基板上形成多条栅线、多条第一数据线、多条第二数据线和以矩阵形式排布的多行和多列像素单元,其中,每行所述像素单元由相应的栅线驱动,所述多行像素单元中,每两行构成一个像素单元行组;每列像素单元由相应的第一数据线和第二数据线驱动,相邻的所述第一数据线和所述第二数据线相互绝缘、设置于不同的层,且连接到不同的像素单元,所述相邻的第一数据线和所述第二数据线在垂直于衬底基板的板面的方向上至少部分交叠。

[0020] 例如,本公开一实施例提供的阵列基板的制造方法,还包括,在所述第一数据线和所述第二数据线之间形成第一钝化层。

[0021] 例如,本公开一实施例提供的阵列基板的制造方法,还包括,在同一次图案化工艺中形成屏蔽电极层和公共电极,其中,所述屏蔽电极层设置在所述第一钝化层和所述第二数据线之间。

[0022] 例如,本公开一实施例提供的阵列基板的制造方法,还包括,在所述屏蔽电极层和所述第二数据线之间形成第二钝化层。

[0023] 例如,本公开一实施例提供的阵列基板的制造方法,还包括,在同一次图案化工艺中形成保护层和像素电极,其中,所述保护层设置在所述第二数据线上。

附图说明

[0024] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例或相关技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本公开的一些实施例,并非对本公开的限制。

[0025] 图1是一种阵列基板的俯视示意图;

[0026] 图2是本公开实施例提供的一种阵列基板的俯视示意图;

[0027] 图3是本公开实施例提供的一种阵列基板的一个示例沿图2中AA'线的剖视示意图;

[0028] 图4是本公开实施例提供的一种阵列基板的又一个示例沿图2中AA'线的剖视示意图;

[0029] 图5A至图5I是本公开实施例提供的一种与图4对应的阵列基板的制造方法沿图2中BB'线的剖视示意图;以及

[0030] 图6是本公开实施例提供的一种显示面板的剖视示意图。

具体实施方式

[0031] 下面将结合附图,对本公开实施例中的技术方案进行清楚、完整地描述参考在附图中示出并在以下描述中详述的非限制性示例实施例,更加全面地说明本公开的示例实施例和它们的多种特征及有利细节。应注意的是,图中示出的特征不是必须按照比例绘制。本公开省略了部分已知材料、组件和工艺技术的描述,但不会使得本公开的示例实施例模糊。所给出的示例仅旨在有利于理解本公开示例实施例的实施,以及进一步使本领域技术人员能够实施示例实施例。因而,这些示例不应被理解为对本公开的实施例的范围的限制。

[0032] 除非另外特别定义,本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。此外,在本公开各个实施例中,相同或类似的参考标号表示相同或类似的构件。

[0033] 液晶显示面板的阵列基板可由逐行扫描方式驱动,这种驱动方法在提高刷新频率时,可能造成像素电极的充电时间不足,进而导致画面质量较差,阻碍了大尺寸、高分辨率液晶显示产品的发展。液晶显示面板的阵列基板也可以采用双行扫描的方式,即任何时刻都有两行像素电极处于充电状态,可为每个像素电极提供两倍于原有逐行扫描驱动方式的充电时间,保证了画面质量,尤其适合于大尺寸、高分辨率液晶显示产品。双行扫描方式需要对每列像素单元对应设置两条数据线,而且两条数据线间需要间隔一定的距离。对应于在阵列基板上的数据线,靠近液晶显示面板出光面的一侧的对置基板(例如彩膜基板)上可设置黑矩阵。因此,当两条数据线同层设置时,在数据线的宽度方向上,黑矩阵的宽度也相应增加,导致液晶显示面板开口率的下降。

[0034] 例如,当刷新频率为60Hz,像素单元的行数为1024,驱动采用逐行扫描时,每行像素电极的充电时间为 $1/(1024 \times 60)$ s,约为 $16.3\mu\text{s}$,也就是说从一个灰阶切换到另一个灰阶需要在约 $16.3\mu\text{s}$ 内完成(这也包括充电电压达到要求值以及液晶偏转总共需要的时间)。但在双行扫描方式下,每行像素电极的充电时间为 $1/(512 \times 60)$ s,约为 $32.6\mu\text{s}$,即双行扫描方式为每行像素单元中的像素电极提供两倍于原有逐行扫描驱动方式的充电时间。

[0035] 例如,图1是一种阵列基板100'的俯视示意图。该阵列基板100'包括多条第一数据线112'、多条第二数据线113'、多条栅线111'和多个像素单元114',每个像素单元114'中设置有薄膜晶体管120'和像素电极118',其中,第一数据线112'和第二数据线113'同层设置且分别与不同行像素单元中的薄膜晶体管120'的源极121'电连接。薄膜晶体管120'中的漏极122'通过第二过孔116'与像素单元118'电连接。每两行像素单元114'在阵列基板100'的工作过程中接收相同的栅极信号,例如,图中用于驱动第一行和第二行像素单元的两条栅线在工作过程中接收相同的栅极信号,由此第一行和第二行像素单元被同步开启和关闭。黑矩阵180'覆盖第一数据线112'、多条第二数据线113'和多条栅线111',该黑矩阵180'可以设置在液晶面板中与该阵列基板相对设置的对置基板之上,或者可以直接设置在该阵列基板上。

[0036] 图1所示的阵列基板100'可以实现双行扫描的工作方式,可为每个像素电极提供两倍于原有逐行扫描驱动方式的充电时间,但与逐行扫描驱动方式相比,黑矩阵180'覆盖

的面积增大,导致采用该阵列基板的液晶显示面板开口率的下降,从而增加了能耗。

[0037] 本公开的实施例提供一种阵列基板,包括衬底基板、设置于衬底基板上的多条栅线、多条第一数据线、多条第二数据线和以矩阵形式排布的多行和多列像素单元,其中,每行像素单元由相应的栅线驱动,多行像素单元中,每两行构成一个像素单元行组且像素单元行组在阵列基板的工作过程中接收相同的栅极信号;每列像素单元由相应的第一数据线和第二数据线驱动,相邻的第一数据线和第二数据线相互绝缘、设置于不同的层,且连接到不同的像素单元,第一数据线和第二数据线在垂直于衬底基板的板面的方向上至少部分交叠。

[0038] 本公开实施例提供的阵列基板减小了两条数据线占用的面积,由此可使相应需要覆盖黑矩阵面积减小,进而提高了采用该阵列基板的液晶显示面板的开口率,降低了液晶面板的功耗。

[0039] 图2是本公开一个实施例提供的一种阵列基板的俯视示意图;图3是本公开实施例提供的一种阵列基板的一个示例沿图2中AA'线的剖视示意图;图4是本公开实施例提供的一种阵列基板的又一个示例沿图2中AA'线的剖视示意图;图51是本公开实施例提供的一种与图4对应的阵列基板沿图2中BB'线的剖视示意图。

[0040] 如图2、图3、图4、图51所示,本公开的实施例提供一种阵列基板100,其包括衬底基板110、设置于衬底基板110上的多条栅线111、多条第一数据线112、多条第二数据线113和以矩阵形式排布的多行和多列像素单元114,其中,每行像素单元114由相应的栅线111驱动。多行像素单元114中,每两行构成一个像素单元行组且像素单元行组在阵列基板100的工作过程中接收相同的栅极信号,例如用于一个像素单元行组的两条栅线连接到同一个栅驱动器。每列像素单元114由相应的第一数据线112和第二数据线113驱动,相邻的第一数据线112和第二数据线113相互绝缘、设置于不同的层,且连接到所述列中不同的像素单元114,该相邻的第一数据线112和第二数据线113在垂直于衬底基板110的板面的方向上至少部分交叠。例如,该相邻的第一数据线112和第二数据线113在垂直于衬底基板110的板面的方向上完全交叠。例如,在上层的第二数据线113相对于衬底基板110的投影完全落入在下层的第一数据线112相对于衬底基板110的投影之中,因此第二数据线113的宽度小于等于第一数据线112的宽度。

[0041] 如图2所示,两列像素单元之间彼此相邻的第一数据线112和第二数据线113分别用于驱动位于它们两侧的两列像素单元,图中第一数据线112用于驱动左侧一列中的第1、3、5……行中的像素单元,第二数据线113用于驱动右侧一列中的第2、4、6……行中的像素单元。然而,本公开的实施例不限于此,两列像素单元之间彼此相邻的第一数据线112和第二数据线113可以用于驱动位于它们同一侧的一列像素单元,例如第一数据线112用于驱动该列中的第1、3、5……行中的像素单元,第二数据线113用于该列中的第2、4、6……行中的像素单元。

[0042] 例如,如图2所示,与图1中黑矩阵180'相比,由于两列像素单元之间彼此相邻的第一数据线112和第二数据线113交叠设置,二者总地占用基板面积相对于二者彼此并列设置时减小,从而图2中黑矩阵180覆盖的面积减小,提升了采用该阵列基板的液晶显示面板的开口率。

[0043] 例如,在本公开一实施例提供的阵列基板100中,第 $2m-1$ 行像素单元与第 $2m$ 行像素

单元构成一个像素单元行组且在阵列基板100的工作过程中接收相同的栅极信号, m 为大于或等于1的自然数。

[0044] 在本公开的另一个实施例中,构成一个像素单元行组的两行像素单元不相邻,例如,第 $4m-3$ 行和第 $4m-1$ 行像素单元构成一个像素单元行组,第 $4m-2$ 行和第 $4m$ 行像素单元构成一个像素单元行组, m 为大于或等于1的自然数;或者,如果整个阵列基板包括 $2n$ 行像素单元,则第 m 行和第 $n+m$ 行像素单元构成一个像素单元行组, m 、 n 为大于或等于1的自然数,且 $m < n$ 。

[0045] 例如,本公开一实施例提供的阵列基板100,还包括多个第一过孔115和设置在每个像素单元114中的薄膜晶体管120,其中,第一数据线与每个像素单元行组中的一行像素单元中的薄膜晶体管的源极和漏极同层设置,第二数据线通过相应的第一过孔与像素单元行组中的另一行像素单元中的薄膜晶体管电连接。例如,对于上述第 $2m-1$ 行像素单元与第 $2m$ 行像素单元构成一个像素单元行组的情形,第一数据线112与第 $2m-1$ 行像素单元中薄膜晶体管120的源极121和漏极122同层设置且与源极121(抑或漏极122)电连接,第二数据线113通过第一过孔115与第 $2m$ 行像素单元中薄膜晶体管120的源极121(抑或漏极122)电连接;或者,第一数据线112与第 $2m$ 行像素单元中薄膜晶体管120的源极121和漏极122同层设置且与源极121(抑或漏极122)电连接,第二数据线113通过第一过孔115与第 $2m-1$ 行像素单元中薄膜晶体管120的源极121(抑或漏极122)电连接。

[0046] 例如,如图2所示,薄膜晶体管120的漏极122通过第二过孔116与像素单元118电连接。

[0047] 例如,对于图2所示的阵列基板100的双行扫描的工作原理可如下所述。下面的描述以第 $2m-1$ 行像素单元与第 $2m$ 行像素单元构成一个像素单元行组(m 为大于或等于1的自然数)的情形为例进行说明,但是其他实施例中像素单元行组构成方式也同样适用。

[0048] 在第一预设时刻,第1行像素单元的栅线与第2行像素单元的栅线接收相同的栅极开启信号,同时打开了第1行像素单元和第2行像素单元;与此同时,通过第一数据线112向第1行像素单元或第2行像素单元发送数据信号,相应地通过第二数据线113向第2行像素单元或第1行像素单元发送数据信号,在经历一个周期后第1行像素单元的栅线与第2行像素单元的接收相同的栅极关闭信号,同时关闭了第1行像素单元和第2行像素单元,实现同时驱动第1行像素单元和第2行像素单元。

[0049] 在第二预设时刻,第3行像素单元的栅线与第4行像素单元的栅线接收相同的栅极开启信号,同时打开了第3行像素单元和第4行像素单元;与此同时,通过第一数据线112向第3行像素单元或第4行像素单元发送数据信号,相应地通过第二数据线113向第4行像素单元或第3行像素单元发送数据信号,在经历一个周期后第3行像素单元的栅线与第4行像素单元的接收相同的栅极关闭信号,同时关闭了第3行像素单元和第4行像素单元,实现同时驱动第3行像素单元和第4行像素单元。

[0050] 如上操作针对之后的各个像素单元行组依次进行,直到整个阵列基板的像素单元行都被充电,由此完成了一帧画面的扫描。

[0051] 例如,第 $2m-1$ 行像素单元与第 $2m$ 行像素单元可由同一个栅极驱动器或栅极驱动器的同一输出通道驱动,实现接收相同的栅极信号。因此,栅极驱动器或栅极驱动器输出通道数量减少,简化了电路设计,节省了栅极驱动器的成本。

[0052] 例如,如图2所示,在本公开一实施例提供的阵列基板100中,第一过孔115与栅线111在阵列基板100的板面方向上至少部分交叠。第一过孔115与栅线111交叠设置可以使第一过孔115不占用像素电极118的面积,从而提高开口率。

[0053] 例如,薄膜晶体管120的形状不局限于如图2所示的U形薄膜晶体管,也可为直线形薄膜晶体管,在此不做限定。

[0054] 例如,图3是本公开实施例提供的一种阵列基板的一个示例沿图2中AA'线的剖视示意图。如图3所示,本公开一实施例提供的阵列基板100,还包括第一钝化层130,其中,第一钝化层130设置于第一数据线112与第二数据线113之间。第一钝化层130使相邻的第一数据线112和第二数据线113彼此绝缘,并且减小第一数据线112和第二数据线113之间的信号串扰。

[0055] 例如,在本公开一实施例提供的阵列基板100中,第一钝化层130为无机绝缘层。

[0056] 例如,图4是本公开实施例提供的一种阵列基板的又一个示例沿图2中AA'线的剖视示意图。如图4所示,本公开一实施例提供的阵列基板100还包括屏蔽电极层140和公共电极,其中,屏蔽电极层140设置于第一钝化层130和第二数据线113之间,屏蔽电极层140与公共电极同层设置、由相同的材料形成且被施加相同的电压。屏蔽电极层140可以减小第一数据线112和第二数据线113之间的信号串扰。例如,屏蔽电极层140可由氧化铟锡(ITO)形成。

[0057] 例如,本公开一实施例提供的阵列基板100还可包括第二钝化层150,其中,第二钝化层150设置在屏蔽电极层140和第二数据线113之间。第二钝化层150使屏蔽电极层140和第二数据线113绝缘,并且减小第一数据线112和第二数据线113之间的信号串扰。

[0058] 例如,在本公开一实施例提供的阵列基板100中,第二钝化层150为无机绝缘层。

[0059] 该屏蔽电极140可以直接形成在第一钝化层130上;或者,例如,本公开一实施例提供的阵列基板100还可包括平坦化层160,其中,平坦化层160设置于屏蔽电极层140与第一钝化层130之间。平坦化层160可起到平坦化的作用,便于后续膜层的均匀形成,同时减小第一数据线112和第二数据线113之间的信号串扰。

[0060] 例如,在本公开一实施例提供的阵列基板100中,平坦化层160例如为树脂层。

[0061] 例如,本公开一实施例提供的阵列基板100还可包括保护层170和像素电极,其中,保护层170设置在第二数据线113上,例如覆盖第二数据线113,保护层170和像素电极同层设置且由相同的材料形成,即保护层170可以在不增加工艺的情况下形成。保护层170可以保护第二数据线113,防止第二数据线113被氧化。

[0062] 例如,在本公开一实施例提供的阵列基板100中,保护层170例如为氧化铟锡(ITO)层。

[0063] 本公开的实施例提供还提供一种阵列基板的制造方法,包括:在衬底基板上形成多条栅线、多条第一数据线、多条第二数据线和以矩阵形式排布的多行和多列像素单元,其中,每行像素单元由相应的栅线驱动,多行像素单元中,每两行构成一个像素单元行组;每列像素单元由相应的第一数据线和第二数据线驱动,相邻的第一数据线和第二数据线相互绝缘、设置于不同的层,且连接到列中不同的像素单元,该相邻的第一数据线和第二数据线在垂直于衬底基板的板面的方向上至少部分交叠。

[0064] 例如,本公开一实施例提供的阵列基板的制造方法还包括,在第一数据线和第二数据线之间形成第一钝化层。

[0065] 例如,本公开一实施例提供的阵列基板的制造方法还包括,在第一钝化层和第二数据线之间形成屏蔽电极层。

[0066] 例如,本公开一实施例提供的阵列基板的制造方法还包括,在屏蔽电极层和第二数据线之间形成第二钝化层。

[0067] 例如,本公开一实施例提供的阵列基板的制造方法还包括,在第二数据线上形成保护层。

[0068] 例如,图5A至图5I是本公开实施例提供的一种与图4对应的阵列基板的制造方法沿图2中BB'线的剖视示意图,以用于说明,本公开的实施例不限于其示出的具体结构和步骤。

[0069] 例如,本公开的实施例提供还提供一种阵列基板的制造方法的一个示例如图5A至图5I所示,具体包含如下步骤:

[0070] 步骤1:如图5A所示,在衬底基板110上形成第一金属层,通过第一次构图工艺形成栅线111;例如,第一金属层通过磁控溅射的方法形成,制作第一金属层材料包括铝、钼、铝镍合金、铬、铜中任一种或其组合;或者,随着形成栅线111,还形成公共电极线;

[0071] 步骤2:如图5B所示,在栅线111上形成栅绝缘层117;例如,栅绝缘层117通过化学气相沉积法形成,制作栅绝缘层117的材料包括氮化硅、氧化硅和氮氧化硅中的任一种或其组合;

[0072] 步骤3:如图5C所示,通过第二次构图工艺在栅绝缘层117上形成有源层119;例如,有源层119通过化学气相沉积法形成,制作有源层119的材料包括非晶硅、多晶硅、氧化物半导体等;

[0073] 步骤4:如图5D所示,在有源层119上形成第二金属层,通过第三次构图工艺形成源极121、漏极122和第一数据线112(第一数据线112如图4所示);例如,第二金属层通过磁控溅射的方法形成,制作第二金属层材料包括铝、钼、铝镍合金、铬、铜中任一种或其组合;

[0074] 步骤5:如图5E所示,在源极121、漏极122上形成第一钝化层130,通过第四次构图工艺形成对应于源极121的第一过孔115(源极121的第一过孔115如图4所示)和对应于漏极122的第二过孔116;例如,第一钝化层130通过化学气相沉积法形成,制作第一钝化层130的材料包括氧化物或氮化物;

[0075] 步骤6:如图5F所示,通过第五次构图工艺在第一钝化层130上形成平坦化层160;例如,平坦化层160通过化学气相沉积法形成,制作平坦化层的材料例如为树脂;

[0076] 步骤7:如图5G所示,通过第六次构图工艺在平坦化层160上形成屏蔽电极层140;例如,制作屏蔽电极层140的材料包括氧化铟锡(ITO)或氧化铟锌(IZO);或者,随着形成屏蔽电极层140,还形成位于像素单元内的公共电极,该公共电极与该屏蔽电极层例如由相同的材料形成,该公共电极可以与公共电极线通过另外形成的过孔电连接;

[0077] 步骤8:如图5H所示,通过第七次构图工艺在屏蔽电极层140上形成第二钝化层150;例如,第二钝化层150通过化学气相沉积法形成,制作第二钝化层150的材料包括氧化物或氮化物;

[0078] 步骤9:在第二钝化层150上形成第三金属层,通过第八次构图工艺形成第二数据线113(第二数据线113如图4所示);例如,第三金属层通过磁控溅射的方法形成,制作第三金属层材料包括铝、钼、铝镍合金、铬、铜中任一种或其组合;

[0079] 步骤10:如图51所示,通过第九次构图工艺在第二钝化层150上形成位于像素单元内的像素电极118和位于第二数据线113之上的保护层170(保护层170如图4所示);例如,像素电极118和保护层170由相同的材料形成,该材料例如包括氧化铟锡(ITO)。

[0080] 例如,每次构图工艺包括曝光、显影、刻蚀、剥离等工艺。

[0081] 本公开的实施例还提供一种显示面板10,包括本公开任一实施例所述的阵列基板。

[0082] 例如,如图6所示,显示面板10还包括对置基板200,显示面板10通过阵列基板100和对置基板200对盒形成,阵列基板100和对置基板200对盒后的空腔内填充液晶。该对置基板200例如为彩膜基板,包括对置衬底基板210、黑矩阵180以及彩膜单元(图6中未示出),彩膜基板上的黑矩阵180的宽度与阵列基板上第一数据线和第二数据线总的宽度相等或更大。该图6所示出的显示面板的实施例为基于图4所示的阵列基板的实施例,但是本公开不限于此,例如可基于图3所示的阵列基板的实施例来制备显示面板。

[0083] 本公开的实施例提供还提供一种显示装置,包括本公开任一实施例所述的显示面板。

[0084] 例如,本公开的实施例提供的显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0085] 本公开实施例提供的阵列基板、显示面板和显示装置减小了两条数据线占用的面积,使相应需要覆盖黑矩阵面积减小,进而提高了液晶显示面板的开口率。

[0086] 虽然上文中已经用一般性说明及具体实施方式,对本公开作了详尽的描述,但在本公开实施例基础上,可以对之作一些修改或改进,这对本领域技术人员而言是显而易见的。因此,在不偏离本公开精神的基础上所做的这些修改或改进,均属于本公开要求保护的

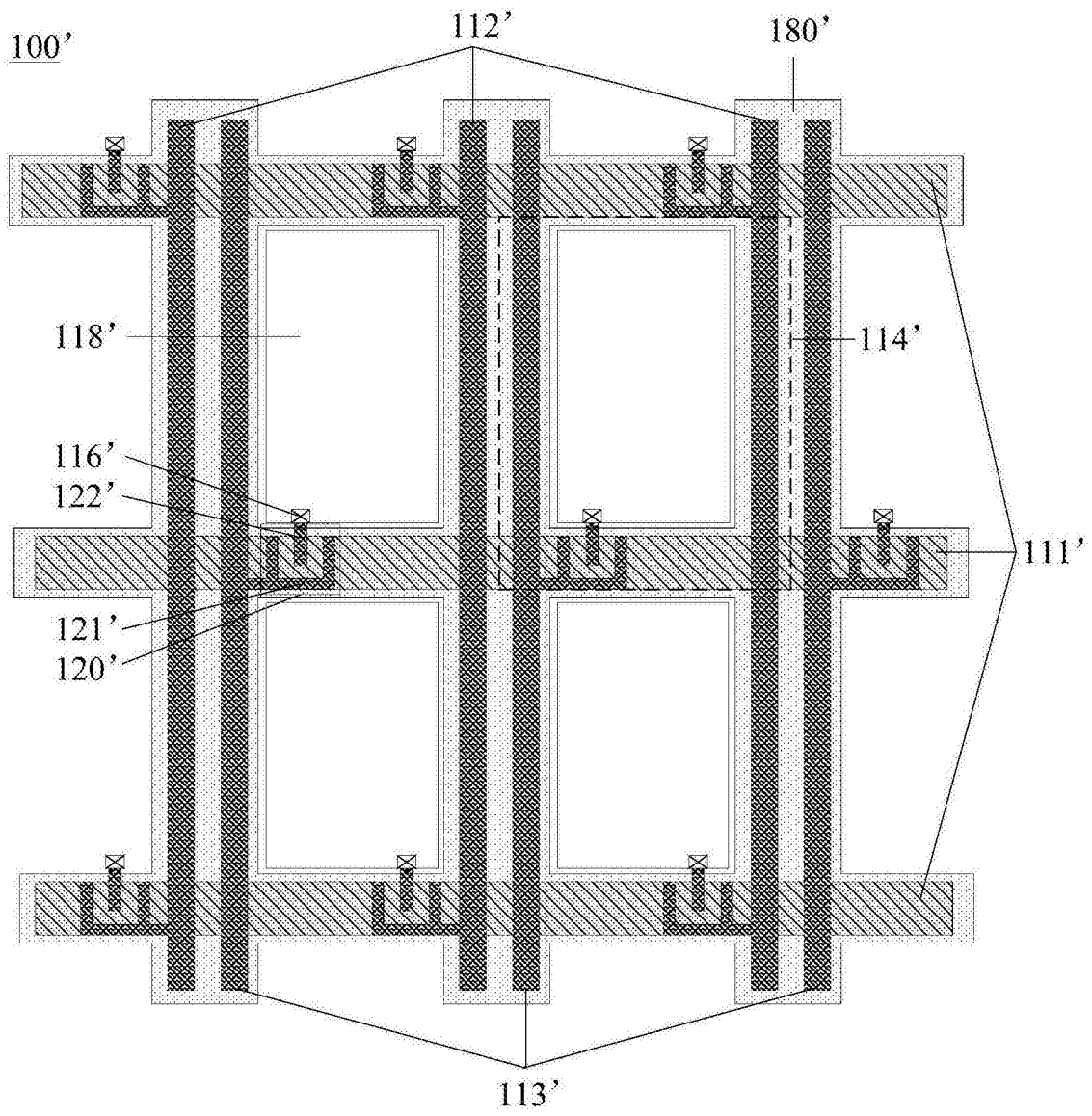


图1

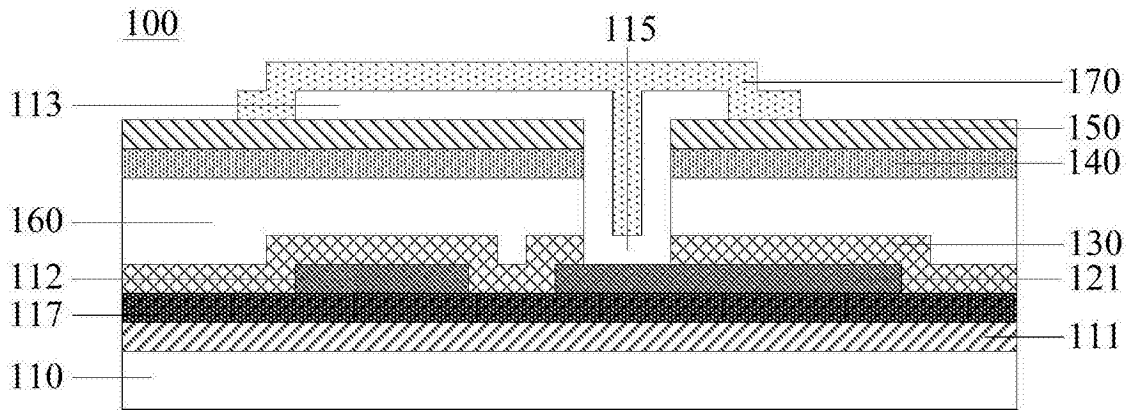


图4

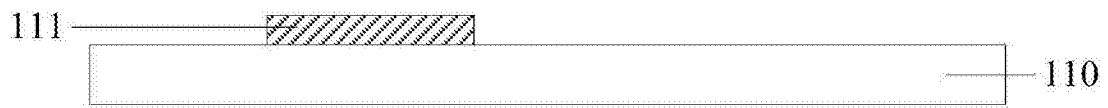


图5A

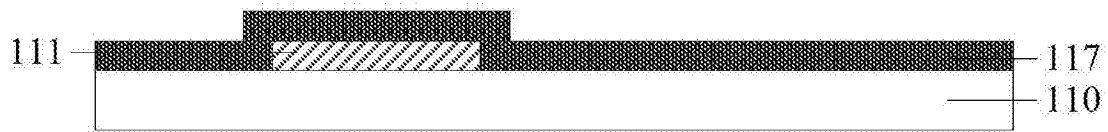


图5B



图5C



图5D

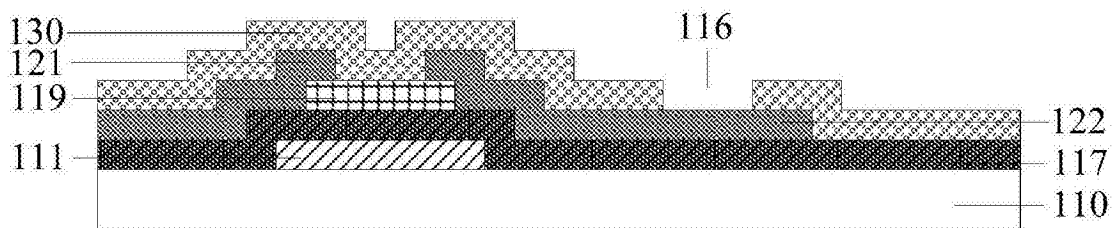


图5E

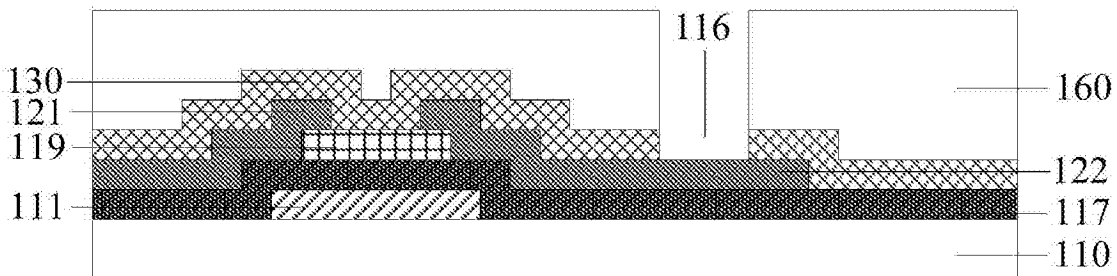


图5F

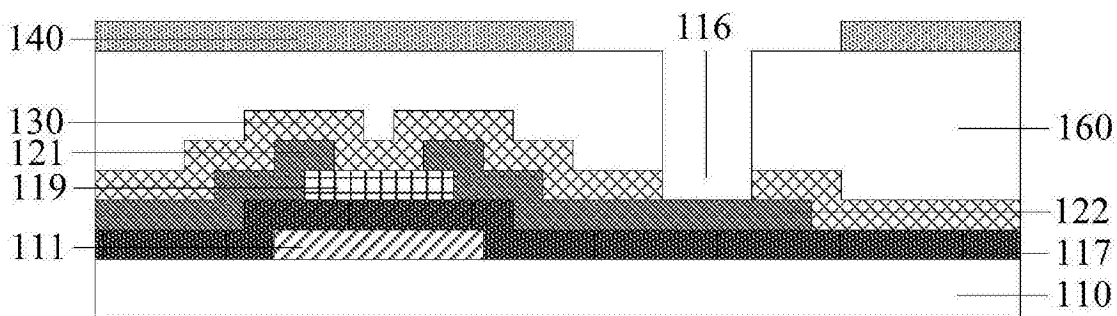


图5G

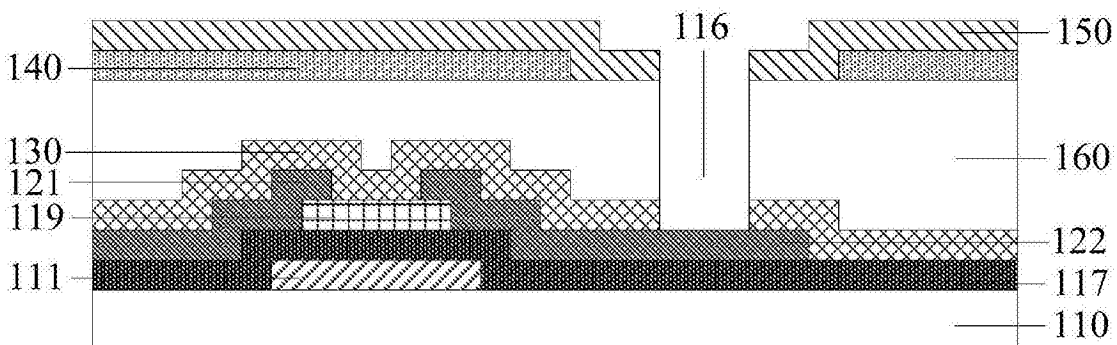


图5H

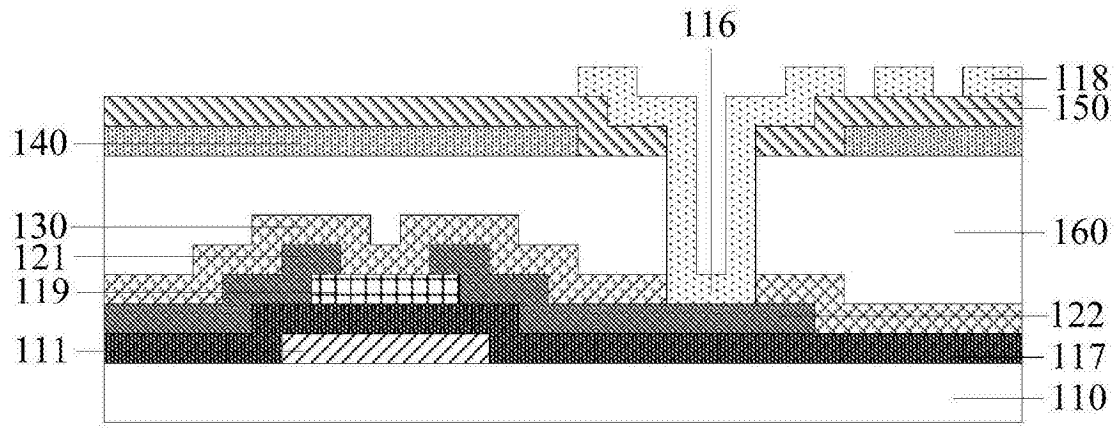


图51

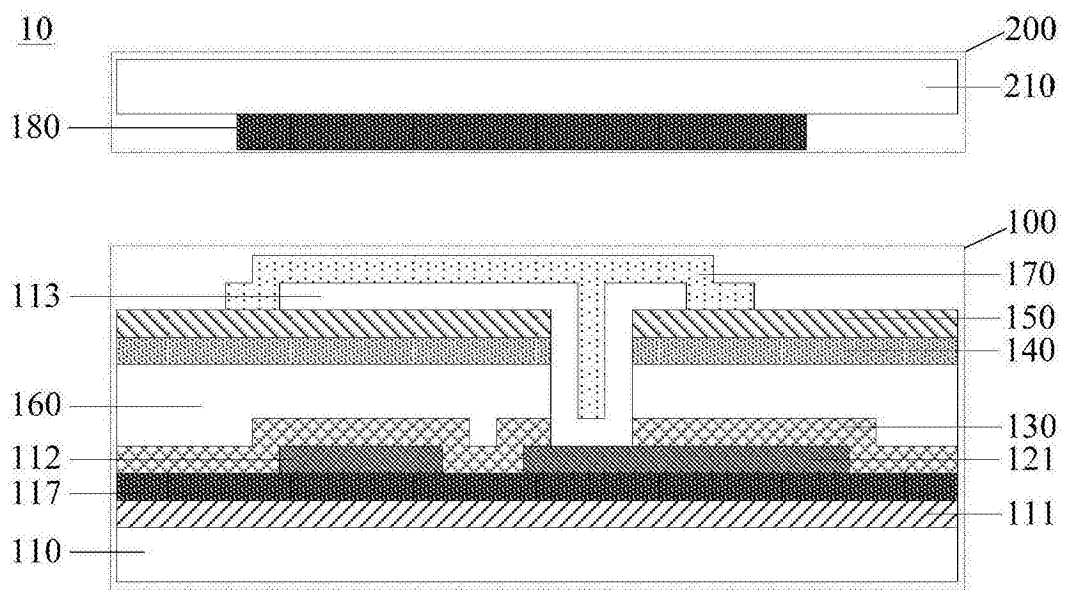


图6

专利名称(译)	阵列基板及其制造方法、显示面板和显示装置		
公开(公告)号	CN105629614A	公开(公告)日	2016-06-01
申请号	CN201610190726.5	申请日	2016-03-29
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	肖丽 张慧		
发明人	肖丽 张慧		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/1343 H01L21/77 H01L27/12		
CPC分类号	G02F1/136286 G02F1/133345 G02F1/133512 G02F1/1343 G02F2201/40 G02F1/134309 G02F1/136227 G02F1/1368 G02F2001/134318 H01L27/1214 H01L27/124 H01L27/1259		
外部链接	Espacenet SIPO		

摘要(译)

一种阵列基板及其制造方法、显示面板和显示装置。该阵列基板包括衬底基板、设置于衬底基板上的多条栅线、多条第一数据线、多条第二数据线和以矩阵形式排布的多行和多列像素单元。每行像素单元由相应的栅线驱动，多行像素单元中，每两行构成一个像素单元行组且像素单元行组在阵列基板的工作过程中接收相同的栅极信号；每列像素单元由相应的第一数据线和第二数据线驱动，相邻的第一数据线和第二数据线相互绝缘、设置于不同的层，且连接到不同的像素单元，该相邻的第一数据线和第二数据线在垂直于衬底基板的板面的方向上至少部分交叠。该阵列基板减小了两条数据线占用的面积，使相应的黑矩阵面积减小，提高了液晶显示面板的开口率。

