



(12) 发明专利申请

(10) 申请公布号 CN 105527767 A

(43) 申请公布日 2016. 04. 27

(21) 申请号 201610049385. X

(22) 申请日 2016. 01. 25

(71) 申请人 武汉华星光电技术有限公司

地址 430070 湖北省武汉市东湖开发区高新
大道 666 号生物城 C5 栋

(72) 发明人 曹尚操

(74) 专利代理机构 深圳市威世博知识产权代理
事务所 (普通合伙) 44280

代理人 何青瓦

(51) Int. Cl.

G02F 1/1362(2006. 01)

H01L 27/12(2006. 01)

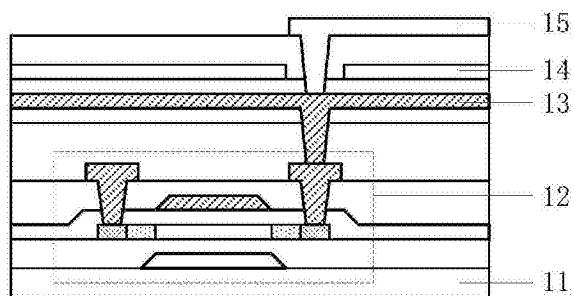
权利要求书1页 说明书4页 附图3页

(54) 发明名称

一种阵列基板以及液晶显示器

(57) 摘要

本发明公开了一种阵列基板以及液晶显示器,该阵列基板包括:基板;薄膜晶体管,设置于基板上方;导电层,设置于薄膜晶体管上方,并与薄膜晶体管的漏极连接;公共电极,设置于导电层上方,与导电层形成第一电容;像素电极,设置于公共电极上方,并与导电层连接,像素电极与公共电极形成第二电容。通过上述方式,本发明能够增加存储电容的大小,提高显示器的光学品质。



1. 一种阵列基板, 其特征在于, 包括:
基板;
薄膜晶体管, 设置于所述基板上方;
导电层, 设置于所述薄膜晶体管上方, 并与所述薄膜晶体管的漏极连接;
公共电极, 设置于所述导电层上方, 与所述导电层形成第一电容;
像素电极, 设置于所述公共电极上方, 并与所述导电层连接, 所述像素电极与所述公共电极形成第二电容。
2. 根据权利要求1所述的阵列基板, 其特征在于, 所述导电层的导电率大于所述像素电极的导电率。
3. 根据权利要求2所述的阵列基板, 其特征在于, 还包括触摸信号线, 所述触摸信号线与所述导电层采用相同工艺设置于同层。
4. 根据权利要求1所述的阵列基板, 其特征在于, 还包括:
平坦层, 覆盖所述薄膜晶体管;
第一绝缘层, 设置于所述平坦层与所述导电层之间;
第二绝缘层, 设置于所述导电层与所述公共电极之间;
第三绝缘层, 设置于所述公共电极与所述像素电极之间。
5. 根据权利要求4所述的阵列基板, 其特征在于, 所述导电层通过所述第一绝缘层及所述平坦层上的通孔与所述薄膜晶体管的漏极连接。
6. 根据权利要求4所述的阵列基板, 其特征在于, 所述像素电极通过所述第二绝缘层和所述第三绝缘层上的通孔与所述导电层连接。
7. 根据权利要求1所述的阵列基板, 其特征在于, 所述薄膜晶体管包括:
遮光层, 设置于所述基板上方;
缓冲层, 覆盖所述遮光层和所述基板;
有源层, 设置于所述缓冲层上方;
栅极绝缘层, 覆盖所述有源层, 包括第一源极通孔以及第一漏极通孔;
栅极, 设置于所述栅极绝缘层上方;
层间介电层, 覆盖所述栅极, 包括与所述第一源极通孔对应的第二源极通孔和与所述第一漏极通孔对应的第二漏极通孔;
源漏层, 设置于所述层间介电层上方, 包括源极和漏极, 所述源极通过所述第一源极通孔和所述第二源极通孔与所述有源层连接, 所述漏极通过所述第一漏极通孔和所述第二漏极通孔与所述有源层连接。
8. 根据权利要求7所述的阵列基板, 其特征在于, 所述栅极和所述源漏层为金属电极。
9. 根据权利要求1所述的阵列基板, 其特征在于, 所述公共电极和所述像素电极为透明的金属氧化物。
10. 一种液晶显示器, 包括背光和显示面板, 所述显示面板包括阵列基板、彩膜基板以及所述阵列基板和所述彩膜基板之间的液晶层, 其特征在于, 所述阵列基板是如权利要求1-9任一项所述的阵列基板。

一种阵列基板以及液晶显示器

技术领域

[0001] 本发明涉及显示技术领域,特别是涉及一种阵列基板以及液晶显示器。

背景技术

[0002] 液晶显示器(Liquid Crystal Display,LCD)具有色彩表现优异、可视角度大、对比度高等优点,使得其具有广阔的市场前景。

[0003] 一般情况下,每一行薄膜晶体管打开的时间比较短,很难达到液晶的响应时间,从而会使液晶显示器出现闪烁现象。因此,为了避免这样的问题,液晶显示器一般均会包括存储电容Cst,其中对于部分液晶显示器,其存储电容即为由像素电极和公共电极形成的电容。这样,在薄膜晶体管关闭之后的一定时间内,该存储电容便可以用于维持像素电极的电压,从而为液晶响应提供更长的时间。

[0004] 但是,随着液晶显示器向着轻薄化和低功耗发展,需要减小显示器的尺寸,这样会引起存储电容的减小,使得液晶的响应时间不够,从而导致闪烁现象的发生,影响显示效果。另外,根据边缘场开关技术(Fringe Field Switching,FFS)制作的显示屏因其有较宽的视角和不易受液晶盒厚轻微变化的影响,俗称为硬屏。但这种液晶屏幕中TFT容易产生漏电的影响,往往需要较大的储存电容Cst,以防止在一帧的时间TFT漏电引起像素灰阶变化,灰阶变化会引起液晶屏幕光学品质下降,如串扰和闪速等现象。

发明内容

[0005] 本发明主要解决的技术问题是提供一种阵列基板以及液晶显示器,能够增加存储电容的大小,提高显示器的光学品质。

[0006] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种阵列基板,该阵列基板包括:基板;薄膜晶体管,设置于基板上方;导电层,设置于薄膜晶体管上方,并与薄膜晶体管的漏极连接;公共电极,设置于导电层上方,与导电层形成第一电容;像素电极,设置于公共电极上方,并与导电层连接,像素电极与公共电极形成第二电容。

[0007] 其中,导电层的导电率大于像素电极的导电率。

[0008] 其中,还包括触摸信号线,触摸信号线与导电层采用相同工艺设置于同层。

[0009] 其中,还包括:平坦层,覆盖薄膜晶体管;第一绝缘层,设置于平坦层与导电层之间;第二绝缘层,设置于导电层与公共电极之间;第三绝缘层,设置于公共电极与像素电极之间。

[0010] 其中,导电层通过第一绝缘层及平坦层上的通孔与薄膜晶体管的漏极连接。

[0011] 其中,像素电极通过第二绝缘层和第三绝缘层上的通孔与导电层连接。

[0012] 其中,薄膜晶体管包括:遮光层,设置于基板上方;缓冲层,覆盖遮光层和基板;有源层,设置于缓冲层上方;栅极绝缘层,覆盖有源层,包括第一源极通孔以及第一漏极通孔;栅极,设置于栅极绝缘层上方;层间介电层,覆盖栅极,包括与第一源极通孔对应的第二源极通孔和与第一漏极通孔对应的第二漏极通孔;源漏层,设置于层间介电层上方,包括源极

和漏极,源极通过第一源极通孔和第二源极通孔与有源层连接,漏极通过第一漏极通孔和第二漏极通孔与有源层连接。

[0013] 其中,栅极和源漏层为金属电极。

[0014] 其中,公共电极和像素电极为透明的金属氧化物。

[0015] 为解决上述技术问题,本发明采用的另一个技术方案是:提供一种液晶显示器,该液晶显示器包括背光和显示面板,显示面板包括阵列基板、彩膜基板以及阵列基板和彩膜基板之间的液晶层,该阵列基板是如上的阵列基板。

[0016] 本发明的有益效果是:区别于现有技术的情况,本发明通过一导电层桥接薄膜晶体管的漏极和像素电极;一方面,该导电层与公共电极对应形成一额外电容,该额外电容与原有的像素电极和公共电极对应形成的电容并联组合形成一更大的电容,增加了像素存储电容的大小,将像素电极的电压保持时间延长,可以有效的避免闪烁现象,进而提高显示效果;另一方面,导电层与薄膜晶体管的漏极之间的接触电阻会大幅度降低,防止对导电层进行蚀刻时,薄膜晶体管的源极和漏极会受到过蚀刻引起的接触异常。

附图说明

[0017] 图1是本发明阵列基板第一实施方式的结构示意图;

[0018] 图2是本发明阵列基板第二实施方式的结构示意图;

[0019] 图3是本发明阵列基板第二实施方式中像素结构的俯视示意图;

[0020] 图4是本发明阵列基板第二实施方式中阵列基板的俯视示意图;

[0021] 图5是本发明液晶显示器一实施方式的结构示意图。

具体实施方式

[0022] 参阅图1,本发明阵列基板第一实施方式的结构示意图,该阵列基板包括:基板11;薄膜晶体管12,设置于基板11上方;导电层13,设置于薄膜晶体管12上方,并与薄膜晶体管12的漏极(未标识)连接;公共电极14,设置于导电层13上方,与导电层13形成第一电容Cst1;像素电极15,设置于公共电极14上方,并与导电层13连接,像素电极15与公共电极14形成第二电容Cst2。

[0023] 其中,薄膜晶体管12的漏极以及导电层13为金属或金属氧化物材料,公共电极14和像素电极15为透明的金属氧化物,例如氧化铟锡ITO。

[0024] 可选的,基板11为透明的玻璃基板,在其他实施方式中,也可以是透明的塑料基板。

[0025] 可选的,薄膜晶体管12可以是底栅型也可以是顶栅型(图1所示),当然也可以是其其他结构,此处不做限定。

[0026] 具体地,导电层13与公共电极14存在对应部分,其中,该对应部分的形状以及面积的大小可根据实际情况自行设定,此处不做限定。另外,公共电极14与像素电极15同样存在对应部分,其中,该对应部分的形状以及面积的大小可根据实际情况自行设定,此处不做限定。

[0027] 根据平行板电容C的原理,即: $C \propto \frac{\epsilon S}{d}$,其中 ϵ 为介电常数,S为两块平行板重叠部分

的面积, d 为两块平行板的间距, 可知, 导电层13和公共电极14可以形成一个第一电容 C_{st1} , 公共电极14和像素电极15可形成一个第二电容 C_{st2} 。同时, 由于导电层13和像素电极15是电连接的, 因此, 该两个电容 C_{st1} 和 C_{st2} 相当于两个并联的电容。根据电容并联公式: $C = C_{st1} + C_{st2}$, 两个并联的电容其总电容值大于任意一个电容的容值, 因此, 由导电层14、公共电极14以及像素电极15组成的双层存储电容的容值更大, 其可以将像素电极的电压保持时间延长, 当像素尺寸减小后, 可以有效的避免闪烁现象, 进而提高显示效果。

[0028] 同时, 在现有技术中, 将像素电极15与薄膜晶体管12的漏极直接进行电连接, 在对导电层13进行蚀刻时, 薄膜晶体管12的源极和漏极会受到过蚀刻, 从而降低像素电极15与薄膜晶体管12之间的接触电阻。而在本实施方式中, 像素电极15通过导电层13桥接薄膜晶体管12的漏极, 一方面, 导电层13与薄膜晶体管12的漏极之间的接触电阻会大幅度降低, 另一方面, 防止对导电层13进行蚀刻时, 薄膜晶体管12的源极和漏极会受到过蚀刻引起的接触异常。

[0029] 另外, 由于导电层13相较像素电极15, 具有较大的导电率, 可以进一步的减小连接部分的电阻。

[0030] 区别于现有技术, 本实施方式通过一导电层桥接薄膜晶体管的漏极和像素电极; 一方面, 该导电层与公共电极对应形成一额外电容, 该额外电容与原有的像素电极和公共电极对应形成的电容并联组合形成一更大的电容, 增加了像素存储电容的大小, 将像素电极的电压保持时间延长, 可以有效的避免闪烁现象, 进而提高显示效果; 另一方面, 导电层与薄膜晶体管的漏极之间的接触电阻会大幅度降低, 防止对导电层进行蚀刻时, 薄膜晶体管的源极和漏极会受到过蚀刻引起的接触异常。

[0031] 参阅图2, 本发明阵列基板第二实施方式的结构示意图, 该阵列基板包括:

[0032] 基板21; 薄膜晶体管22, 设置于基板21上方。

[0033] 其中, 薄膜晶体管22包括: 遮光层221, 设置于基板21上方; 缓冲层222, 覆盖遮光层221和基板21; 有源层223, 设置于缓冲层222上方; 栅极绝缘层224, 覆盖有源层223, 包括第一源极通孔(未标识)以及第一漏极通孔(未标识); 栅极225, 设置于栅极绝缘层224上方; 层间介电层226, 覆盖栅极225, 包括与第一源极通孔对应的第二源极通孔(未标识)和与第一漏极通孔对应的第二漏极通孔(未标识); 源漏层, 设置于层间介电层226上方, 包括源极227和漏极228, 源极227通过第一源极通孔和第二源极通孔与有源层223连接, 漏极228通过第一漏极通孔和第二漏极通孔与有源层223连接。其中, 栅极225和源漏层为金属或金属氧化物材料。

[0034] 可选的, 缓冲层222、栅极绝缘层224以及层间介电层226可以是 SiO_x 、 SiN_x 或者 SiO_x 和 SiN_x 的混合物。

[0035] 可选的, 有源层223为非晶硅(a-Si)或多晶硅(p-Si), 多晶硅的两侧均分别包括轻掺杂区N-和重掺杂区N+, 源极227与一侧的重掺杂区接触, 漏极228与另一侧的重掺杂区接触。另外, 有源层223也可以是金属氧化物半导体, 如铟镓锌氧化物(IGZO)。

[0036] 另外, 该阵列基板还包括: 平坦层23, 覆盖薄膜晶体管22; 第一绝缘层24, 设置于平坦层23上方; 导电层25, 设置于第一绝缘层24上方, 并通过第一绝缘层24及平坦层23上的通孔与薄膜晶体管22的漏极228连接; 第二绝缘层26, 设置于导电层25上方; 公共电极27, 设置于第二绝缘层26上方, 与导电层25形成第一电容 C_{st1} ; 第三绝缘层28, 设置于公共电极27上

方;像素电极29,设置于第三绝缘层28上方,并通过第二绝缘层26和第三绝缘层28上的通孔与导电层25连接,像素电极29与公共电极27形成第二电容Cst2。

[0037] 可选的,平坦层23可以是SiO_x、SiN_x或者SiO_x和SiN_x的混合物。

[0038] 可选的,第一绝缘层24、第二绝缘层27以及第三绝缘层29可以是采用有机材料制作的有机绝缘层,例如,苯并环丁烯。

[0039] 另外,该阵列基板还包括触摸信号线,触摸信号线与导电层25采用相同工艺设置于同层。即,触摸信号线与导电层25是在同一次镀膜工艺中形成,并且经过构图工艺而分别形成的,并且,它们的互相连接的。

[0040] 以上实施方式中阵列基板的每一层可以通过物理气相沉积或者化学气相沉积的方式镀膜,这里不作限制。

[0041] 同时参阅图3和图4,图3是本发明阵列基板第二实施方式中像素结构的俯视示意图,图4是本发明阵列基板第二实施方式中阵列基板的俯视示意图。

[0042] 除了与图2中标号相同的结构,另外还有:栅线31、数据线32、触摸信号线33、层间介电层226上的通孔34、平坦层23上的通孔35、导电层25与公共电极27上的通孔36。

[0043] 具体地,在显示期间,薄膜晶体管22打开,由于源极227连接的数据线32,数据信号通过薄膜晶体管22到漏极228,并达到导电层25以及像素电极29。此时,导电层25和像素电极29分别与公共电极27形成一个电容,两个电容并联增加电容的存储能力,延长像素充电时间。

[0044] 在触摸期间,薄膜晶体管22关闭,触摸信号经过触摸信号线33达到导电层以及像素电极29。此时,导电层25和像素电极29也分别与公共电极27形成一个电容,两个电容并联增加电容的存储能力,延长像素充电时间。

[0045] 区别于现有技术,本实施方式通过一导电层桥接薄膜晶体管的漏极和像素电极;一方面,该导电层与公共电极对应形成一额外电容,该额外电容与原有的像素电极和公共电极对应形成的电容并联组合形成一更大的电容,增加了像素存储电容的大小,将像素电极的电压保持时间延长,可以有效的避免闪烁现象,进而提高显示效果;另一方面,导电层与薄膜晶体管的漏极之间的接触电阻会大幅度降低,防止对导电层进行蚀刻时,薄膜晶体管的源极和漏极会受到过蚀刻引起的接触异常。

[0046] 参阅图5,本发明液晶显示器一实施方式的结构示意图,

[0047] 该液晶显示器包括显示面板51和背光52,显示面板51包括阵列基板513、彩膜基板511以及阵列基板513和彩膜基板511之间的液晶层512。

[0048] 其中,该阵列基板513是如以上各个实施方式中所述的阵列基板,其结构相似,这里不再赘述。

[0049] 以上所述仅为本发明的实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

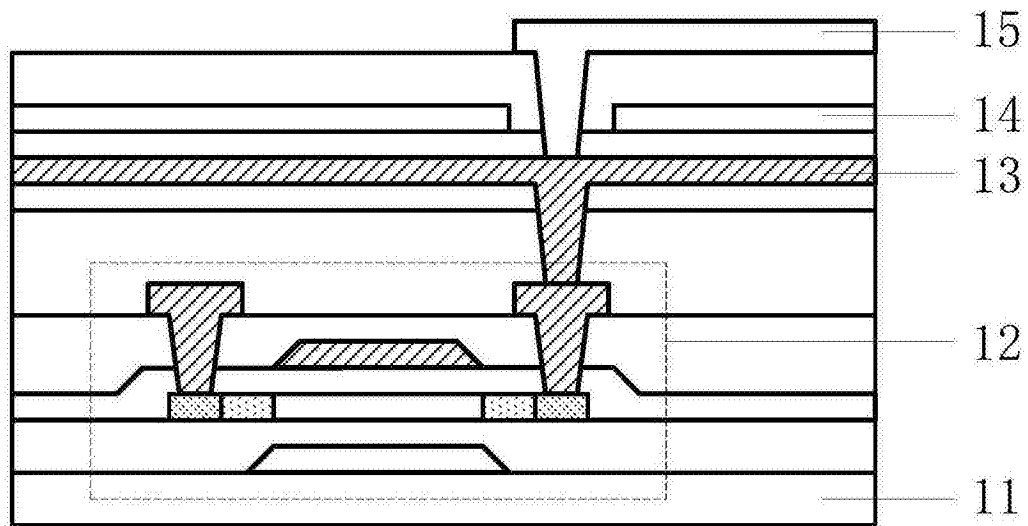


图1

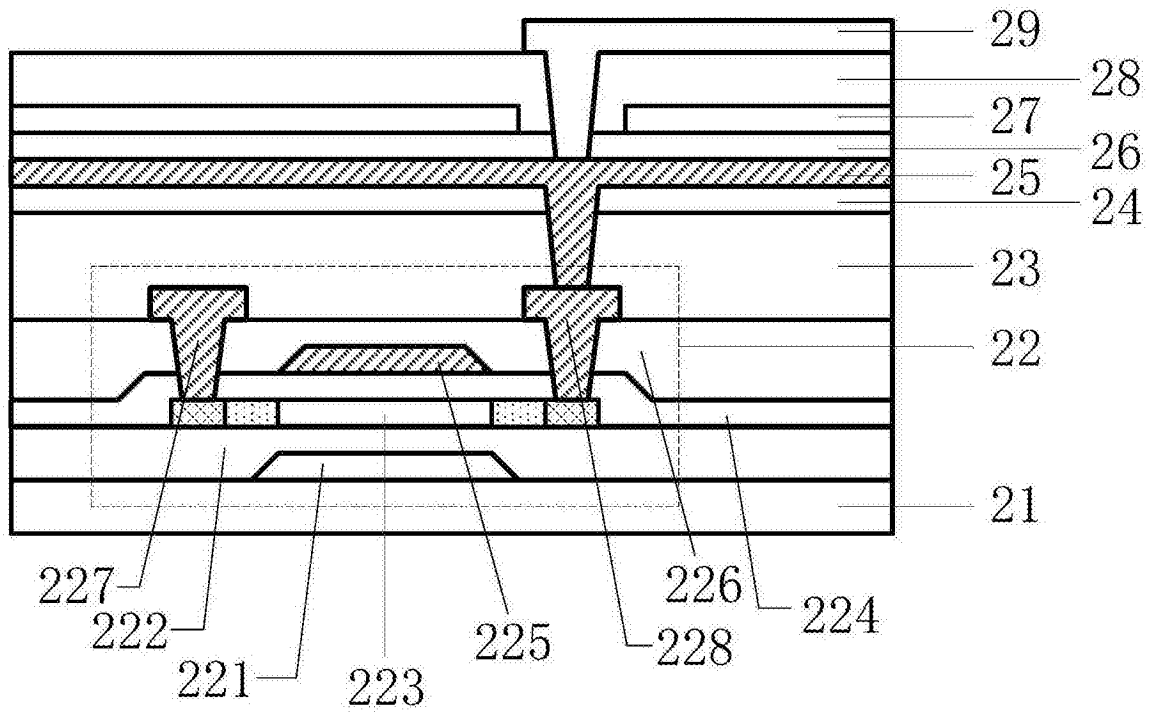


图2

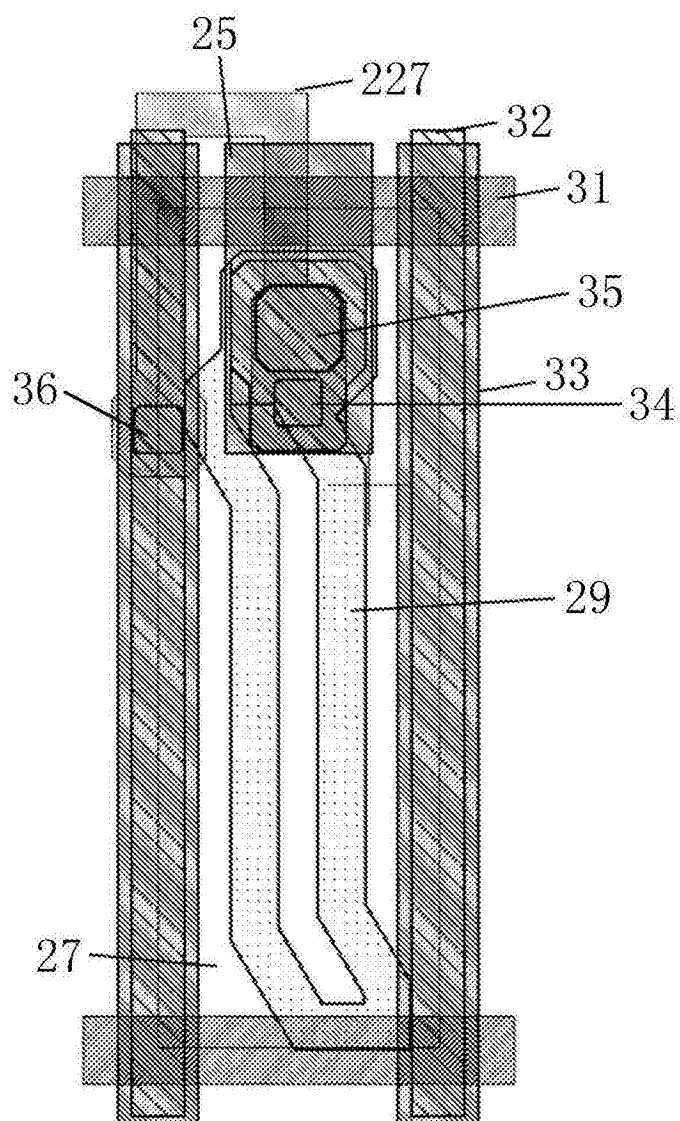


图3

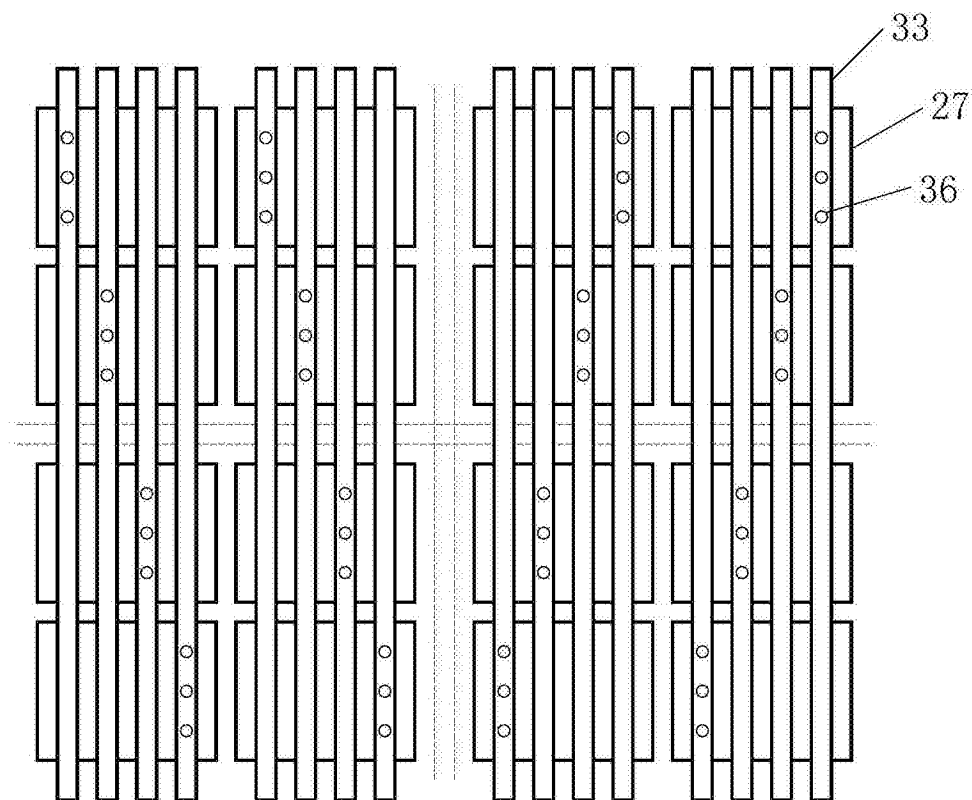


图4

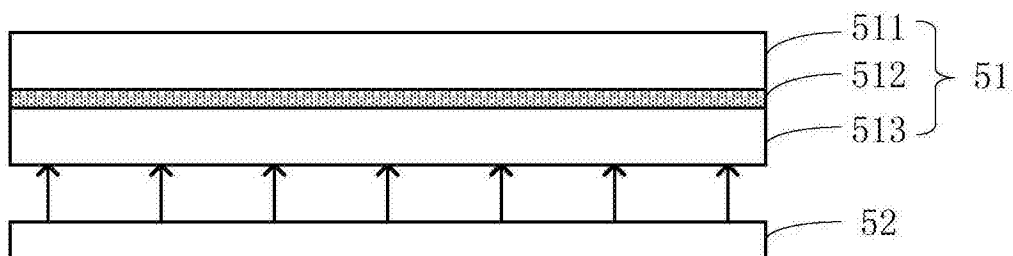


图5

专利名称(译)	一种阵列基板以及液晶显示器		
公开(公告)号	CN105527767A	公开(公告)日	2016-04-27
申请号	CN201610049385.X	申请日	2016-01-25
[标]申请(专利权)人(译)	武汉华星光电技术有限公司		
申请(专利权)人(译)	武汉华星光电技术有限公司		
当前申请(专利权)人(译)	武汉华星光电技术有限公司		
[标]发明人	曹尚操		
发明人	曹尚操		
IPC分类号	G02F1/1362 H01L27/12		
CPC分类号	G02F1/136213 G02F2001/134372 H01L27/1255 H01L29/78633 G02F1/136227		
其他公开文献	CN105527767B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板以及液晶显示器，该阵列基板包括：基板；薄膜晶体管，设置于基板上方；导电层，设置于薄膜晶体管上方，并与薄膜晶体管的漏极连接；公共电极，设置于导电层上方，与导电层形成第一电容；像素电极，设置于公共电极上方，并与导电层连接，像素电极与公共电极形成第二电容。通过上述方式，本发明能够增加存储电容的大小，提高显示器的光学品质。

